



УКРАЇНА

(19) UA

(11) 74712

(13) C2

(51) МПК (2006)

G06F 15/16

G06F 12/00

G06F 13/00

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ НА ВІНАХІД

## (54) БАГАТОПРОЦЕСОРНА СИСТЕМА

1

2

(21) 20040403215

(22) 28.04.2004

(24) 16.01.2006

(46) 16.01.2006, Бюл. № 1, 2006 р.

(72) Жуков Ігор Анатолійович, Жабін Валерій Іванович, Клименко Ірина Анатоліївна, Антонов Руслан Леонідович

(73) НАЦІОНАЛЬНИЙ АВІАЦІЙНИЙ УНІВЕРСИТЕТ

(56) SU 1571606 A1, G06F15/16, 11.08.1988

SU 1683039 A1, G06F15/76, 15/16, 24.11.1988

(57) Багатопроецесорна система, що містить процесорні блоки і зовнішні пристрої, зв'язані між собою загальною шиною, кожний процесорний блок містить процесор, локальну пам'ять, які зв'язані між собою локальною шиною, до якої підключений перший інформаційний вхід-вихід першого комутатора, перший інформаційний вхід-вихід другого комутатора і перший інформаційний вхід-вихід регістра команд, другий інформаційний вхід-вихід першого комутатора зв'язаний з інформаційним входом-виходом комунікаційної пам'яті, вхід керування якої зв'язаний з першим виходом блока керування, другий вихід якого зв'язаний з входом керування першого комутатора, третій вихід - з входом керування регістра адреси, четвертий вихід - з входом керування регістра даних, п'ятий вхід-вихід - з входом-виходом керування регістра команд, шостий - з входом-виходом керування

другого комутатора, сьомий вхід-вихід - з загальною шиною, до якої підключені другий інформаційний вхід-вихід другого комутатора, другий інформаційний вхід-вихід регістра команд, інформаційний вхід регістра адреси і інформаційний вхід регістра даних, вихід якого підключений до входу даних першого комутатора і до першого інформаційного входу мультиплексора, вихід якого зв'язаний з входом даних пам'яті адресів, вихід даних якої зв'язаний з входом адреси першого комутатора і з інформаційним входом блока модифікації адреси, вихід якого зв'язаний з інформаційним входом регістра наступного адреси, вихід якого зв'язаний з другим інформаційним входом мультиплексора, вихід регістра адреси зв'язаний з входом адреси пам'яті адресів, вхід керування якої підключений до восьмого виходу блока керування, до дев'ятого, десятого і одинадцятого виходів якого підключені відповідно вхід керування блока модифікації адреси, вхід керування регістра наступної адреси, вхід керування мультиплексора, яка **відрізняється** тим, що у процесорний блок введено регістр трансляції, вихід якого підключений до входу блока керування, дванадцятий вихід якого зв'язаний з входом керування регістра трансляції, інформаційний вхід якого підключений до загальної шини.

Вінахід стосується обчислювальної техніки і може бути застосований при створенні багатопроецесорних систем.

Відома багатопроецесорна система із загальною шиною, яка містить процесорні блоки, блок загальної пам'яті, пристрої вводу-виводу що зв'язані між собою за допомогою загальної шини. Кожний процесорний блок містить процесор, локальну пам'ять, комунікаційну пам'ять, комутатор які зв'язані між собою за допомогою локальної шини. Доступ до комунікаційної пам'яті з боку загальної шини виконується за допомогою комутатора. Обмін даними між процесорними блоками виконується

тільки через комунікаційну пам'ять. Управління процесом обміну виконує процесорний блок, який на цьому етапі переключається в режим комунікаційного процесора [1].

Однак цей пристрій дозволяє виконувати водночас обмін даними тільки між двома процесорними блоками і тільки після переключення обох процесорних блоків у режим обміну, що значно знижує продуктивність обчислювальної системи.

Відома багатопроецесорна система із загальною шиною, яка містить процесорні блоки, загальну шину, зовнішні пристрої. У цьому пристрої процесорні блоки зв'язані між собою та з

(13) C2

(11) 74712

(19) UA

зовнішніми пристроями за допомогою загальної шини. Кожний процесорний блок містить процесор, локальну пам'ять, комунікаційну пам'ять, перший і другий комутатори, регістр команд, регістри адреси і даних, блок управління. Процесор, локальна пам'ять, перший вхід-вихід першого комутатора, перший вхід другого комутатора та перший вхід-вихід регістра команд зв'язані між собою за допомогою локальної шини. Перший вхід-вихід комунікаційної пам'яті зв'язано з другим входом-виходом першого комутатора, а вхід управління комунікаційної пам'яті з першим виходом блока управління. Перший вихід регістра адреси і перший вхід-вихід регістра даних зв'язані відповідно з третім і четвертим входами першого комутатора. Другий вихід другого комутатора, другий вхід-вихід регістра команд, другий вхід регістра адреси і другий вхід регістра даних зв'язано з загальною шиною. Третій вхід регістра команд, третій вхід регістра адреси, третій вхід регістра даних та третій вхід другого комутатора зв'язані з блоком управління [2].

Недоліком даного пристрою є те, що він потребує значних витрат часу на обмін даними між процесорними блоками. Це обумовлено по-перше тим, що обмін даними водночас можливо виконувати тільки між двома процесорними блоками, по-друге, пересилання одного слова з одного процесорного блоку в інший потребує двох звернень до загальної шини, по-третє, обмін даними можливо виконувати тільки між комунікаційними пам'яттями процесорних блоків і тільки після їх відключення від локальної шини.

Найбільш близьким до винаходу по технічній сутності є багатопроцесорна система [3], яка містить процесорні блоки і зовнішні пристрої, зв'язані між собою за допомогою загальної шини. Кожний процесорний блок містить процесор, локальну пам'ять, комунікаційну пам'ять, перший і другий комутатори, регістр команд, регістри адреси і даних, регістр наступного адреси, блок модифікації адреси, пам'ять адресів, мультиплексор та блок управління. Процесор, локальна пам'ять, перший вхід-вихід першого комутатора, перший вхід-вихід другого комутатора та перший вхід-вихід регістра команд зв'язані між собою за допомогою локальної шини. Перший інформаційний вхід-вихід комунікаційної пам'яті зв'язаний з другим входом-виходом першого комутатора, а вхід управління комунікаційної пам'яті з першим виходом блока управління. Перший вихід регістра адреси зв'язаний з першим входом адреси пам'яті адресів, а перший вхід-вихід регістра даних зв'язаний з третім входом першого комутатора і з першим входом мультиплексора. Вихід пам'яті адресів зв'язаний четвертим входом першого комутатора і з першим входом блока модифікації адреси. Вихід блока модифікації адреси зв'язаний з першим входом регістра наступного адреси. Вихід регістра наступного адреси зв'язаний з другим входом мультиплексора. Вихід мультиплексора зв'язаний з другим входом пам'яті адресів. Другий вхід-вихід другого комутатора, другий вхід-вихід регістра команд, другий вхід регістра адреси і другий вхід регістра даних зв'язані з загальною шиною. Другий вхід блока

модифікації адреси, другий вхід регістра наступного адреси, третій вхід пам'яті адресів, третій вхід мультиплексора, третій вхід регістра адреси, третій вхід регістра даних, третій вхід-вихід регістра команд, третій вхід-вихід другого комутатора та п'ятий вхід першого комутатора зв'язані з блоком управління.

Недоліком даної системи є те, що вона не дозволяє суміщення процесів передачі даних від одного процесорного блоку водночас декільком процесорним блокам, тобто не можна реалізувати трансляційний режим передачі даних. Система дозволяє суміщення процесів обміну інформацією між процесорними блоками тільки у диференціальному режимі, коли обмін відбувається попарно між процесорами. Для передачі однакових даних від одного процесорного блока декільком процесорним блокам необхідно багаторазове повторення процесів передачі даних.

В основу винаходу поставлено задачу удосконалення багатопроцесорної системи шляхом введення регістра трансляції, що дозволяє збільшити продуктивність системи за рахунок трансляційної передачі даних, а саме за рахунок одночасної передачі даних багатьом процесорними блоками, чим скоротити кількість звернень до загальної шини.

Встановлена задача виконується тим, що в багатопроцесорній системі що містить процесорні блоки і зовнішні пристрої, зв'язані між собою загальною шиною, кожний процесорний блок містить процесор, локальну пам'ять, які зв'язані між собою локальною шиною, до якої підключений перший інформаційний вхід-вихід першого комутатора, перший інформаційний вхід-вихід другого комутатора, і перший інформаційний вхід-вихід регістра команд, другий інформаційний вхід-вихід першого комутатора зв'язаний з інформаційним входом-виходом комунікаційної пам'яті, вхід управління якої зв'язаний з першим виходом блока управління, другий вихід якого зв'язаний з входом управління першого комутатора, третій вихід - з входом управління регістра адреси, четвертий вихід - з входом управління регістра даних, п'ятий вхід-вихід - з входом-виходом управління регістра команд, шостий - з входом-виходом управління другого комутатора, сьомий вхід-вихід - з загальною шиною, до якої підключені другий інформаційний вхід-вихід другого комутатора, другий інформаційний вхід-вихід регістра команд, інформаційний вхід регістра адреси і інформаційний вхід регістра даних, вихід якого підключений до входу даних першого комутатора і до першого інформаційного входу мультиплексора, вихід якого зв'язаний з входом даних пам'яті адресів, вихід даних якої зв'язаний з входом адреси першого комутатора і з інформаційним входом блока модифікації адреси, вихід якого зв'язаний з інформаційним входом регістра наступного адреси, вихід якого зв'язаний з другим інформаційним входом мультиплексора, вихід регістра адреси зв'язаний з входом адреси пам'яті адресів, вхід управління якої підключений до восьмого виходу блока управління, до дев'ятого, десятого і одинадцятого виходів якого підключені відповідно вхід управління блока модифікації адреси, вхід

управління регістра наступного адреси, вхід управління мультиплексора, новим є те, що в його склад введено регістр трансляції, вихід якого підключений до входу блока управління, дванадцятий вихід якого зв'язаний з входом управління регістра трансляції, інформаційний вхід якого підключений до загальної шини.

Підвищення продуктивності пристрою досягається за рахунок одночасної передачі даних з одного процесорного блоку у комунікаційні пам'яті декількох інших процесорних блоків. Для цього до складу кожного процесорного блоку введено регістр трансляції, який зберігає признаки роботи з його комунікаційною пам'яттю під час трансляційної (від одного процесорного блоку до декількох) передачі з боку інших процесорних блоків. Якщо встановлено відповідний признак у цьому регістрі, то при трансляційній передачі з іншого процесорного блока дані будуть записані у комунікаційну пам'ять цього процесорного блока.

На фіг. 1 показана структурна схема пристрою обробки даних для багатопроцесорної системи; на фіг. 2 - приклад формату регістра команд; на фіг. 3 - приклад розподілення адресного простору загальної шини; фіг. 4 - конфігурація зв'язків процесорного блоку на етапі виконання програм і обміну результатами; на фіг. 5 - конфігурація зв'язків процесорного блоку на етапі обробки результатів виконання програми.

Пристрій обробки даних (фіг. 1) для багатопроцесорної системи містить процесорні блоки 1.1,...,1.n, загальну шину 2, до якої підключені зовнішні пристрої 3.1,...,3.k. До складу кожного процесорного блоку 1-і входить процесор 4, локальна пам'ять 5, локальна шина 6, перший 7 і другий 8 комутатори, регістр команд 9, комунікаційна пам'ять 10, пам'ять 11 адресів, блок 12 модифікації адреси, регістр 13 наступного адреси, мультиплексор 14, регістр 15 адреси, регістр 16 даних, регістр 17 трансляції, блок 18 управління.

В кожному процесорному блоці 1.і (і=1,2,...,n) процесор 4 і локальна пам'ять 5 зв'язані за допомогою локальної шини 6, до якої також підключені перший інформаційний вхід-вихід першого комутатора 7, перший інформаційний вхід-вихід другого комутатора 8 і перший інформаційний вхід-вихід регістра 9 команд.

Локальна шина 6 через другий інформаційний вхід-вихід першого комутатора 7 підключена до інформаційного входу-виходу комунікаційної пам'яті 10, і через вхід адреси першого комутатора 7 підключена до виходу даних пам'яті 11 адресів. Вихід даних пам'яті 11 адресів також підключений до інформаційного входу блока 12 модифікації адреси, вихід якого підключений до інформаційного входу регістра 13 наступного адреси, вихід якого підключений до першого інформаційного входу мультиплексора 14, вихід якого підключений до входу даних пам'яті 11 адресів, до входу адреси якої підключений вихід регістра 15 адреси. Вихід регістра 16 даних зв'язаний з другим інформаційним входом мультиплексора 14 і з входом даних першого комутатора 7.

До загальної шини 2 підключені другий інформаційний вхід-вихід другого комутатора 8, другий інформаційний вхід-вихід регістра команд 9, інформаційний вхід регістра 15 адреси, інформаційний вхід регістра 16 даних, інформаційний вхід регістра 17 трансляції та перший вхід-вихід блока 18 управління, входи-виходи якого підключені до входу управління першого комутатора 7, входу-виходу управління другого комутатора 8, входу-виходу управління регістра 9 команд, входу управління комунікаційної пам'яті 10, входу управління пам'яті 11 адресів, входу управління блока 12 модифікації адреси, входу управління регістра 13 наступного адреси, входу управління мультиплексора 14, входу управління регістра 15 адреси, входу управління регістра 16 даних, входу управління регістра 17 трансляції, інформаційний вихід якого підключено до входу блока управління.

Призначення блока 18 управління полягає у формуванні сигналів, які необхідні для реалізації циклів звернення до загальної шини 2 через другий комутатор 8, сигналів управління для внутрішніх вузлів процесорного блоку 1.і, а також сигналів для зміни з'єднань між функціональними вузлами за допомогою першого комутатора 7. Режим роботи блока 18 управління визначається значеннями відповідних розрядів регістра 9 команд та регістра 17 трансляції.

Можливий формат регістра 9 команд наведено на фіг. 2, а призначення кожного з його розрядів відповідно в табл. 1.

Перший комутатор 7 призначений для виконання зв'язків у відповідності із значенням у розряді ОБМ регістра 9 команд між локальною шиною 6 і комунікаційною пам'яттю 10, або між комунікаційною пам'яттю 10, виходом пам'яті 11 адресів і виходом регістра 16 даних. Перший комутатор може бути реалізовано на базі стандартних мікросхем мультиплексорів і двоспрямованих шинних формувачів.

Пам'ять 11 адресів призначена для зберігання всіх адресів доступу до комунікаційної пам'яті 10 процесорного блоку 1-і з боку інших процесорних блоків 1.j (j=1,2,...,n; j≠i). При цьому за допомогою першого комутатора 7 її вихід даних може бути підключений до розрядів адресу інформаційного входу-виходу комунікаційної пам'яті 10. Ємність пам'яті 11 адресів повинна бути не менш чим n k розрядних слів, де n - кількість процесорних блоків у системі, а k - кількість розрядів адресу комунікаційної пам'яті 10. Пам'ять адресів 11, наприклад, може бути побудована за допомогою мікросхем статичної пам'яті достатньої ємності, в якій входи і виходи даних виконані окремо.

Призначення блока 12 модифікації адреси полягає в обчисленні адресу слова, яке буде записуватись в комунікаційну пам'ять 10 при наступному зверненні до неї з боку відповідного процесорного блоку 1.j. Блок 12 модифікації адреси, наприклад, може бути побудовано за допомогою суматора, який є стандартним елементом більшості існуючих серій мікросхем.

Призначення регістра 17 трансляції полягає у зберіганні ознак роботи з комунікаційною пам'яттю цього процесорного блоку 1.і з блоку інших про-

цесорних блоків багатопроцесорної системи при трансляційній передачі даних. Цей регістр може бути побудовано за допомогою стандартних регістрів з порозрядним записом інформації. Кількість розрядів цього регістра повинна бути не менш чим  $n$ , де  $n$  - кількість процесорних блоків у системі.

Можливий варіант розподілення адресного простору загальної шини наведено на фіг. 3, де закреслені області адресів загальної шини відображають незадіяні у цьому пристрої або блоці адреси. Старші адреси адресного простору загальної шини виділено для локальної пам'яті 5 процесорних блоків 1.1,..., 1.n, яка доступна тільки з боку процесора 4 того процесорного блоку, в якому ця пам'ять знаходиться і не доступна з боку інших процесорних блоків. Наступну область виділено для доступу до комунікаційної пам'яті 10 кожного процесорного блоку з боку інших процесорних блоків. В області комунікаційної пам'яті для звернення до комунікаційної пам'яті 10 процесорного блоку 1.i з боку процесорного блоку 1.j виділено  $2n$  адресів,  $n$  адресів для вікон адресу (ВА),  $n$  адресів для вікон даних (ВД), позначених на фіг. 3 відповідно як ВАij, ВДij, при цьому загальна кількість задіяних адресів для усіх процесорних блоках 1.1,..., 1.n становить  $2n^2$ . Наступна область адресів трансляційної передачі поділена на адреси регістрів трансляції РТі і адреси даних трансляції ДТі, через які безпосередньо виконується обмін даними в режимі трансляції. Молодші адреси простору загальної шини 2 розподілено між регістрами 9 команд процесорних блоків, зовнішніми пристроями 3.1,..., 3.k і незадіяними адресами.

Особливість регістра 17 трансляцій процесорного блоку 1-i полягає в тому, що його інформаційний вхід підключено до i-ого розряду даних загальної шини 2. Звернення по адресу РТj забезпечує запис даних з i-ого розряду даних загальної шини 2 у j-розряд регістра 17 трансляції процесорного блоку 1-i (див. фіг. 3). Завдяки таким зв'язкам регістрів 17 трансляцій запис слова по адресу РТj забезпечує водночас запис всіх ознак трансляційної передачі з блоку процесора j в усі процесорні блоки 1.1,...,1.n.

Пристрій працює наступним чином. Після початку роботи багатопроцесорної системи (по зовнішньому сигналу "Старт") процесори 4 починають виконувати програми, які записані в локальній пам'яті 5 відповідних процесорних блоків 1.1,...,1.n. Результатом роботи цих програм є ініціалізація кожного процесорного блоку 1.1,...,1.n. Кожний процесорний блок 1.1,...,1.n виконує свою програму обробки інформації. Зовнішні пристрої 3.1,...,3.k системи забезпечують введення та виведення інформації. Доступ до них з боку процесорних блоків 1.1,...,1.n здійснюється через загальну шину 2. Через зовнішні пристрої 3.1,...,3.k вводяться дані, необхідні для реалізації обчислювального процесу, а також виводяться результати обчислень. Один з процесорних блоків, наприклад 1.1, виконує функції керуючого процесорного блоку, а інші - підлеглих процесорних блоків 1.2,...,1.n. Це досягається, наприклад, встановленням значення розряду ФУНК в регістрі 9 команд по

зовнішньому сигналу "Старт" в одиницю для керуючого процесорного блоку і в нуль відповідно для підлеглих (всіх інших).

Функціями керуючого процесорного блоку 1.1 є на сам перед розподілення завдань між підлеглими процесорними блоками 1.2,...,1.n, запуск цих процесорних блоків для виконання завдань, підготовка підлеглих блоків для обміну результатами. Функціями підлеглих процесорними блоками і з керуючим процесорним блоком 1.1.

Робота системи при розв'язанні заданої задачі складається з черги етапів паралельного виконання програм з обміном результатами між комунікаційними пам'яттями процесорних блоків 1.1,...,1.n, та етапів процесорних блоків 1.2,...,1.n є виконання завдань і обмін результатами з іншими підлеглими обробки результатів в процесорних блоках.

На етапі виконання програми кожний процесорний блок 1.i має конфігурацію фіг. 4, в який процесор 4 має доступ до своєї локальної пам'яті 5 і через другий комутатор 8 до загальної шини, і далі через регістр 15 адреси, пам'ять 11 адресів, регістр 16 даних і перший комутатор 7 інших процесорних блоків до їх комутаційної пам'яті 10. Таким чином в процесі виконання програми в процесорі 4 одного процесорного блоку 1.i формуються результати, які записуються в комунікаційні пам'яті 10 інших процесорних блоків 1.j. Зазначена на фіг. 4 конфігурація зв'язків, при якій комунікаційна пам'ять 10 відключена від локальної шини 6 і підключена до виходу даних пам'яті 11 адресів і виходу регістра 16 даних, досягається за допомогою першого комутатора 7, який переключається під управлінням блоку 18 управління після запису в розряд ОБМ регістра 9 команд одиниці.

На етапі обробки результатів процесорний блок 1.i має конфігурацію фіг. 5, в який процесор 4 має доступ до своєї локальної пам'яті 5 і через перший комутатор 7 до комунікаційної пам'яті 10. Таким чином на етапі обробки результатів, дані які поступили в комунікаційну пам'ять 10 процесорного блоку 1.i з інших процесорних блоків, стають доступними для процесора 4 цього процесорного блоку і пересилаються в його локальну пам'ять 5 для подальшої обробки. Зазначена на фіг. 5 конфігурація зв'язків, при якій комунікаційна пам'ять 10 підключена до локальної шини 6 і відключена від виходу даних пам'яті 11 адресів і виходу регістра 16 даних, досягається за допомогою першого комутатора 7, який переключається під управлінням блоку управління 18 після запису в розряд ОБМ регістра 9 команд нуля.

Після завершення етапу обробки результатів у процесорному блоці 1.i процесор 4 встановлює в своєму регістрі 9 команд розряд ОБМ в одиницю, в результаті чого комунікаційна пам'ять 10 відключается від локальної шини 6 процесорного блоку і стає доступною для обміну з блоку загальної шини 2, тобто інших процесорних блоків 1.1,..., 1.n.

Розглянемо роботу процесорного блоку 1.i на етапі обміну між його комунікаційною пам'яттю 10 і процесорним блоком 1.j. На початку обміну процесорний блок 1.j записує в процесорний блок 1.i

адрес комунікаційної пам'яті з якого почнеться масив результатів. Для цього процесорний блок 1.j виконує цикл запису по адресу вікна адреси BAij (див. фіг. 3) в якому передає адрес початку масиву. Після початку цієї операції адрес масиву записується в регістр 16 даних процесорного блоку 1.i, а частина розрядів адреси з загальної шини записується в регістр 15 адресу цього ж процесорного блоку. По завершенні циклу запису адрес масиву з виходу регістра 16 даних через другий інформаційний вхід мультиплексора 14, дали через його вихід подається на вхід даних пам'яті 11 адресів і записується в ній по адресу з виходу регістра 15 адресу. Комутацію розрядів на інформаційному вході регістра 15 адреси виконано таким чином, що при зверненні по адресу BAij або ВДц адрес на його виході буде дорівнювати j, тобто співпадає з номеру того процесорного блоку, який виконує запис. Такі умови можливо виконати, наприклад, якщо для завдання номера процесорного блоку на загальній шині використовувати декілька розрядів.

Безпосередньо пересилання результатів в процесорний блок 1.i виконується в циклі запису даних із процесорного блоку 1.j по адресу вікна даних ВДц (див. фіг. 3). На початку циклу запису адрес j пам'яті 11 адресів фіксується в регістрі 15 адресу, а данні, що записуються, фіксуються в регістрі 16 даних. Далі із пам'яті 11 адресів зчитується заданий раніш адрес початку масиву результатів, який через вхід адресу першого комутатора 7 подається на інформаційний вхід-вихід комунікаційної пам'яті 10, а данні для запису через вхід даних цього ж комутатора з виходу регістра 16 даних. При цьому на вхід управління комунікаційної пам'яті 10 подається сигнал запису. Адрес з виходу даних пам'яті 11 адресів також подається на інформаційний вхід блоку 12 модифікації адресу, який обчислює адрес наступного слова масиву в комунікаційній пам'яті і видає його на інформаційний вхід регістра 13 наступного адреси. Після завершення циклу запису на загальній шині 2 новий адрес з виходу регістра 13 наступного адресу через перший інформаційний вхід мультиплексора 14 записується в пам'ять 11 адресів по адресу на виході регістра 15 адреси. Таким чином після запису слова даних в комунікаційну пам'ять 10 процесорного блоку 1.i із процесорного блоку 1.j, відповідний йому адрес комунікаційної пам'яті змінюється і адресує наступне слово.

Для підвищення продуктивності процесорного блоку під час пересилання однакових даних багатьом процесорним блокам в системі використовується режим трансляційної передачі. Розглянемо роботу системи під час передачі масиву результатів з процесорного блоку 1.i до процесорних блоків 1.k, 1.m, 1.s (де k, m, s - довільні індекси).

На початку обміну процесорний блок 1.i записує в процесорні блоки 1.k, 1.m, 1.s адреси комунікаційної пам'яті з яких почнуться масиви результатів. Для цього процесорний блок 1.i виконує 3 цикли запису по адресних вікнах адреси BAKi, BAmi, BAni відповідно для процесорних блоків 1.k, 1.m, 1.s. У результаті цієї процедури

адреси масивів в комунікаційній пам'яті 10 будуть записані в пам'яті 11 адресів відповідних процесорних блоків по адресу i.

Наступним кроком виконується настройка регістрів трансляції. Для цього процесорний блок 1.i записує по адресу РТi слово, в якому в розрядах k, m і s записано одиниці, а в інші нулі. Це приводить до того, що значення в i-тих розрядах регістрів 17 трансляції процесорних блоків 1.k, 1.m, 1.s дорівнює одиниці, а в інших процесорних блоках - нулю.

Трансляційна передача даних із процесорного блоку 1.i виконується в циклі запису слова по адресу ДТi (див. фіг. 3). На початку циклу запису слово даних з загальної шини 2 записується в регістр 16 даних, а адрес (i) з загальної шини 2 в регістр 15 адреси. При цьому якщо i-тий розряд регістра 17 трансляції процесорного блоку містить одиницю (в нашому прикладі тільки в процесорних блоках 1.k, 1.m і 1.s), то блок 18 керування виробляє сигнали під впливом яких слово з виходу регістра 16 даних записується в комунікаційну пам'ять по адресу з виходу пам'яті 11 адресів. Після завершення циклу запису в цих процесорних блоках новий адрес з виходу регістра 13 наступного адресу через мультиплексор 14 записується в пам'ять 11 адресів.

Синхронізація процесорних блоків 1.1,...,1.n під час розв'язання заданої задачі виконується за допомогою інформації в регістрі 9 команд. Після ініціалізації всіх процесорних блоків по сигналу "Старт", їх комунікаційні пам'яті 10 підключені до загальної шини 2 (див. фіг. 4), при цьому в розряд ОБМ регістра 9 команд записано одиницю, що сигналізує керуючому процесорному блоку 1.1 о можливості обміну даними з підлеглими процесорними блоками 1.2,...,1.n. В результаті цього керуючий процесорний блок 1.1 завантажує в комунікаційні пам'яті 11 підлеглих процесорних блоків 1.2,...,1.n дані, які необхідні їм для початку роботи. Такими даними, наприклад, можуть бути номери програм, що будуть розв'язувати підлеглі процесорні блоки, а також адреси і розмірності масивів результатів, які будуть пересилатися між процесорними блоками.

Для вилучення можливості відключення комунікаційної пам'яті процесорного блоку 1.i від загальної шини 2 до завершення пересилання всього масиву результатів із процесорного блоку 1.j, може використовуватися біт ознаки тривалості процесу обміну ОТ.j, який розташовано в регістрі 9 команд процесорного блоку 1.i. На початку обміну процесорний блок 1.j записує в цей розряд одиницю, а після завершення обміну - нуль. Таким чином перед переключенням комунікаційної пам'яті 10 від загальної шини 2 до локальної шини 6 процесорного блоку 1.i, його процесор 4 повинен перевірити тотожність нулеві всіх розрядів ОТ.k свого регістра 9 команд.

Після передачі всіх початкових даних в підлеглі процесорні блоки 1.2,...,1.n, керуючий процесорний блок 1.1 послідовно запускає їх за допомогою запису одиниці в розряд ПУСК їх регістра 9 команд. Після запуску підлеглий процесорний блок підключає комунікаційну пам'ять 10 до локальної шини 6 та переписує всі данні в свою локальну пам'ять 5, при цьому розряд ОБМ в

реєстрі 9 команд дорівнює нулю, що вказую іншим процесорним блокам на неможливість роботи з комунікаційною пам'яттю 10 цього процесорного блоку. Після пересилання даних комунікаційна пам'ять знову підключається до загальної шини 2 і стає доступною для обміну з іншими процесорними блоками (ОБМ=1).

Після виконання всіх програм і пересилання всіх результатів в інші процесорні блоки, підлеглий процесорний блок записує одиницю в розряд ГОТ свого реєстра 9 команд. Керуючий процесорний блок 1.1 очікує готовності всіх процесорних блоків 1.1,...,1.n, для чого методом опитування аналізує значення розряду ГОТ в реєстрі 9 команд підлеглих процесорних блоків. Зменшити час визначення готовності всіх підлеглих процесорів можливо за допомогою сигналу переривання, який буде формуватися у керуючому процесорному блоці 1.1 після запису одиниць в розряди ГОТ всіх підлеглих процесорних блоків 1.2,..., 1.n.

Розглянемо передавання масиву даних розміром N слів у M процесорних блоків при трансляційному способі передачі. Час який потрібен для виконання цієї задачі в багатопроцесорній системі складає

$$T1=t2*M+t2+t2*N, \quad (1)$$

де  $t2$  - час запису слова через загальну шину.

Перший доданок  $t2*M$  у формулі (1) - час запису адресів масивів у комунікаційній пам'яті в M процесорних блоків (одне звернення до загальної шини 2 для кожного процесорного блока);

другий доданок  $t2$  - запис слова настойки в реєстр трансляції (одне звернення для всіх процесорних блоків);

третій доданок  $t2*N$  - час пересилання масиву з N слів відразу в комунікаційні пам'яті M процесорних блоків.

Час передавання масиву даних із одного процесора водночас декільком процесорам в багатопроцесорній системі, яка не підтримує трансляційну передачу даних, складає відповідно

$$T2=t2*M+M*(t2*N). \quad (2)$$

У формулі (2) другий доданок визначає час M-кратного пересилання масиву з N слів в комунікаційні пам'яті M різних процесорних блоків.

Порівняння виразів (1) та (2) дає можливість зробити висновок, що запропонована багатопроцесорна система дозволяє скоротити час передавання одного масиву даних декільком процесорним блокам приблизно в M разів, де M - кількість процесорних блоків, до яких ці масиви передаються.

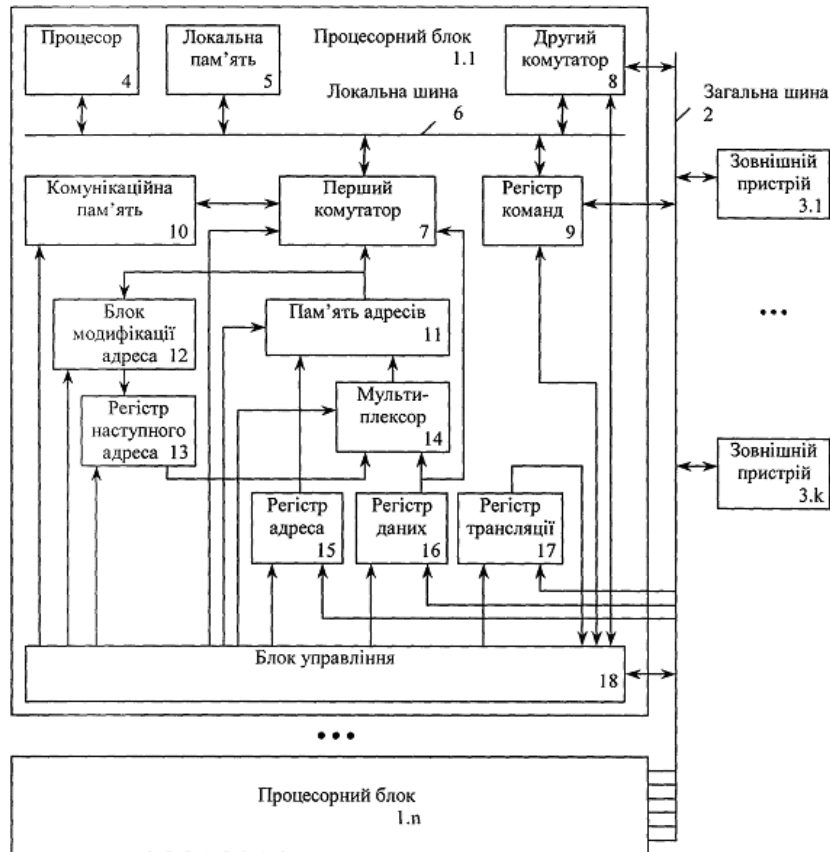
Таким чином, введення в багатопроцесорну систему реєстра трансляції, дозволяє скоротити кількість звернень до загальної шини системи при обміні даними за рахунок одночасного пересилання однакових даних декільком процесорним блокам, що збільшує продуктивність багатопроцесорних систем.

Джерела інформації:

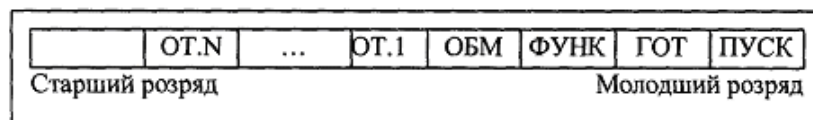
1. А. с. СРСР №1571606, кл. G 06 F 15/16, 1988;
2. А. с. СРСР № 1683039, кл. G 06 F 15/76, 15/16;
3. дек. пат. України №38850, МКВ G 06 F 15/76, 15/16. опубл. 15.05.2001. Бюл. №4.

Таблиця 1

Найменування	Позначення	Доступ з боку локальної шини 6	Доступ з боку загальної шини 2
Біт запуску процесорного блока	ПУСК	Читання / запис	Читання / запис
Біт готовності процесорного блока	ГОТ	Запис	Читання
Біт вибору функції процесорного блока	ФУНК	Запис	-
Біт можливості обміну з комунікаційною пам'яттю 10 процесорного блока	ОБМ	Запис	Читання
Біти ознаки тривалості процесу обміну з комунікаційною пам'яттю з боку відповідного процесорного блока	ОТ.1,...,ОТ.N	Читання	Читання / запис



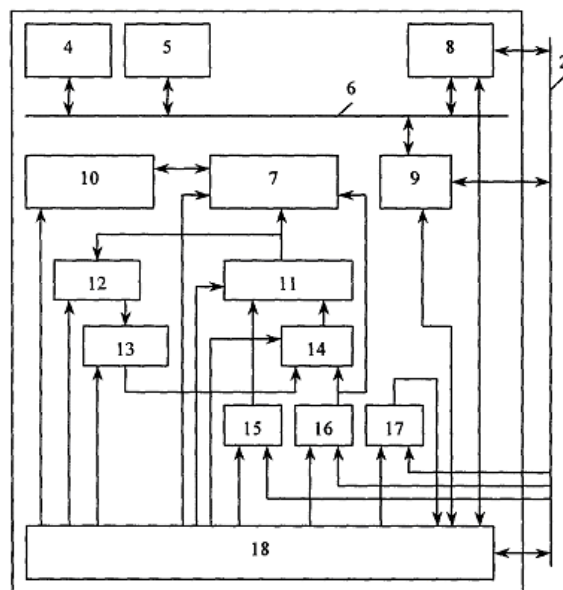
Фиг. 1



Фиг. 2

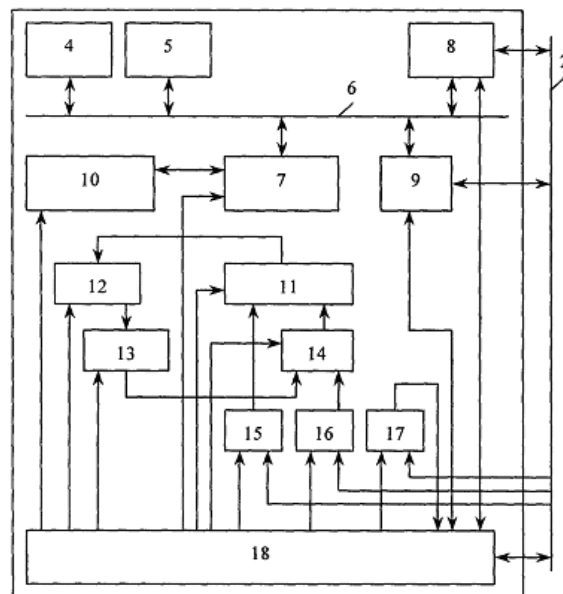
Адрес	Процесорний блок 1.1	Процесорний блок 1.2	Процесорний блок 1.n	Зовнішні пристрої 3.1,..., 3.k
Адреси локальної пам'яті	Локальна пам'ять 5	Локальна пам'ять 5	...	Локальна пам'ять 5
Адреси комунікаційної пам'яті	BA <sub>11</sub>	BA <sub>21</sub> BD <sub>21</sub> ...	BA <sub>n1</sub> BD <sub>n1</sub> ...	
	BD <sub>11</sub>			
	...			
	BA <sub>1n</sub> BD <sub>1n</sub>			
		BA <sub>22</sub> BD <sub>22</sub> ...		
		BA <sub>2n</sub> BD <sub>2n</sub>		
		...		
		BA <sub>n2</sub> BD <sub>n2</sub> ...		
PT <sub>1</sub>	PT <sub>11</sub>	PT <sub>12</sub>	PT <sub>1n</sub>	
PT <sub>2</sub>	PT <sub>21</sub>	PT <sub>22</sub>	PT <sub>2n</sub>	
PT <sub>n</sub>	PT <sub>n1</sub>	PT <sub>n2</sub>	PT <sub>nn</sub>	
Адреси трансляційної передачі	DT <sub>1</sub>	DT <sub>2</sub>	DT <sub>n</sub>	
Адреси регістрів команд	PK <sub>1</sub>	PK <sub>2</sub>	PK <sub>n</sub>	
Адреси зовнішніх пристроїв				
Інші адреси загальної шини				

Фіг. 3



Фіг. 4





Фіг. 5