



УКРАЇНА

(19) UA (11) 58920 (13) A

(51) 7 G06F7/50

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДВИДАЄТЬСЯ ПІД
ВІДПОВІДАЛЬНІСТЬ
ВЛАСНИКА
ПАТЕНТУ

(54) ПРИСТРІЙ ДЛЯ ДОДАВАННЯ ПОСЛІДОВНОСТІ ДОБУТКІВ ПАР ЧИСЕЛ ІЗ ПЛАВАЮЧОЮ ТОЧКОЮ

1

2

(21) 2002119329

(22) 22 11 2002

(24) 15 08 2003

(46) 15 08 2003, Бюл. № 8, 2003 р.

(72) Луцький Георгій Михайлович, Долголенко
Олександр Миколайович, Порев Віктор Миколайо-
вич, Білінова Тетяна Олександрівна(73) НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
УКРАЇНИ "КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ
ІНСТИТУТ"

(57) Пристрій для додавання послідовності до-
бутків пар чисел із плаваючою точкою, що містить
тактовий вхід пристрою, блок керування, який
містить тригер керування, реєстри мантиси та по-
рядку, перший вузол пам'яті, причому тактові вхо-
ди реєстра мантиси й реєстра порядку з'єднані з
тактовим входом пристрою, блок підсумовування,
який містить реєстр мантиси, тригер переносу,
комутатор, суматор мантиси, причому тактовий
вхід пристрою з'єднаний з тактовими входами
реєстра мантиси та тригера переносу, та блок
формування результату, який містить вхід об-
нуління, реєстр, комутатор результату, суматор
результату, першу групу із $m(n-1)$ - входових еле-
ментів АБО, де n - розрядність мантиси, $m =$
 $[P_{\text{макс}}/n-1]+1$, а $P_{\text{макс}}$ - максимальний порядок до-
данків, другий вузол пам'яті, тригер знака, реєстр
порядку, тригер перестановок, реєстр результату,
другу групу з $(n-1)[0,5m]$ - входових елементів
АБО, третю групу з $(n-1)(m-[0,5m])$ - входових еле-
ментів АБО, третій вузол пам'яті, суматор по-
рядків, вихід знака, вихід порядку, n - розрядний
вихід мантиси, причому тактовий вхід пристрою
з'єднаний з тактовими входами реєстра, тригера
знака, реєстра порядку, тригера перестановок та
реєстра результату, а вхід обнуління зв'язаний з
керуючим входом встановлення в нуль реєстра,
вихід якого зв'язаний із другою групою входів су-
матора мантиси блока підсумовування, вихід кот-
рого приєднаний до входу реєстра, вихід старшого
розряду якого з'єднаний з інформаційним входом
тригера знака, з входом переносу суматора ре-
зультату та з керуючим входом комутатора ре-
зультату, перший та другий інформаційні входи
якого з'єднані відповідно з прямим та інверсним
виходами $m(n-1)$ молодших розрядів реєстра, а
вихід комутатора результату приєднаний до пер-
шої групи входів суматора результату, на другу

групу входів якого подається сигнал "Логічний
нуль", вихід суматора результату приєднаний до
входів реєстра результату, а також до відповідних
входів першої групи $(n-1)$ - входових елементів
АБО, виходи яких з'єднані з m - розрядним адрес-
ним входом другого вузла пам'яті, перший, другий
і m - розрядний третій виходи якого з'єднані
відповідно з інформаційним входом реєстра по-
рядку, інформаційним входом тригера перестано-
вок і з керуючими входами встановлення в нуль
кожної із $m(n-1)$ - розрядних груп реєстра резуль-
тату, виходи усіх непарних $(n-1)$ - розрядних груп
виходів якого з'єднані зі входами другої групи із
 $(n-1)[0,5m]$ - входових елементів АБО таким чином,
що виходи усіх k -х розрядів цих груп приєднані до
входів k -ого елемента АБО, і аналогічно, виходи
усіх парних $(n-1)$ - розрядних груп виходів реєстра
результату з'єднані зі входами третьої групи із
 $(n-1)(m-[0,5m])$ - входових елементів АБО таким чи-
ном, що виходи усіх k -х розрядів цих груп
приєднані до входів k -ого елемента АБО, виходи
другої групи елементів АБО та виходи третьої гру-
пи елементів АБО з'єднані відповідно з другим та
третьім адресними входами третього вузла пам'яті,
перший адресний вхід якого приєднаний до виходу
тригера перестановок, а перший вихід третього
вузла пам'яті з'єднаний з другою групою входів
суматора порядку, перша група входів котрого
з'єднана з виходом реєстра порядку, вихід сума-
тора порядку з'єднаний з виходом порядку, вихід
тригера знака з'єднаний з виходом знака, а другий
вихід третього вузла пам'яті приєднаний до виходу
мантиси, причому виходи реєстрів мантиси та по-
рядку блока керування з'єднані з адресними вхо-
дами першого вузла пам'яті, а тактовий вхід при-
строю з'єднаний з тактовим входом тригера
керування, вихід якого з'єднаний з інформаційним
входом тригера переносу блока підсумовування,
керуючий вхід комутатора блока підсумовування
з'єднаний з виходом тригера переносу, з входом
переносу та з двома старшими розрядами першої
групи входів суматора мантиси, вихід комутатора
зв'язаний з молодшими розрядами першої групи
входів суматора мантиси, перший та другий
інформаційні входи комутатора з'єднані відповідно
з прямим та інверсним виходами $(n-1)m$ - розряд-
ного реєстра мантиси, який відрізняється тим,
що в пристрій введено блок множення, який

(13) A

(11) 58920

(19) UA

містить вхід мантиси першого та вхід мантиси другого співмножників, вхід порядку першого та вхід порядку другого співмножників, вхід знака першого та вхід знака другого співмножників, регістр мантиси першого співмножника, регістр мантиси другого співмножника, регістр порядку першого співмножника, регістр порядку другого співмножника, тригер знака першого співмножника, тригер знака другого співмножника, вузол пам'яті добутоків, суматор, елемент І, причому тактові входи регістрів мантиси, регістрів порядку, тригерів знака першого та другого співмножників з'єднані з тактовим входом пристрою, інформаційні входи регістрів мантиси першого та другого співмножників з'єднані відповідно з входами мантиси першого та другого співмножників блока множення, інформаційні входи регістрів порядку першого та другого співмножників з'єднані відповідно з входами порядку першого та другого співмножників блока множення, інформаційні входи тригерів знака першого та другого співмножників з'єднані відповідно з входами знака першого та другого

співмножників блока множення, виходи регістрів мантиси першого та другого співмножників приєднані відповідно до першого та другого адресних входів вузла пам'яті добутоків, виходи регістрів порядку першого та другого співмножників приєднані відповідно до першого та другого інформаційних входів суматора, виходи тригерів знака першого та другого співмножників приєднані відповідно до входів елементу І, а виходи вузла пам'яті добутоків, суматора та елементу І з'єднані відповідно з інформаційними входами регістра мантиси, регістра порядку й тригера керування блока керування, усі непарні $3(n-1)$ -розрядні групи інформаційних входів регістра мантиси блока підсумовування з'єднані з першим $3(n-1)$ -розрядним виходом першого вузла пам'яті блока керування, другий $3(n-1)$ -розрядний вихід котрого зв'язаний з усіма парними $3(n-1)$ -розрядними групами інформаційних входів регістра мантиси блока підсумовування, керуючі входи встановлення в нуль кожної із $[m/3]$ груп якого приєднані до третього $[m/3]$ -розрядного виходу першого вузла пам'яті блока керування

Винахід відноситься до обчислювальної техніки і може бути використаний при побудові обчислювальних систем, у якості високопродуктивного блока, що забезпечує підвищену точність додавання послідовності добутоків пар чисел із плаваючою точкою

Відомий пристрій для додавання послідовності чисел із плаваючою комою (див авторське свідоцтво СРСР № 1182512 А, кл G06F7/50, 1985), що складається з однотипних блоків, причому кожний і-й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду кінцевого результату, елемент І, регістр порядку, вузол формування порядку, елемент АБО та два логічних вузли. Недоліки цього пристрою - при роботі в режимі "Додавання" зовнішня обчислювальна система подає операнди на вхід пристрою не на кожному такті роботи, а тільки у відповідь на виставлення сигналу "Готовність", пристрій не виконує операцію множення

Найбільш близький за технічною суттю до пристрою, що пропонується, є вибраний як прототип пристрій для додавання послідовності чисел із плаваючою точкою (див позитивне рішення від 12 07 02 про видачу деклараційного патенту України по заявці №2002010246, кл G06F7/50), який завдяки заміні т блоків підсумовування одним блоком підсумовування й введенням додатково блока формування результату зі зв'язками дозволяє в режимі "Додавання" подавати новий доданок на кожному такті роботи пристрою, що забезпечує підвищення швидкодії пристрою

Пристрій містить тактовий вхід, блок керування, блок підсумовування, блок формування результату, причому блок керування містить n -розрядний вхід мантиси, вхід порядку та вхід знака, регістр мантиси, регістр порядку, тригер керу-

вання, перший вузол пам'яті, блок підсумовування містить тригер переносу, $(n-1)m$ -розрядний регістр

мантиси, де $m = \left\lceil \frac{P_{\text{макс}}}{n-1} \right\rceil + 1$, а $P_{\text{макс}}$ - максималь-

ний порядок доданків, комутатор, суматор мантиси, блок формування результату містить вхід обнуління, регістр, комутатор результату, суматор результату, першу групу із $m(n-1)$ -входових елементів "АБО", другий вузол пам'яті, тригер знаку, регістр порядку, тригер перестановок, регістр результату, другу групу з $[0,5m](n-1)$ -входових елементів "АБО", третю групу з $(m-[0,5m])(n-1)$ -входових елементів "АБО", третій вузол пам'яті, суматор порядків, вихід знаку, вихід порядку, n -розрядний вихід мантиси

Основним недоліком даного пристрою є наступне пристрій не виконує операцію множення пар операндів

В основу винаходу поставлено задачу вдосконалити пристрій для додавання послідовності добутоків пар чисел з плаваючою точкою шляхом введенням додатково блока множення зі зв'язками і частковою зміною зв'язків блока керування та блока підсумовування, з тим, щоб пристрій виконував не тільки операцію послідовного підсумовування чисел, але й послідовного підсумовування добутоків пар чисел, що дозволяє розширити функціональні можливості пристрою

Поставлена задача досягається тим, що в пристрої для додавання послідовності добутоків пар чисел із плаваючою точкою, що містить тактовий вхід пристрою, блок керування, який містить тригер керування, регістри мантиси та порядку, перший вузол пам'яті, причому тактові входи регістра мантиси й регістра порядку з'єднані з тактовим входом пристрою, блок підсумовування, який містить регістр мантиси, тригер переносу, комутатор,

суматор мантиси, причому тактовий вхід пристрою з'єднаний з тактовими входами регістра мантиси та тригера переносу, та блок формування результату, який містить вхід обнуління, реєстр, комутатор результату, суматор результату, першу групу із $m(n-1)$ - входних елементів "АБО", де n - розряд-

ність мантиси, $m = \left\lceil \frac{P_{\max}}{n-1} \right\rceil + 1$, а P_{\max} - максима-

льний порядок доданків, другий вузол пам'яті, тригер знаку, реєстр порядку, тригер перестановок, реєстр результату, другу групу з $[0,5m](n-1)$ - входних елементів "АБО", третю групу з $(m-[0,5m])(n-1)$ -входних елементів "АБО", третій вузол пам'яті, суматор порядків, вихід знаку, вихід порядку, n -розрядний вихід мантиси, причому тактовий вхід пристрою з'єднаний з тактовими входами регістра, тригера знаку, регістра порядку, тригера перестановок та регістра результату, а вхід обнуління зв'язаний з керуючим входом встановлення в нуль регістра, вихід якого зв'язаний із другою групою входів суматора мантиси блока підсумовування, вихід котрого приєднаний до входу регістра, вихід старшого розряду котрого з'єднаний з інформаційним входом тригера знаку, з входом переносу суматора результату та з керуючим входом комутатора результату, перший та другий інформаційні входи котрого з'єднані відповідно з прямим та інверсним виходами $m(n-1)$ молодших розрядів регістра, а вихід комутатора результату приєднаний до першої групи входів суматора результату, на другу групу входів котрого подається сигнал "Логічний нуль", вихід суматора результату приєднаний до входів регістра результату, а також до відповідних входів першої групи $(n-1)$ -входних елементів "АБО", виходи котрих з'єднані з m -розрядним адресним входом другого вузла пам'яті, перший, другий і m -розрядний третій виходи котрого з'єднані відповідно з інформаційним входом регістра порядку, інформаційним входом тригера перестановок і з керуючими входами встановлення в нуль кожної із $m(n-1)$ -розрядних груп регістра результату, виходи усіх непарних $(n-1)$ - розрядних груп виходів котрого з'єднані зі входами другої групи із $(n-1)[0,5m]$ - входних елементів "АБО" таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", і аналогічно, виходи усіх парних $(n-1)$ -розрядних груп виходів регістра результату з'єднані зі входами третьої групи із $(n-1)(m-[0,5m])$ - входних елементів "АБО" таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", виходи другої групи елементів "АБО" та виходи третьої групи елементів "АБО" з'єднані відповідно з другим та третім адресними входами третього вузла пам'яті, перший адресний вхід якого приєднаний до виходу тригера перестановок, а перший вихід третього вузла пам'яті з'єднаний з другою групою входів суматора порядку, перша група входів котрого з'єднана з виходом регістру порядку, вихід суматора порядку з'єднаний з виходом порядку, вихід тригера знаку з'єднаний з виходом знаку, а другий вихід третього вузла пам'яті приєднаний до виходу мантиси, причому виходи регістрів мантиси та порядку блоку керування з'єднані з адресними входами першого вузла пам'яті, а тактовий вхід при-

строю з'єднаний з тактовим входом тригера керування, вихід котрого з'єднаний з інформаційним входом тригера переносу блока підсумовування, керуючий вхід комутатора блока підсумовування з'єднаний з виходом тригера переносу, з входом переносу та з двома старшими розрядами першої групи входів суматора мантиси, вихід комутатора зв'язаний з молодшими розрядами першої групи входів суматора мантиси, перший та другий інформаційні входи комутатора з'єднані відповідно з прямим та інверсним виходами $(n-1)m$ - розрядного регістра мантиси, новим є те, що в пристрій введено блок множення, який містить вхід мантиси першого та вхід мантиси другого співмножників, вхід порядку першого та вхід порядку другого співмножників, вхід знаку першого та вхід знаку другого співмножників, реєстр мантиси першого співмножника, реєстр мантиси другого співмножника, реєстр порядку першого співмножника, реєстр порядку другого співмножника, тригер знаку першого співмножника, тригер знаку другого співмножника, вузол пам'яті добутоків, суматор, елемент "І", причому тактові входи регістрів мантиси, регістрів порядку, тригерів знаку першого та другого співмножників з'єднані з тактовим входом пристрою, інформаційні входи регістрів мантиси першого та другого співмножників з'єднані відповідно з входами мантиси першого та другого співмножників блока множення, інформаційні входи тригерів знаку першого та другого співмножників з'єднані відповідно з входами знаку першого та другого співмножників блока множення, виходи регістрів мантиси першого та другого співмножників приєднані відповідно до першого та другого адресних входів вузла пам'яті добутоків, виходи регістрів порядку першого та другого співмножників приєднані відповідно до першого та другого інформаційних входів суматора, виходи тригерів знаку першого та другого співмножників приєднані відповідно до входів елемента "І", а виходи вузла пам'яті добутоків, суматора та елемента "І" з'єднані відповідно з інформаційними входами регістра мантиси, регістра порядку й тригера керування блока керування, усі непарні $3(n-1)$ - розрядні групи інформаційних входів регістра мантиси блока підсумовування з'єднані з першим $3(n-1)$ -розрядним виходом першого вузла пам'яті блока керування, другий $3(n-1)$ - розрядний вихід котрого зв'язаний з усіма парними $3(n-1)$ - розрядними групами інформаційних входів регістра мантиси блоку підсумовування, керуючі входи встановлення в нуль кожної із $[m/3]$ груп якого приєднані до третього $[m/3]$ - розрядного виходу першого вузла пам'яті блока керування

На кресленні представлено функціональну схему пристрою для додавання послідовності добутоків пар чисел із плаваючою точкою

Пристрій містить тактовий вхід 1, блок 2 множення, блок 3 керування, блок 4 підсумовування, блок 5 формування результату

Блок 2 множення містить n - розрядний вхід 6 мантиси першого та n - розрядний вхід 7 мантиси другого співмножників, вхід 8 порядку першого та

вхід 9 порядку другого співмножників, вхід 10 знаку першого та вхід 11 знаку другого співмножників, регістр 12 мантиси першого співмножника, регістр 13 мантиси другого співмножника, регістр 14 порядку першого співмножника, регістр 15 порядку другого співмножника, тригер 16 знаку першого співмножника, тригер 17 знаку другого співмножника, вузол 18 пам'яті добутоків, суматор 19, елемент 20 "I" Тактові входи регістрів 12 та 13 мантиси, регістрів 14 та 15 порядку, тригерів 16 та 17 знаку першого та другого співмножників з'єднані з тактовим входом 1 пристрою. Інформаційні входи регістрів 12 та 13 мантиси першого та другого співмножників з'єднані відповідно з входами 6 та 7 мантиси першого та другого співмножників блока множення, інформаційні входи регістрів 14 та 15 порядку першого та другого співмножників з'єднані відповідно з входами 8 та 9 порядку першого та другого співмножників блока множення, інформаційні входи тригерів 16 та 17 знаку першого та другого співмножників з'єднані відповідно з входами 10 та 11 знаку першого та другого співмножників блока множення. Виходи регістрів 12 та 13 мантиси першого та другого співмножників приєднані відповідно до першого та другого адресних входів вузла 18 пам'яті добутоків, виходи регістрів 14 та 15 порядку першого та другого співмножників приєднані відповідно до першого та другого інформаційних входів суматора 19, виходи тригерів 16 та 17 знаку першого та другого співмножників приєднані відповідно до входів елементу "I".

Блок 3 керування містить 2n- розрядний регістр 21 мантиси, регістр 22 порядку, тригер 23 керування, перший вузол 24 пам'яті, причому виходи вузла 18 пам'яті добутоків, суматора 19 та елементу 20 "I" блока 2 множення з'єднані відповідно з інформаційними входами регістра 21 мантиси, регістра 22 порядку й тригера 23 керування блока 3 керування, тактові входи котрих з'єднані з тактовим входом 1 пристрою, виходи регістра 21 мантиси та регістра 22 порядку з'єднані з адресними входами першого вузла 24 пам'яті.

Блок 4 підсумовування містить тригер 25 переносу, (n-1)m- розрядний регістр 26 мантиси, де

$$m = \left\lceil \frac{P_{\text{макс}}}{n-1} \right\rceil + 1, \text{ а } P_{\text{макс}} - \text{максимальний порядок}$$

доданків, комутатор 27, суматор 28 мантиси, причому тактовий вхід 1 пристрою з'єднаний з тактовими входами регістра 26 мантиси та тригера 25 переносу, інформаційний вхід котрого з'єднаний з виходом тригера 23 керування блока 3 керування, перший 3(n-1)- розрядний вихід першого вузла 24 пам'яті блока 3 керування зв'язаний з усіма непарними 3(n-1)- розрядними групами інформаційних входів регістру 26 мантиси блока 4 підсумовування, а другий 3(n-1)- розрядний вихід першого вузла 24 пам'яті блока 3 керування зв'язаний з усіма парними 3(n-1)- розрядними групами інформаційних входів регістру 26 мантиси блока 4 підсумовування, керуючі входи встановлення в нуль кожної із $\lceil m/3 \rceil$ груп якого приєднані до третього $\lceil m/3 \rceil$ - розрядного виходу першого вузла 24 пам'яті блока 3 керування, вихід тригера 25 переносу з'єднано з входом переносу та з двома старшими розрядами

першої групи входів суматора 28 мантиси, а також з керуючим входом комутатора 27, перший та другий інформаційні входи якого з'єднані відповідно з прямим та інверсним виходами регістра 26 мантиси, а вихід комутатора 27 з'єднано з молодшими розрядами першої групи входів суматора 28 мантиси.

Блок 5 формування результату містить вхід 29 обнуління, регістр 30, комутатор 31 результату, суматор 32 результату, першу групу 33 із m(n-1)- входових елементів "АБО", другий вузол 34 пам'яті, тригер 35 знаку, регістр 36 порядку, тригер 37 перестановок, регістр 38 результату, другу групу 39 з $[0,5m](n-1)$ - входових елементів "АБО", третю групу 40 з $(m-[0,5m])(n-1)$ - входових елементів "АБО", третій вузол 41 пам'яті, суматор 42 порядків, вихід 43 знаку, вихід 44 порядку, n- розрядний вихід 45 мантиси, причому тактовий вхід 1 пристрою з'єднаний з тактовими входами регістра 30, тригера 35 знаку, регістра 36 порядку, тригера 37 перестановок та регістра 38 результату, а вхід 29 обнуління зв'язаний з керуючим входом встановлення в нуль регістра 30, вихід якого зв'язаний із другою групою входів суматора 28 мантиси блока 4 підсумовування, вихід суматора 28 мантиси приєднаний до входу регістра 30, вихід старшого розряду котрого з'єднаний з інформаційним входом тригера 35 знаку, з входом переносу суматора 32 результату та з керуючим входом комутатора 31 результату, перший та другий інформаційні входи котрого з'єднані відповідно з прямим та інверсним виходами (n-1) молодших розрядів регістра 30, а вихід комутатора 31 результату приєднаний до першої групи входів суматора 32 результату, на другу групу входів котрого подається "Логічний нуль", вихід суматора 32 результату приєднаний до входів регістру 38 результату, а також до першої групи 33 (n-1)- входових елементів "АБО", виходи котрих з'єднані з m- розрядним адресним входом другого вузла 34 пам'яті, перший, другий і m- розрядний третій виходи котрого з'єднані відповідно з інформаційним входом регістра 36 порядку, інформаційним входом тригера 37 перестановок і з керуючими входами встановлення в нуль кожної із m(n-1)- розрядних груп регістру 38 результату, виходи усіх непарних (n-1)- розрядних груп виходів котрого з'єднані зі входами другої групи 39 із (n-1)[0,5m]- входових елементів "АБО" таким чином, що виходи усіх k-x розрядів цих груп приєднані до входів k-ого елемента "АБО", і аналогічно, виходи усіх парних (n-1)- розрядних груп виходів регістру 38 результату з'єднані зі входами третьої групи 40 із (n-1)(m-[0,5m])- входових елементів "АБО" таким чином, що виходи усіх k-x розрядів цих груп приєднані до входів k-ого елемента "АБО", виходи другої групи 39 елементів "АБО" та виходи третьої групи 40 елементів "АБО" з'єднані відповідно з другим та третім адресними входами третього вузла 41 пам'яті, перший адресний вхід якого приєднаний до виходу тригера 37 перестановок, а перший вихід третього вузла 41 пам'яті з'єднаний з другою групою входів суматора 42 порядку, перша група входів котрого з'єднана з виходом регістру 37 порядку, вихід суматора 42 порядку з'єднаний з виходом 44 порядку, вихід тригера 35 знаку з'єднаний з виходом 43 знаку, а другий

вихід третього вузла 41 пам'яті приєднаний до виходу 45 мантиси

Примітка

[X] - найменше ціле число, що більше або дорівнює X, [X] - найбільше ціле число, що менше або дорівнює X, $X \bmod Y$ - залишок від ділення X

на Y

Перший, другий та третій вузли 24, 34, 41 пам'яті та вузол 18 пам'яті добутоків можуть бути реалізовані на базі мікросхем постійних запам'ятовувачих пристроїв, прошиваних у відповідності з таблицями 1, 2, 3 та 4

Таблиця 1

Відповідність входів та виходів першого вузла 24 пам'яті

Входи вузла 24 пам'яті		Виходи вузла 24 пам'яті		
Розряди мантиси	Розряди порядку	Непарна група розрядів	Парна група розрядів	Сигнали встановлення в нуль груп розрядів
$A_1A_2 A_7A_8$	0001	000000000	00000 $A_1A_2A_3A_4$	01
$A_1A_2 A_7A_8$	0010	000000000	0000 $A_1A_2A_3A_4A_5$	01
$A_1A_2 A_7A_8$	0011	000000000	000 $A_1A_2A_3A_4A_5A_6$	01
$A_1A_2 A_7A_8$	0100	000000000	00 $A_1A_2A_3A_4A_5A_6$	01
$A_1A_2 A_7A_8$	0101	000000000	0 $A_1A_2A_3A_4A_5A_6A_7A_8$	01
$A_1A_2 A_7A_8$	0110	000000000	$A_1A_2A_3A_4A_5A_6A_7A_80$	01
$A_1A_2 A_7A_8$	0111	00000000 A_1	$A_2A_3A_4A_5A_6A_7A_800$	11
$A_1A_2 A_7A_8$	1000	0000000 A_1A_2	$A_3A_4A_5A_6A_7A_8000$	11
$A_1A_2 A_7A_8$	1001	000000 $A_1A_2A_3$	$A_4A_5A_6A_7A_80000$	11
$A_1A_2 A_7A_8$	1010	00000 $A_1A_2A_3A_4$	$A_5A_6A_7A_800000$	11
$A_1A_2 A_7A_8$	1011	0000 $A_1A_2A_3A_4A_5$	$A_6A_7A_8000000$	11
$A_1A_2 A_7A_8$	1100	000 $A_1A_2A_3A_4A_5A_6$	$A_7A_80000000$	11
$A_1A_2 A_7A_8$	1101	00 $A_1A_2A_3A_4A_5A_6A_7$	$A_800000000$	11
$A_1A_2 A_7A_8$	1110	0 $A_1A_2A_3A_4A_5A_6A_7A_8$	000000000	10
$A_1A_2 A_7A_8$	1111	$A_1A_2A_3A_4A_5A_6A_7A_80$	000000000	10

Примітка - комбінації адресних входів, що не впливають на роботу, не показано

Таблиця 2

Відповідність входів та виходів другого вузла 34 пам'яті

Входи вузла 34 пам'яті		Виходи вузла 34 пам'яті	
Виходи групи елементів "АБО"	Порядок (n-1)[P _x /(n-1)]	Сигнал перестановки	Сигнали встановлення в нуль груп розрядів (цифр)
000000	0	0	000000
000001	0	0	000001
00001X	0	0	000011
0001XX	11	1	000110
001XXX	110	0	001100
01XXXX	1001	1	011000
1XXXXX	1100	0	110000

Примітка -X- або 0, або 1, комбінації адресних входів, що не впливають на роботу, не показано

Таблиця 3

Відповідність входів та виходів третього вузла 41 пам'яті

Входи вузла 41 пам'яті	Виходи вузла 41 пам'яті
------------------------	-------------------------

Сигнал перестановки	Непарна група розрядів (цифра)	Парна група розрядів (цифра)	Порядок P _x mod (n-1)	Мантиса
0	1 A_2A_3	$A_4A_5A_6$	0011	$A_1A_2A_3A_4$
0	01 A_3	$A_4A_5A_6$	0010	$A_2A_3A_4A_5$
0	001	$A_4A_5A_6$	0001	$A_3A_4A_5A_6$
1	$A_1A_2A_3$	1 A_5A_6	00H	$A_4A_5A_6A_1$
1	$A_1A_2A_3$	01 A_5	0010	$A_5A_6A_1A_2$
1	$A_1A_2A_3$	001	0001	$A_6A_1A_2A_3$
X	000	000	0000	0000

Примітка -X- або 0, або 1, комбінації адресних входів, що не впливають на роботу, не показано

Таблиця 4

Відповідність входів та виходів вузла 18 пам'яті добутоків

Входи вузла 18 пам'яті		Виходи вузла 18 пам'яті
Розряди мантиси першого співмножника	Розряди мантиси другого співмножника	
1	2	3
1001	1001	01010001
1010	1001	01011010
1011	1001	01100011
1100	1001	01101100
1101	1001	01110101
1110	1001	01111110

1111	1001	10000111
1001	1010	01011010
1001	1011	01100011
1001	1101	01110101
1001	1110	01111110
1001	1111	10000111
1010	1010	01100100
1011	1010	01101110
1100	1010	01111000
1101	1010	10000010
1110	1010	10001100
1111	1010	10010110
1010	1011	01101110
1010	1100	01111000
1010	1101	10000010
1010	1110	10001100
1010	1111	10010110
1011	1011	01111001
1100	1011	10000100
1101	1011	10001111
1110	1011	10011010
1111	1011	10100101
1011	1100	10000100
1011	1101	10001111
1011	1110	10011010
1011	1111	10100101
1100	1100	10010000
1101	1100	10011100
1110	1100	10101000
1111	1100	10110100
1100	1101	10011100
1100	1110	10101000
1100	1111	10110100
1101	1101	10101001
1110	1101	10110110
1111	1101	11000011
1101	1110	10110110
1101	1111	11000011
1110	1110	11000100
A ₁ A ₂ A ₃ A ₄	1000	0A ₁ A ₂ A ₃ A ₄ 000
1000	B ₁ B ₂ B ₃ B ₄	0B ₁ B ₂ B ₃ B ₄ 000
1111	1111	11100001

Примітка -X- або 0, або 1, комбінації адресних входів, що не впливають на роботу, не показано

Суматори 18, 28, 32, 41 виконують підсумовування двох операндів із розповсюдженням переносів

Усі тригери та регістри пристрою здійснюють запис інформації по передньому фронту тактового імпульсу

Розглянемо, як працює пристрій для додавання послідовності добуток пар чисел із плаваючою точкою

Пристрій для додавання послідовності чисел із плаваючою точкою має два режими роботи "Початок додавання" та "Додавання". Різниця між цими двома режимами полягає в наступному

Режим "Початок додавання" встановлюється на протязі двох тактів роботи пристрою. Після закінчення обчислення суми поточної

послідовності робиться пропуск одного такту роботи, на наступному (першому) такті на вхід пристрою подається перша пара співмножників, на наступному (другому) такті подається друга пара співмножників, потім на наступному (третьому) такті подається третя пара співмножників і на вхід 29 обнуління подається відповідний сигнал, щоби на початку обчислення суми нової послідовності чисел встановити в нуль регістр 30, в якому накопичується результат підсумовування. Цей сигнал обнуління встановлюється тільки на один (третій) такт роботи пристрою

В режимі роботи "Додавання" подаються тільки чергові пари співмножників на вхід пристрою для додавання послідовності добуток пар чисел із плаваючою точкою (Слід відзначити, що при подачі одного зі співмножників, який дорівнює одиниці, відбувається просто складання послідовності чисел. Таким чином, запропонований пристрій може виконувати операції типу $a + bc + de + f + h + \dots$)

Отже, пристрій у цих двох режимах працює за одним алгоритмом

Подача пар співмножників здійснюється кожний такт роботи пристрою в режимі додавання

Нехай на i -му такті роботи на вхід пристрою подано i -у пару співмножників. У блоці 2 множення відбувається обчислення добутку цих співмножників

А саме, на n -розрядний вхід 6 мантиси першого співмножника подається нормалізована мантиса M_{x1} першого співмножника, що представлений в прямому коді, на n -розрядний вхід 7 мантиси другого співмножника подається нормалізована мантиса M_{x2} другого співмножника, що представлений в прямому коді, на вхід 8 порядку першого та вхід 9 порядку другого співмножників подаються відповідно порядок P_{x1} першого та порядок P_{x2} другого співмножників, на вхід 10 знаку першого та вхід 11 знаку другого співмножників подаються відповідно знак першого та знак другого співмножників. З приходом переднього фронту тактового імпульсу ці дані записуються відповідно у регістри 12 та 13 мантиси і 14 та 15 порядку і тригери 16 та 17 знаку. За допомогою вузла 18 пам'яті добуток визначається $2n$ -розрядний добуток цих співмножників, а порядок та знак цього добутку обчислюється за допомогою суматора 19 та елемента 20 "I"

На $(i+1)$ -му такті роботи у блоці 3 керування відбувається перетворення цього добутку (далі він виступає у ролі доданка) з двійкової системи обчислення у систему обчислення з основою $\varepsilon = 2^{n-1}$

А саме, з приходом переднього фронту тактового імпульсу $2n$ -розрядна мантиса M_x доданка (добутку), що представлений в прямому коді, порядок P_x доданка (добутку), знак доданку (добутку) записуються відповідно у регістри 21, 22 мантиси та порядку і тригер 13 керування. За допомогою першого вузла 24 пам'яті визначається $P_{x \bmod (n-1)}$, і відповідно на $P_{x \bmod (n-1)}$ розрядів зсовується мантиса M_x , формуючи три цифри числа $M_x(\varepsilon)$ у системі обчислення з основою ε , а також обчислюється $[P_x(n-1)]$, щоби визначити, на які позиції

числа $M_X(\varepsilon)$ поставити отримані три цифри (інші цифри числа дорівнюватимуть нулю). Отже, на перший вихід першого 24 вузла пам'яті подаються три цифри числа $M_X(\varepsilon)$, що повинні потрапити на якусь непарну позицію, а на другий вихід першого 24 вузла пам'яті подаються три цифри числа $M_X(\varepsilon)$, що повинні потрапити на якусь парну позицію числа $M_X(\varepsilon)$. Третій вихід першого 24 вузла пам'яті визначає, на які саме позиції будуть записані нулі, а отже у ті позиції, що залишилися, будуть записані ці групи цифр.

На (i+2)-му такті роботи у блоці 4 підсумовування відбувається перевід мантиси $M_X(\varepsilon)$ у доповняльний код та підсумовування її з накопиченою сумою, що по ланцюгу зворотного зв'язку поступає з регістра 30 блока 5 формування результату (на початку обчислення нової послідовності ця накопичена сума дорівнює нулю, тому що на третьому такті роботи регістр 30 був встановлений в нуль).

Спочатку, з приходом тактового імпульсу по його передньому фронту відбувається запис числа $M_X(\varepsilon)$ у регістр 28 мантиси. Перевід мантиси $M_X(\varepsilon)$ у доповняльний код здійснюється у два етапи. Спочатку комутатор 27 формує обернений код числа (інвертує число, якщо знак доданка дорівнює 1), потім при виконанні підсумовування на вхід переносу в молодший розряд суматора 28 мантиси подається знак доданка.

На (i+3)-му такті роботи у блоці 5 формування результату відбувається перевід накопиченої суми у прямий код, перевід її у двійкову систему числення та починається формування нормалізованого n-розрядного результату.

Перевід результату $M_X(\varepsilon)$ у прямий код здійснюється у два етапи. Спочатку комутатор 31 результату інвертує число, якщо знак результату дорівнює 1, потім при виконанні підсумовування на вхід переносу в молодший розряд суматора 32 результату подається знак доданка, а на другу групу входів суматора 32 результату подаються сигнали "Логічний нуль".

Формування нормалізованого n-розрядного результату теж проходить у декілька етапів. Спочатку за допомогою першої групи 33 елементів "АБО" виявляються всі нульові (n-1)-розрядні цифри результату. Потім у другому вузлі 34 пам'яті визначається, скільки старших цифр результату дорівнює нулю, і формується $((n-1)[P_X/(n-1)])$ - частина порядку числа.

Крім того, у другому вузлі 34 пам'яті формується сигнал перестановки та сигнали встановлення в нуль регістра 38 результату.

На (i+4)-му такті роботи у блоці 5 формування результату продовжується перевід результату у двійкову систему числення та формування нормалізованого n-розрядного результату.

По передньому фронту тактового сигналу у регістр 38 результату записуються тільки дві старші (n-1)-розрядні групи ненульових розрядів, позаяк інші знаходилися під впливом сигналів встановлення в нуль. За допомогою другої та третьої груп 39 і 40 елементів "АБО" їх відокремлено, тим самим відокремлено дві старші цифри мантиси, представленої у системі числення з основою ε . Перша відокремлена цифра може бути як на парній позиції, так і на непарній позиції. Отже, коли на другий адресний вхід третього 41 вузла пам'яті поступає непарна цифра, вона може бути молодшою. Для того, щоб знати це, на перший адресний вхід вузла пам'яті 41 подається сигнал перестановки із триггеру 37 перестановки, він дорівнює одиниці, якщо потрібно поміняти місцями старшу і молодшу цифри. Таким чином формується $2(n-1)$ -розрядне двійкове число. За допомогою третього вузла 41 пам'яті на основі аналізу того, скільки нульових (вже двійкових) старших розрядів міститься у цьому числі, визначається $P_X \bmod (n-1)$, це число на $P_X \bmod (n-1)$ розрядів зсовуються уліво і формується n-розрядний результат, відкидаючи, якщо це потрібно зайві розряди. Частина порядку $P_X \bmod (n-1)$ результату з першого виходу третього вузла 41 пам'яті поступає в суматор 42 порядку, де підсумовується з частиною порядку $((n-1)[P_X/(n-1)])$. Отже, на (i+4)-му такті формується знак суми (вихід 43), порядок (вихід 44) та нормалізована мантиса (вихід 45).

Наводимо приклад роботи пристрою для додавання послідовності чисел із плаваючою точкою.

Нехай $n=4$, $P_{\min}=1$, $P_{\max}=14$, обчислити $S=a+b+c+d+e$, де

$a=+0\ 1011$, $P_a=0001$,
 $b=-0\ 1010$, $P_b=0110$,
 $c=+0\ 1100$, $P_c=0011$,
 $d=+0\ 1010$, $P_d=0100$,
 $e=+0\ 1100$, $P_e=0110$,
 $f=+0\ 1111$, $P_f=0001$

Точна сума повинна дорівнювати $S=+0\ 10111110$, $P=0111$, а якщо привести до прийнятої розрядної сітки, то $S=+0\ 1011$, $P=0111$, якщо вираховувати так, як це робиться зазвичай у процесорах і без прийняття спеціальних програмних заходів підвищення точності, отримаємо $S=0\ 1101$, $P=0111$.

Обчислення, виконані пристроєм для додавання послідовності доданків пар чисел із плаваючою точкою показано у таблиці 5.

Таблиця 5

Обчислення $S=ab+cd+e$

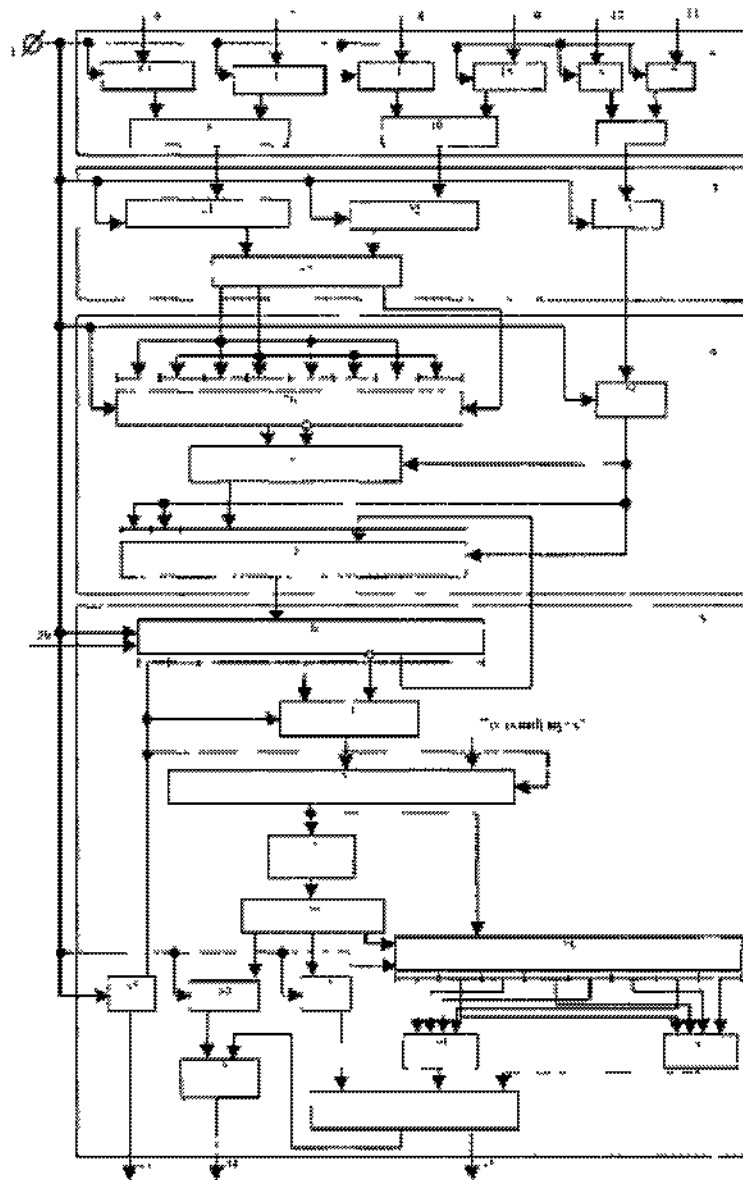
№ такту	Виходи елементів						Примітки	
	12	13	14	15	16	17		
1	1011	1010	0001	0110	0	1	На кожному такті поступає чергова пара операндів	
2	1100	1010	0011	0100	0	0		
3	1100	1111	0110	0001	0	0		
4	X	X	X	X	X	X		
5	X	X	X	X	X	X		
№ такту	Виходи елементів						Примітки	
	21		22		23			
1	X		X		X		Результат виконання множення пари операндів	
2	01101110		0111		0			
3	01111000		0111		1			
4	10110100		0111		0			
5	X		X		X			
№ такту	Виходи елементів						Примітки	
	26					25		
3	000 000 000 110 111 000					0	Цифри мантиси розташовуються на належному місці регістра 26 мантиси	
4	000 000 000 111 100 000					1		
5	000 000 001 011 010 000					0		
6	X					X		
7	X					X		
№ такту	Виходи елементу 30						Примітки	
	3							
3	00 000 000 000 000 000 000						Почалося обрахування суми нової послідовності, тому на третьому такті відбулося встановлення в нуль регістра 30, в якому накопичується результат представлений у доповняльному коді	
4	11 111 111 111 001 001 000							
5	00 000 000 000 000 101 000							
6	00 000 001 011 111 000 000							
7	X							
8	X							
№ такту	Вихід елемента 32							Примітки
	6							
6	000 000 001 011 111 000						У суматорі 32 результату здійснений перевід результату у прямий код	
№ такту	Вихід елемента 33						Примітки	
	6							
6	001 110						За допомогою першої групи елементів "АБО" визначається, скільки груп розрядів містять тільки нулі	
№ такту	Вихід елемента 34						Примітки	
	6							
6	0110 0 001100						У другому вузлі 34 пам'яті визначається $(n-1) \setminus P_x(n-1)$, сигнал перестановки, сигнали встановлення в нуль усіх цифр $M_x(\varepsilon)$ крім двох	
№ такту	Вихід елемента 38						Примітки	
	7							
7	000000001 011 000000						У регістрі 38 результату залишилось тільки дві ненульові цифри, які за допомогою другої та третьої груп "АБО" будуть відокремлені	
№ такту	Вхід елемента 41						Примітки	
	7							
7	0001011						У вузлі 41 ці дві цифри не були переставлені місцями (позаяк сигнал перестановки дорівнює 0), відкинуті усі нулі на початку нової мантиси, щоби сформувати нормалізоване число, число відкинутих нулів $(P_x \bmod (n-1))$ подається у суматор 29 порядків	
№ такту	Вихід блока 5 формування результату						Примітки	
	43		44		45			
7	0		0111		101 1			

Отже, на $(i+4=7)$ -ому такті отримано правильний результат $S=+0\ 1011$, $P=0111$

Таким чином, для підсумовування послідовності добутків і пар чисел із плаваючою крапкою потрібно $(i+4)$ тактів роботи пристрою. Перед початком обчислення нової послідовності чисел має бути хоча б один холостий такт.

Отже, у порівнянні з прототипом, запропонований пристрій при тієї ж самій підвищеній точнос-

ті може виконувати не тільки підсумовування чисел, але і операцію множення та підсумовування добутків пар чисел. Запропонований пристрій розроблено з урахуванням діючих Стандарту на двійкову арифметику з плаваючою точкою (Р754) та Стандарту на арифметику з плаваючою точкою (ПТ) із різними основами системи числення й словами довільної довжини (Р854).



Фіг.