



УКРАЇНА

(19) UA (11) 31600 (13) U
(51) МПК (2006)
G06F 7/60МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) ЦИФРОВИЙ ІНТЕГРАТОР

1

2

(21) u200714835

(22) 26.12.2007

(24) 10.04.2008

(46) 10.04.2008, Бюл.№ 7, 2008 рік

(72) ЖАБІН ВАЛЕРІЙ ІВАНОВИЧ, UA, КОВАЛЬОВ
МИКОЛА ОЛЕКСАНДРОВИЧ, UA(73) НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
УКРАЇНИ "КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИ-
ТУТ", UA

(57) Цифровий інтегратор, що містить блок множення, блок додавання, регістр результату, групу входів початкових умов, групу входів синхронізації, групу виходів (i+1)-го приросту інтегралу пристрою, групу входів i-го приросту підінтегральної функції, групу входів (i+1)-го приросту змінної інтегрування, який **відрізняється** тим, що в його склад введені другий блок множення, два ідентичних блоки різниці добутоків, блок суми добутоків на константи, сім ідентичних блоків формування паралельних кодів, регістр зсуву, блок керування, блок формування константи, три ідентичних блоки видачі операндів, причому перша група виходів першого блока множення зв'язана з першою групою входів блока суми добутоків на константи, перший вихід якого зв'язаний з першими входами регістра результату та блока додавання відповідно, група виходів блока додавання зв'язана з групою виходів значення інтегралу цифрового інтегратора та другою групою входів регістра результату відповідно, група виходів регістра результату зв'язана з другою групою входів блока додавання, третя група входів регістра результату складається з першого та другого входів початкових умов цифрового інтегратора, другий вихід першого блока множення зв'язаний з другим входом блока суми добутоків на константи, друга група виходів якого зв'язана з третьою групою входів блока додавання та складає перший і другий виходи пристрою відповідно, групи виходів другого блока множення та двох блоків різниці добутоків зв'язані з першими групами входів трьох блоків видачі операндів відповідно, групи виходів яких зв'язані з третьою, четвертою та п'ятою групами входів блока суми добутоків на константи відповідно, група виходів першого блока формування паралельних кодів зв'язана з першою групою входів першого блока множення, група виходів другого блока формування паралельних кодів зв'язана з

другою групою входів першого блока множення, першою групою входів другого блока множення та першими групами входів двох блоків різниці добутоків відповідно, група виходів третього блока формування паралельних кодів зв'язана з другою групою входів другого блока множення та другими групами входів двох блоків різниці добутоків відповідно, група виходів четвертого блока формування паралельних кодів зв'язана з третьою групою входів першого блока різниці добутоків, група виходів п'ятого блока формування паралельних кодів зв'язана з четвертою групою входів першого блока різниці добутоків, групи виходів шостого і сьомого блоків формування паралельних кодів зв'язані з третьою та четвертою групами входів другого блока різниці добутоків відповідно, група виходів блока формування константи зв'язана з шостою групою входів блока суми добутоків на константи, група входів підінтегральної функції цифрового інтегратора зв'язана з першою групою входів першого блока формування паралельних кодів і третьою групою входів першого блока множення відповідно, група входів (i+1)-го приросту змінної інтегрування цифрового інтегратора зв'язана з першою групою входів другого блока формування паралельних кодів, четвертою групою входів першого блока множення, третьою групою входів другого блока множення та п'ятьма групами входів всіх блоків різниці добутоків відповідно, перший і другий входи керування точністю цифрового інтегратора складають першу групу входів блока керування, перший вхід керування точністю цифрового інтегратора зв'язаний з входом блока формування константи, група входів (i+1)-го приросту підінтегральної функції цифрового інтегратора зв'язана з першою групою входів третього блока формування паралельних кодів, четвертою групою входів другого блока множення та шостими групами входів всіх блоків різниці добутоків відповідно, перший і другий входи i-го приросту підінтегральної функції цифрового інтегратора складають першу групу входів четвертого блока формування паралельних кодів і сьому групу входів першого блока різниці добутоків відповідно, група входів i-го приросту змінної інтегрування цифрового інтегратора зв'язана з першою групою входів п'ятого блока формування паралельних кодів і восьмою групою входів першого блока різниці добутоків відповідно,

(13) U
(11) 31600
(19) UA

група входів ($i-1$)-го приросту підінтегральної функції цифрового інтегратора зв'язана з першою групою входів шостого блока формування паралельних кодів і сьомою групою входів другого блока різниці добутоків відповідно, група входів ($i-1$)-го приросту змінної інтегрування цифрового інтегратора зв'язана з першою групою входів сьомого блока формування паралельних кодів і восьмою групою входів другого блока різниці добутоків відповідно, група виходів регістру зсуву зв'язана з другими групами входів всіх блоків формування паралельних кодів відповідно, перший вхід синхронізації цифрового інтегратора зв'язаний з першим входом регістру зсуву, з третіми входами першого та другого блоків формування паралельних кодів, з п'ятим входом першого блока множення, з сьомим входом блока суми добутоків на константи, з четвертим входом регістру результату та другим входом блока керування відповідно, перший вихід якого зв'язаний з третім входом третьо-

го блока формування паралельних кодів і п'ятим входом другого блока множення відповідно, другий вихід блока керування зв'язаний з третіми входами четвертого і п'ятого блоків формування паралельних кодів і дев'ятим входом першого блока різниці добутоків відповідно, третій вихід блока керування зв'язаний з третіми входами шостого і сьомого блоків формування паралельних кодів і дев'ятим входом другого блока різниці добутоків відповідно, четвертий, п'ятий та шостий виходи блока керування зв'язані з другими входами всіх блоків видачі операндів відповідно, другий вхід синхронізації цифрового інтегратора зв'язаний з другим входом регістру зсуву, з четвертими входами всіх блоків формування паралельних кодів, з шостими входами всіх блоків множення та десятими входами всіх блоків різниці добутоків відповідно, третій вхід синхронізації цифрового інтегратора зв'язаний з п'ятим входом регістру результату.

Корисна модель стосується обчислювальної техніки і може бути застосована в цифрових інтегруючих машинах, реалізованих на базі програмувальних логічних інтегральних схем (ПЛИС) для систем керування та моделювання.

Відомий цифровий інтегратор [1], який містить регістри, суматори, елементи затримки, перетворювач коду, комутатор та блок множення.

Недоліком цього пристрою є обмежені функціональні можливості, тому що в ньому реалізується чисельне інтегрування тільки за однією формулою.

Відомий цифровий інтегратор [2], який містить регістри, суматори, елементи затримки та блок множення.

Обмеженість функціональних можливостей цього пристрою полягає в чисельному інтегруванні тільки за однією формулою.

Найбільш близьким до корисної моделі по технічній сутності є пристрій для обробки чисел в надлишковому послідовному коді [3], який містить групу входів початкових умов, групу входів синхронізації, елементи І-АБО, групу входів ($i+1$)-го приросту змінної інтегрування, регістр приросту аргументу, регістр підінтегральної функції, суматор підінтегральної функції, блок множення, блоки затримки, блок додавання, суматор приросту інтегралу, регістр залишку інтегралу, регістр результату, групу виходів ($i+1$)-го приросту інтегралу пристрою, групу входів i -го приросту підінтегральної функції, комутатор. Пристрій дозволяє реалізувати операцію інтегрування над даними, представленими в четвертинному надлишковому коді з цифрами $\{-2, -1, 0, 1, 2, 3\}$.

Цей пристрій має низькі функціональні можливості тому, що в ньому використовується тільки одна формула чисельного інтегрування.

В основу корисної моделі поставлено задачу розширення функціональних можливостей цифрового інтегратора шляхом введення першого та

другого блоків множення, двох ідентичних блоків різниці добутоків, блока суми добутоків на константи, блока додавання, регістра результату, сімох ідентичних блоків формування паралельних кодів, регістра здвигу, блока керування, блока формування константи, трьох ідентичних блоків видачі операндів, що забезпечує перебудовування в процесі роботи пристрою на обчислення за формулами чисельного інтегрування за Стілт'есом різних порядків точності.

Встановлена задача вирішується тим, що в цифровому інтеграторі, що містить блок множення, блок додавання, регістр результату, групу входів початкових умов, групу входів синхронізації, групу виходів ($i+1$)-го приросту інтегралу пристрою, групу входів i -го приросту підінтегральної функції, групу входів ($i+1$)-го приросту змінної інтегрування, новим є те, що в нього введені другий блок множення, два ідентичних блоки різниці добутоків, блок суми добутоків на константи, сім ідентичних блоків формування паралельних кодів, регістр здвигу, блок керування, блок формування константи, три ідентичних блоки видачі операндів, причому перша група виходів першого блока множення зв'язана з першою групою входів блока суми добутоків на константи, перший вихід якого зв'язаний з першими входами регістра результату та блока додавання відповідно, група виходів блока додавання зв'язана з групою виходів значення інтегралу цифрового інтегратора та другою групою входів регістра результату відповідно, група виходів регістра результату зв'язана з другою групою входів блока додавання, третя група виходів регістра результату складається з першого та другого входів початкових умов цифрового інтегратора, другий вихід першого блока множення зв'язаний з другим входом блока суми добутоків на константи, друга група виходів якого зв'язана з третьою групою входів блока додавання та складає перший і другий виходи пристрою відповідно, групи виходів

другого блока множення та двох блоків різниці добутоків зв'язані з першими групами входів трьох блоків видачі операндів відповідно, групи виходів яких зв'язані з третьою, четвертою та п'ятою групами входів блока суми добутоків на константи відповідно, група виходів першого блока формування паралельних кодів зв'язана з першою групою входів першого блока множення, група виходів другого блока формування паралельних кодів зв'язана з другою групою входів першого блока множення, першою групою входів другого блока множення та першими групами входів двох блоків різниці добутоків відповідно, група виходів третього блока формування паралельних кодів зв'язана з другою групою входів другого блока множення та другими групами входів двох блоків різниці добутоків відповідно, група виходів четвертого блока формування паралельних кодів зв'язана з третьою групою входів першого блока різниці добутоків, група виходів п'ятого блока формування паралельних кодів зв'язана з четвертою групою входів першого блока різниці добутоків, групи виходів шостого і сьомого блоків формування паралельних кодів зв'язані з третьою та четвертою групами входів другого блока різниці добутоків відповідно, група виходів блока формування константи зв'язана з шостою групою входів блока суми добутоків на константи, група входів підінтегральної функції цифрового інтегратора зв'язана з першою групою входів першого блока формування паралельних кодів і третьою групою входів першого блока множення відповідно, група входів $(i+1)$ -го приросту змінної інтегрування цифрового інтегратора зв'язана з першою групою входів другого блока формування паралельних кодів, четвертою групою входів першого блока множення, третьою групою входів другого блока множення та п'ятьма групами входів всіх блоків різниці добутоків відповідно, перший і другий входи керування точністю цифрового інтегратора складають першу групу входів блока керування, перший вхід керування точністю цифрового інтегратора зв'язаний з входом блока формування константи, група входів $(i+1)$ -го приросту підінтегральної функції цифрового інтегратора зв'язана з першою групою входів третього блока формування паралельних кодів, четвертою групою входів другого блока множення та шостими групами входів всіх блоків різниці добутоків відповідно, перший і другий входи i -го приросту підінтегральної функції цифрового інтегратора складають першу групу входів четвертого блока формування паралельних кодів і сьому групу входів першого блока різниці добутоків відповідно, група входів i -го приросту змінної інтегрування цифрового інтегратора зв'язана з першою групою входів п'ятого блока формування паралельних кодів і восьмою групою входів першого блока різниці добутоків відповідно, група входів $(i-1)$ -го приросту підінтегральної функції цифрового інтегратора зв'язана з першою групою входів шостого блока формування паралельних кодів і сьомою групою входів другого блока різниці добутоків відповідно, група входів $(i-1)$ -го приросту змінної інтегрування цифрового інтегратора зв'язана з першою групою входів сьомого блока формування паралельних кодів і восьмою

групою входів другого блока різниці добутоків відповідно, група виходів регістру здвигу зв'язана з другими групами входів всіх блоків формування паралельних кодів відповідно, перший вхід синхронізації цифрового інтегратора зв'язаний з першим входом регістру здвигу, з третіми входами першого та другого блоків формування паралельних кодів, з п'ятим входом першого блока множення, з сьомим входом блока суми добутоків на константи, з четвертим входом регістру результату та другим входом блока керування відповідно, перший вихід якого зв'язаний з третім входом третього блока формування паралельних кодів і п'ятим входом другого блока множення відповідно, другий вихід блока керування зв'язаний з третіми входами четвертого і п'ятого блоків формування паралельних кодів і дев'ятим входом першого блока різниці добутоків відповідно, третій вихід блока керування зв'язаний з третіми входами шостого і сьомого блоків формування паралельних кодів і дев'ятим входом другого блока різниці добутоків відповідно, четвертий, п'ятий та шостий виходи блока керування зв'язані з другими входами всіх блоків видачі операндів відповідно, другий вхід синхронізації цифрового інтегратора зв'язаний з другим входом регістру здвигу, з четвертими входами всіх блоків формування паралельних кодів, з шостими входами всіх блоків множення та десятима входами всіх блоків різниці добутоків відповідно, третій вхід синхронізації цифрового інтегратора зв'язаний з п'ятим входом регістру результату.

Змінення порядку точності формули чисельного інтегрування за Стілт'есом в процесі роботи запропонованого цифрового інтегратора можливе завдяки однорідності загальної формули обчислення приросту інтегралу Стілт'еса та відповідного графу потоку обчислень. Перебудовування пристрою на обчислення за формулою більшого порядку точності ґрунтується на тому, що відповідний граф потоку обчислень за такою формулою отримують шляхом певної редукції початкового графу без зміни зв'язків між залишеними операціями. І навпаки, при переході на формулу інтегрування більшого порядку точності відповідний граф потоку обчислень отримують певним розширенням початкового графу також без зміни зв'язків між операціями в початковому підграфі. Така динамічна реконфігурація може проводитись, наприклад, для зменшення параметрів енергоспоживання побудованих на основі запропонованого цифрового інтегратора цифрових інтегруючих машин в умовах критично високих температур експлуатації, недостатнього охолодження або обмеженого енергопостачання. Практично це здійснюється відключенням незайнятих в обчисленнях блоків такого пристрою (припинення тактування, занулення проміжних результатів, формування нових значень констант).

Сутність корисної моделі пояснюється на кресленнях, де

на Фіг.1 показана структурна схема цифрового інтегратора;

на Фіг.2 - можливий варіант блока керування;

на Фіг.3 - можливий варіант блока видачі операндів;

на Фіг.4 - можливий варіант блока формування константи;

на Фіг.5 - ярусно-паралельна форма (ЯПФ) графу обчислень значення приросту інтегралу Стілт'єса.

Цифровий інтегратор містить блок множення 1, блок суми добутоків на константи 2, регістр результату 3, блок додавання 4, групу виходів значення інтегралу 5, групу входів початкових умов 6, групу входів $(i+1)$ -го приросту інтегралу 7, блок множення 8, блоки різниці добутоків 9 і 10, блоки видачі операндів 11, 12 і 13, блоки формування паралельних кодів 14, 15, 16, 17, 18, 19 і 20, блок формування константи 21, групу входів підінтегральної функції 22, групу входів $(i+1)$ -го приросту змінної інтегрування 23, групу входів 24, яка складається з першого та другого входів керування точністю, блок керування 25, групу входів $(i+1)$ -го приросту підінтегральної функції 26, групу входів i -го приросту підінтегральної функції 27, групу входів $(i-1)$ -го приросту змінної інтегрування 28, групу входів $(i-1)$ -го приросту підінтегральної функції 29, групу входів $(i-1)$ -го приросту змінної інтегрування 30, регістр здвику 31, перший вхід синхронізації 32, другий вхід синхронізації 33, третій вхід синхронізації 34. Перша група виходів блока множення 1 зв'язана з першою групою входів блока суми добутоків на константи 2, перший вихід якого зв'язаний з першими входами регістра результату 3 та блока додавання 4 відповідно. Група виходів блока додавання 4 зв'язана з групою виходів значення інтегралу цифрового інтегратора 5 та другою групою входів регістра результату 3 відповідно. Група виходів регістра результату 3 зв'язана з другою групою входів блока додавання 4. Група входів 6 регістра результату 3 складається з першого та другого входів початкових умов цифрового інтегратора. Другий вихід блока множення 1 зв'язаний з другим входом блока суми добутоків на константи 2, друга група виходів якого зв'язана з третьою групою входів блока додавання 4 та групою виходів пристрою 7 відповідно. Групи виходів блока множення 8 та блоків різниці добутоків 9 і 10 зв'язані з першими групами входів блоків видачі операндів 11, 12, 13 відповідно. Групи виходів блоків видачі операндів 11, 12, 13 зв'язані з третьою, четвертою та п'ятою групами входів блока суми добутоків на константи 2 відповідно. Група виходів блока формування паралельних кодів 14 зв'язана з першою групою входів блока множення 1. Група виходів блока формування паралельних кодів 15 зв'язана з другою групою входів блока множення 1, першою групою входів блока множення 8 та першими групами входів блоків різниці добутоків 9 і 10 відповідно. Група виходів блока формування паралельних кодів 16 зв'язана з другою групою входів блока множення 8 та другими групами входів блоків різниці добутоків 9 і 10 відповідно. Група виходів блока формування паралельних кодів 17 зв'язана з третьою групою входів блока різниці добутоків 9. Група виходів блока формування паралельних кодів 18 зв'язана з четвертою групою входів блока різниці добутоків 9. Групи виходів блоків формування паралельних кодів 19 і 20 зв'язані з третьою та четвертою групами входів блока різни-

ці добутоків 10 відповідно. Група виходів блока формування константи 21 зв'язана з шостою групою входів блока суми добутоків на константи 2. Група входів підінтегральної функції цифрового інтегратора 22 зв'язана з першою групою входів блока формування паралельних кодів 14 і третьою групою входів блока множення 1 відповідно. Група входів $(i+1)$ -го приросту змінної інтегрування цифрового інтегратора 23 зв'язана з першою групою входів блока формування паралельних кодів 15, четвертою групою входів блока множення 1, третьою групою входів блока множення 8 та п'ятьми групами входів всіх блоків різниці добутоків відповідно. Перший і другий входи керування точністю цифрового інтегратора складають першу групу входів 24 блока керування 25. Перший вхід керування точністю цифрового інтегратора зв'язаний з входом блока формування константи 21. Група входів $(i+1)$ -го приросту підінтегральної функції цифрового інтегратора 26 зв'язана з першою групою входів блока формування паралельних кодів 16, четвертою групою входів блока множення 8 та шестими групами входів всіх блоків різниці добутоків відповідно. Група входів i -го приросту підінтегральної функції цифрового інтегратора 27 складають першу групу входів блока формування паралельних кодів 17 і сьому групу входів блока різниці добутоків 9 відповідно. Група входів i -го приросту змінної інтегрування цифрового інтегратора 28 зв'язана з першою групою входів блока формування паралельних кодів 18 і восьмою групою входів блока різниці добутоків 9 відповідно. Група входів $(i-1)$ -го приросту підінтегральної функції цифрового інтегратора 29 зв'язана з першою групою входів блока формування паралельних кодів 19 і сьомою групою входів блока різниці добутоків 10 відповідно. Група входів $(i-1)$ -го приросту змінної інтегрування цифрового інтегратора 30 зв'язана з першою групою входів блока формування паралельних кодів 20 і восьмою групою входів блока різниці добутоків 10 відповідно. Група виходів регістру здвику 31 зв'язана з другими групами входів всіх блоків формування паралельних кодів відповідно. Перший вхід синхронізації цифрового інтегратора 32 зв'язаний з першим входом регістру здвику 31, з третіми входами блоків формування паралельних кодів 14 і 15, з п'ятим входом блока множення 1, з сьомим входом блока суми добутоків на константи 2, з четвертим входом регістру результату 3 та другим входом блока керування 25 відповідно. Перший вихід блока керування 25 зв'язаний з третім входом блока формування паралельних кодів 16 і п'ятим входом блока множення 8 відповідно. Другий вихід блока керування 25 зв'язаний з третіми входами блоків формування паралельних кодів 17 і 18 і дев'ятим входом блока різниці добутоків 9 відповідно. Третій вихід блока керування 25 зв'язаний з третіми входами блоків формування паралельних кодів 19 і 20 і дев'ятим входом блока різниці добутоків 10 відповідно. Четвертий, п'ятий та шостий виходи блока керування 25 зв'язані з другими входами всіх блоків видачі операндів відповідно. Другий вхід синхронізації цифрового інтегратора 33 зв'язаний з другим входом регістру здвику 31, з четвертими

входами всіх блоків формування паралельних кодів, з шостими входами всіх блоків множення та десятими входами всіх блоків різниці добутків відповідно. Третій вхід синхронізації 34 зв'язаний з п'ятим входом регістру результату 3.

Блок керування 25 містить регістр 35, елементи 1 36, 37 і 38, шостий 39, п'ятий 40, четвертий 41, третій 42, другий 43 і перший 44 виходи, першу групу входів керування точностю 45, елементи 1 46 і 47, елемент АБО 48, другий вхід синхронізації 49. Причому виходи другого, першого і нульового розрядів регістра 35 зв'язані з першими входами елементів 1 36, 37 і 38 та шостим 39, п'ятим 40 і четвертим 41 виходами блока відповідно. Виходи елементів 1 36, 37 і 38 складають третій 42, другий 43 і перший 44 виходи блока відповідно. Перша група входів керування точностю 45 складається з двох сигналів 45_2 і 45_1 відповідно. Сигнал 45_2 зв'язаний з першим входом елементу 1 46, через інвертор з першим входом елементу 1 47, з першим входом елементу АБО 48 та входом першого розряду регістра 35 відповідно. Сигнал 45_1 зв'язаний з другими входами елементів 1 46 і 47 відповідно. Вихід елементу 1 46 зв'язаний з входом другого розряду регістра 35. Вихід елементу 1 47 зв'язаний з другим входом елементу АБО 48, вихід якого зв'язаний з входом нульового розряду регістра 35. Другий вхід синхронізації 49 блока керування 25 зв'язаний з інверсним входом тактування регістра 35 та другими входами елементів 1 36, 37 і 38 відповідно.

Кожен з блоків видачі операндів 11, 12 і 13 містить два елементи 1 50 і 51, виходи яких складають групу виходів блока 52. Перші входи елементів 1 50 і 51 зв'язані з першою групою входів блока 53. Другий вхід блока 54 зв'язаний з другими входами елементів 1 50 і 51.

Блок формування константи 21 містить мультиплексор 55 з двома n -розрядними входами даних, n -розрядний вихід якого складає групу виходів блока 56. Вхід блока 57 зв'язаний з адресним входом мультиплексора 55. На перший вхід даних мультиплексора 55 подається n -розрядне значення певної константи, яка із здвигом на один розряд вправо подається на його нульовий вхід даних.

Групи виходів всіх блоків формування паралельних кодів і регістра здвику 31 є $(n/2+3)$ -розрядними, група виходів блока формування константи 21 є n -розрядною, всі інші групи сигналів є двохрановими.

Пристрій може бути побудований наступним чином. Основу пристрою складають блоки 1, 2, 4, 8, 9 і 10. Ці блоки називають квазіпаралельними, а режим їх роботи - неавтономним. Всередині блоків інформація між вузлами передається паралельним кодом, між самими блоками - послідовно. Способи побудови таких блоків є відомими (див., наприклад [4, 5]). Дані для обчислень представляють в n -розрядній формі з фіксованою точкою в двійковому надлишковому коді з цифрами $\{-1, 0, 1\}$. Кодування цифр розрядів наступне: $-1 \equiv "01"$, $0 \equiv "00"$, $1 \equiv "10"$.

В кожному з блоків множення 1 і 8 виконують арифметичну операцію виду:

$$Z = 2^{-2}XY,$$

причому забезпечується суміщення процесів порозрядного вводу операндів X і Y зі старших розрядів і порозрядного формування результату Z , старший розряд якого формують із запізненням на два такти.

В кожному з блоків різниці добутків 9 і 10 виконують арифметичну операцію виду:

$$Z = 2^{-2}(X_1X_2 - X_3X_4),$$

причому забезпечується суміщення процесів порозрядного вводу операндів X_1, X_2, X_3 і X_4 зі старших розрядів і порозрядного формування результату Z , старший розряд якого формують із запізненням на два такти.

В блоці суми добутків на константи 2 виконують арифметичну операцію виду:

$$Z = 2^{-1} \sum_{s=1}^m C_s X_s,$$

де C_s - константи ($s = 1 \dots m$), причому забезпечується суміщення процесів порозрядного вводу операндів X_s зі старших розрядів і порозрядного формування результату Z . Старший розряд $F_5(6)$ формують із запізненням на такт незалежно від порядку точності формули чисельного інтегрування, що впливає з деяких властивостей (1).

В блоці додавання 4 виконують арифметичну операцію виду:

$$Z = 2^{-2}(X + 2^{-k}Y),$$

де 2^{-k} - масштабний коефіцієнт, причому забезпечується суміщення процесів порозрядного вводу операндів X і Y зі старших розрядів і порозрядного формування результату Z , старший розряд якого формують із запізненням на два такти. На третю групу входів блока додавання 4 поступає черговий розряд результату F_5 , а на другу групу входів - черговий розряд i -го значення інтегралу Z_i .

В пристрої виконують чисельне інтегрування за Стілт'есом. В штатному режимі пристрій обчислює приріст інтегралу Стілт'еса за формулою кубічних парабол:

$$\begin{aligned} \Delta Z_{(i+1)} &= Y_{pi} \Delta Y_{qi(i+1)} + \frac{1}{2} C_1 \Delta Y_{p(i+1)} \Delta Y_{qi(i+1)} = \\ &+ \frac{1}{6} C_2 [\Delta Y_{pi} \Delta Y_{qi(i+1)} - \Delta Y_{p(i+1)} \Delta Y_{qi}] + \\ &+ \frac{1}{24} C_3 [\Delta Y_{p(i+1)} \Delta Y_{qi(i-1)} - \Delta Y_{p(i-1)} \Delta Y_{qi(i+1)}] \end{aligned} \quad (1)$$

де $\Delta Z_{(i+1)}$ - приріст інтегралу Стілт'еса на $(i+1)$ -му кроці; $\Delta Y_{p(i+1)}, \Delta Y_{pi}, \Delta Y_{p(i-1)}$ - прирости підінтегральної функції на $(i+1)$ -му, i -му та $(i-1)$ -му кроках відповідно; $\Delta Y_{qi(i+1)}, \Delta Y_{qi}, \Delta Y_{qi(i-1)}$ - прирости змінної інтегрування на $(i+1)$ -му, i -му та $(i-1)$ -му кроках відповідно; Y_{pi} - значення підінтегральної функції на i -му шагові; C_1, C_2, C_3 - масштабні константи.

На Фіг.5 представлена відповідна ярусно-паралельна форма (ЯПФ) графу обчислень значення приросту інтегралу Стілт'еса, на основі якої будують цифровий інтегратор, де:

$$F_1 = Y_{pi} \Delta Y_{qi(i+1)} \quad (2)$$

$$F_2 = \Delta Y_{p(i+1)} \Delta Y_{qi(i+1)} \quad (3)$$

$$F_3 = \Delta Y_{pi} \Delta Y_{qi(i+1)} - \Delta Y_{p(i+1)} \Delta Y_{qi} \quad (4)$$

$$F_4 = \Delta Y_{p(i+1)} \Delta Y_{qi(i-1)} - \Delta Y_{p(i-1)} \Delta Y_{qi(i+1)} \quad (5)$$

$$F_5 = \Delta z_{(i+1)} = F_1 + \frac{1}{2} C_1 F_2 + \frac{1}{6} C_2 F_3 + \frac{1}{24} C_3 F_4 \quad (6)$$

Пристрій працює наступним чином.

Робота пристрою тактується по першому входу синхронізації 32. Перед початком роботи інтегратора початкове значення інтегралу послідовно завантажується за n тактів в регістр результату 3 через групу входів 6 за сигналом по третьому входу синхронізації 34 пристрою. Потім за сигналом на другому вході синхронізації 33 інтегратора впродовж одного такту відбувається початкова установка регістрів у всіх блоках формування паралельних кодів, блоках множення, блоках різниці добутоків, а також регістра здвику 31 (одиниця в молодшому розряді).

В кожному наступному 7-му такті виконують такі дії. Регістр здвику 31 здвигають на один розряд вліво. На перші групи входів блоків формування паралельних кодів 14, 15, 16, 17, 18, 19 і 20 поступають чергові j -і розряди значень $U_{pi}, \Delta U_{q(i+1)}, \Delta U_{p(i+1)}, \Delta U_{pi}, \Delta U_{qi}, \Delta U_{p(i-1)}$ і $\Delta U_{q(i-1)}$ з груп входів пристрою 22, 23, 26, 27, 28, 29 і 30 відповідно. На другі групи входів блоків формування паралельних кодів 14, 15, 16, 17, 18, 19 і 20 поступає нове значення регістра здвику 31. На групах виходів блоків формування паралельних кодів 15, 18 і 20 отримують паралельні значення $\Delta U_{q(i+1),j}, \Delta U_{qi,j}$ та $\Delta U_{q(i-1),j}$, сформованими до j -их розрядів включно. На групах виходів блоків формування паралельних кодів 14, 16, 17 і 19 отримують паралельні значення $U_{pi,j-1}, \Delta U_{p(i+1),j-1}, \Delta U_{pi,j-1}$ та $\Delta U_{p(i-1),j-1}$, сформованими до $(j-1)$ -их розрядів включно. Отримане паралельне значення $U_{pi,j-1}$ з групи виходів блока формування паралельних кодів 14 та j -ий розряд значення U_{pi} з групи входів пристрою 22 поступають на першу і третю групи входів блока множення 1 відповідно. Отримане паралельне значення $\Delta U_{q(i+1),j}$ з групи виходів блока формування паралельних кодів 15 поступає на другу групу входів блока множення 1, першу групу входів блока множення 8, перші групи входів блоків різниці добутоків 9 і 10 відповідно, j -ий розряд значення $\Delta U_{q(i+1)}$ з групи входів пристрою 23 поступає на четверту групу входів блока множення 1, третю групу входів блока множення 8, п'яті групи входів блоків різниці добутоків 9 і 10 відповідно.

Отримане паралельне значення $\Delta U_{p(i+1),j-1}$ з групи виходів блока формування паралельних кодів 16 поступає на другу групу входів блока множення 8 і другі групи входів блоків різниці добутоків 9 і 10 відповідно. j -ий розряд значення $\Delta U_{p(i+1)}$ з групи входів пристрою 26 поступає на четверту групу входів блока множення 8 і шості групи входів блоків різниці добутоків 9 і 10 відповідно. Отримане паралельне значення $\Delta U_{pi,j-1}$ з групи виходів блока формування паралельних кодів 17 поступає на третю групу входів блока різниці добутоків 9 j -ий розряд значення ΔU_{pi} з групи входів пристрою 27 поступає на сьому групу входів блока різниці добутоків 9. Отримане паралельне значення

$\Delta U_{qi,j}$ з групи виходів блока формування паралельних кодів 18 поступає на четверту групу входів блока різниці добутоків 9. j -ий розряд значення ΔU_{qi} з групи входів пристрою 28 поступає на восьму групу входів блока різниці добутоків 9. Отримане паралельне значення $\Delta U_{p(i-1),j-1}$ з групи виходів блока формування паралельних кодів 19 поступає на третю групу входів блока різниці добутоків 10. j -ий розряд значення $\Delta U_{p(i-1)}$ з групи входів пристрою 29 поступає на сьому групу входів блока різниці добутоків 10. Отримане паралельне значення $\Delta U_{q(i-1),j}$ з групи виходів блока формування паралельних кодів 20 поступає на четверту групу входів блока різниці добутоків 10. j -ий розряд значення $\Delta U_{q(i-1)}$ з групи входів пристрою 30 поступає на восьму групу входів блока різниці добутоків 10. На основі поступаючих даних на першій групі виходів блока множення 1 отримують черговий розряд результату F_1 (2), який поступає на першу групу входів блока суми добутоків на константи 2. А на групі виходів блока множення 8 отримують черговий розряд результату F_2 (3), який через блок видачі операндів 11 поступає на третій вхід блока суми добутоків на константи 2. На основі поступаючих даних на групі виходів блока різниці добутоків 9 отримують черговий розряд результату F_3 , (4), який через блок видачі операндів 12 поступає на четвертий вхід блока суми добутоків на константи 2. На групі виходів блока різниці добутоків 10 отримують черговий розряд результату F_4 (5), який через блок видачі операндів 13 поступає на п'ятий вхід блока суми добутоків на константи 2. На основі поступаючих даних в блоці суми добутоків на константи 2 отримують черговий розряд результату F_5 , тобто $(i+1)$ -ий приріст інтегралу, який поступає на третій вхід блока додавання 4 і на групу виходів 7 пристрою. З групи виходів регістра результату 3 на першу групу входів блока додавання 4 поступає черговий розряд i -то значення інтегралу Z . На основі поступаючих даних на групі виходів блока додавання 4 отримують черговий розряд $(i+1)$ -го значення інтегралу Z_{i+1} , який поступає на групу виходів пристрою 5 та на другу групу входів регістра результату 3.

Після подачі стартового сигналу на другому вході синхронізації 33 інтегратора блоки множення 1 і 8 забезпечують отримання старших розрядів результатів F_1 і F_2 через два такти, блоки різниці добутоків 9 і 10 забезпечують отримання старших розрядів результатів F_3 і F_4 теж через два такти. Перед формуванням старшого розряду результату F_1 блок множення 1 по другому виходу видає стартовий на сигнал на другий вхід блока суми добутоків на константи 2. Після чого блок суми добутоків на константи 2 забезпечує отримання старшого розряду результату F_5 через такт. За такт до цього блок суми добутоків на константи 2 по першому виходу видає стартовий сигнал на перший вхід блока додавання 4. Після чого блок додавання 4 забезпечує отримання старшого розряду $(i+1)$ -го значення інтегралу Z_{i+1} через два такти. Для отримання всіх n розрядів $(i+1)$ -го приросту інтег-

ралу ΔZ_{i+1} на виході пристрою 7 після подачі стартового сигналу по другому входу синхронізації пристрою 33 необхідно $(n+3)$ такти. А для отримання всіх n розрядів $(i+1)$ -го значення інтегралу Z_{i+1} на виході пристрою 5 після подачі стартового сигналу по другому входу синхронізації пристрою 33 необхідно $(n+5)$ тактів.

Перебудовування пристрою на обчислення за формулою чисельного інтегрування за Стілт'есом іншого порядку точності базується на певній редукції або розширенні початкової ЯПФ графу обчислень (Фіг.5) без зміни зв'язків між операціями, що складають початкову ЯПФ. Так формулі прямокутників відповідає ЯПФ графу обчислень, в якій присутні тільки операції F_1 і F_5 , формулі трапецій – F_1 , F_2 і F_5 , формулі квадратичних парабол – F_1 , F_2 , F_3 , і F_5 , формулі кубічних парабол – всі операції. При переході на формулу меншого порядку точності передбачають відповідне занулення результатів обчислень, а для зменшення параметрів енергоспоживання – відключення сигналів тактування відповідних блоків пристрою. При переході на формулу більшого порядку точності виконують протилежні дії.

Блок керування 25 (Фіг.2) виконує вимикання або вмикання сигналів тактування та формування сигналів керування блоками видачі операндів 11, 12 і 13 в залежності від значення двох-розрядного коду, який подають з групи входів пристрою 24 на першу групу входів блока:

- "00": значення на четвертому, п'ятому та шостому виходах блока керування 25 становлять "0", "0", "0" відповідно. Припиняється тактування блока множення 8, блоків різниці добутків 9 і 10, блоків формування паралельних кодів 16, 17, 18, 19 і 20. Блоки видачі операндів 11, 12 і 13 (Фіг.3) подають нульові значення на третю, четверту та п'яту групи входів блока суми добутків на константи 2. Причому інтегратор обчислює за формулою прямокутників;

- "01": значення на четвертому, п'ятому та шостому виходах блока керування 25 становлять "1", "0", "0" відповідно. Припиняється тактування блоків різниці добутків 9 і 10, блоків формування паралельних кодів 17, 18, 19 і 20. Блоки видачі операндів 12 і 13 подають нульові значення на четверту та п'яту групи входів блока суми добутків на константи 2. В цьому випадку інтегратор обчислює за формулою трапецій;

- "10": значення на четвертому, п'ятому та шостому виходах блока керування 25 становлять "1", "1", "0" відповідно. Припиняється тактування блока різниці добутків 10, блоків формування паралельних кодів 19 і 20. Блок видачі операндів 13 подає нульове значення на п'яту групу входів блока суми добутків на константи 2. В цьому випадку інтегратор обчислює за формулою квадратичних парабол;

- "11": штатний режим пристрою. Інтегратор обчислює за формулою кубічних парабол.

Блоки видачі операндів 11, 12 і 13 (Фіг.3) пропускаять або зануляють значення F_2 , F_3 , F_4 , які подаються на відповідні групи входів блока суми добутків на константи 2.

Також при переходах між обчисленнями за формулами квадратичних і кубічних парабол необхідно змінювати значення константи при третьому члені в (1) з $\frac{1}{6}C_2$ на $\frac{1}{12}C_2$ і навпаки. Це і

виконує блок формування константи 21 (Фіг.4), в якому аналізується значення першого входу з групи входів керування точністю пристрою 24.

Зміну значення двохрозрядного коду керування точністю, який подають на групу входів пристрою 24, проводять одночасно з подачею стартового сигналу на другому вході синхронізації 33 пристрою. Причому всі необхідні дії для перебудови роботи інтегратора (припинення тактування, занулення проміжних результатів, формування нового значення константи) виконуються за один такт. Причому можливі будь-які переходи на обчислення за формулами чисельного інтегрування того чи іншого порядку точності (від формули прямокутників до формули кубічних парабол і навпаки). При поліпшенні умов функціонування передбачається перебудовування пристрою на чисельне інтегрування більш високого порядку точності.

Виконаємо порівняння функціональних можливостей прототипа та запропонованого пристрою. Прототип [3] реалізує обчислення тільки за однією формулою чисельного інтегрування. Тому його функціональні можливості низькі. Запропонований цифровий інтегратор забезпечує перебудовування в процесі своєї роботи за один такт на обчислення за формулами чисельного інтегрування за Стілт'есом різних порядків точності: при мінімальній точності – за формулою прямокутників, при максимальній точності – за формулою кубічних парабол. Причому не має значення, між формулами яких порядків точності відбувається перехід. Така динамічна реконфігурація може проводитись, наприклад, для зменшення параметрів енергоспоживання побудованих на основі запропонованого цифрового інтегратора цифрових інтегруючих машин в умовах критично високих температур експлуатації, недостатнього охолодження або обмеженого енергопостачання.

Перебудовування запропонованого цифрового інтегратора не є комбінацією відомих структур або пристроїв. Розширення функціональних можливостей стало можливим завдяки введенню нових блоків і конструктивних зв'язків.

Таким чином, запропонований цифровий інтегратор завдяки спроможності перебудовування в процесі своєї роботи за один такт на обчислення за формулами чисельного інтегрування за Стілт'есом різних порядків точності має значно розширені функціональні можливості в порівнянні з прототипом.

Джерела інформації:

1. Авторське свідоцтво СРСР №453711, кл. G06J1/02, 1973.
2. Авторське свідоцтво СРСР №879586, кл. G06F7/64, 1980.
3. Авторське свідоцтво СРСР №1330629, кл. G06F7/64, 1985 (прототип).
4. Жабин В.И., Корнейчук В.И., Тарасенко В.П. Некоторые машинные методы вычисления рациональных функций.

нальных функций многих переменных // Автоматика и телемеханика. - 1976. - №12. - С.145-154.

5. Жабин В.И., Корнейчук В.И., Макаров В.В., Тарасенко В.П. Влияние точности вычисления на

сложность квазипараллельных операционных устройств в мультипроцессорных системах // Автоматика и вычислительная техника. - 1982. - №3. - С.29-32.

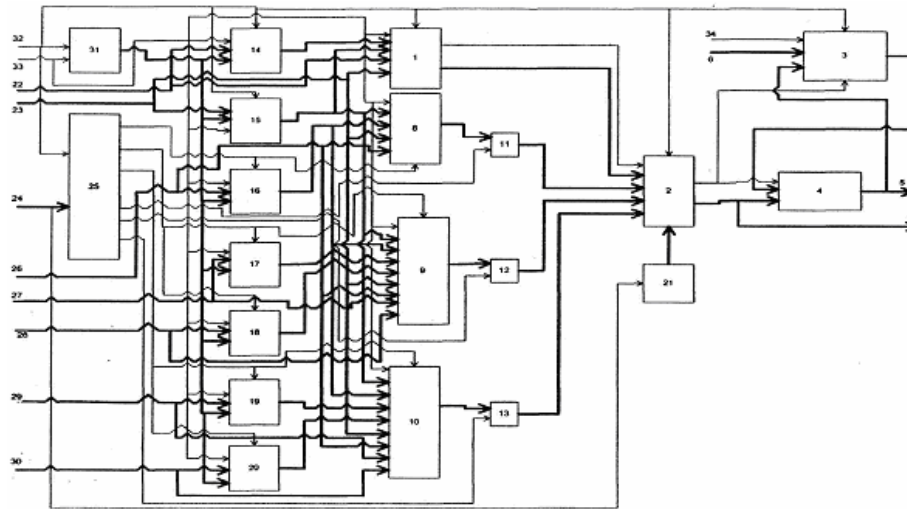


Fig. 1

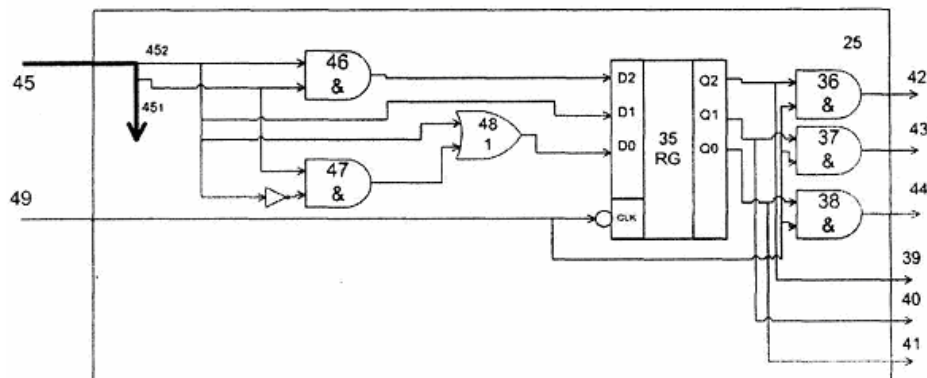


Fig. 2

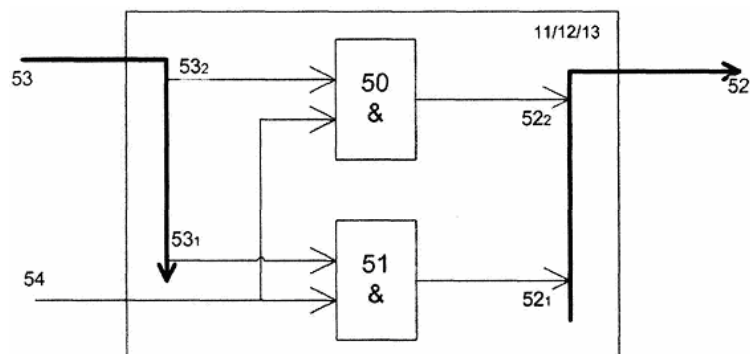
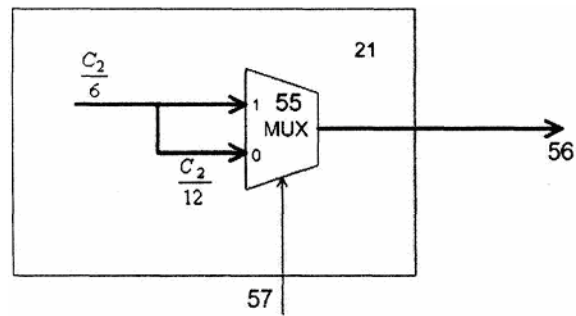
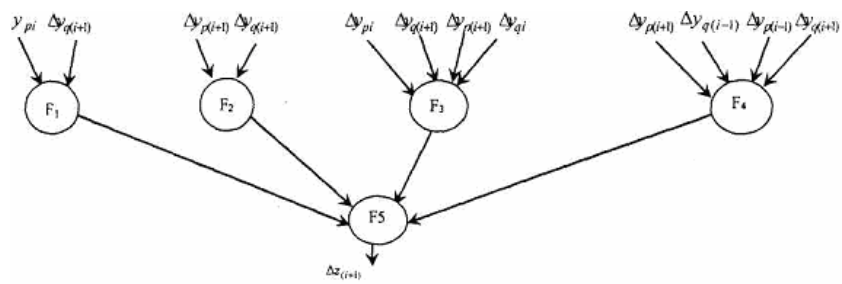


Fig. 3



Фиг. 4



Фиг. 5