

Изобретение относится к области вычислительной техники, системам технического зрения, тренажерам различного назначения, а также может быть использовано в телевизионной технике.

Известно устройство преобразования координат для геометрической коррекции изображений, содержащее четыре управляемых делителя, два элемента ИЛИ, два реверсивных счетчика и блок синхронизации [1].

Недостатком устройства является крайне ограниченный набор геометрических преобразований: поворот и смещение точки в декартовой системе координат в плоскости изображения, а также невозможность выполнять преобразования в реальном масштабе времени.

Наиболее близким по технической реализации к предлагаемому изобретению является устройство для формирования динамических изображений, содержащее блок задания входных параметров и синхронизации, два блока преобразования координат (ВПК), формирователь управляющих импульсов, шины управляющего и выходного сигналов. Недостатком устройства является также минимальный набор геометрических преобразований (аффинные) [2].

Целью изобретения является устройство вычислений с расширенными возможностями геометрических преобразований (аффинных и центропроективных) плоского изображения в реальном масштабе времени, обеспечивающее высокое качество изображения с большой глубиной масштабирования и высоким угловым разрешением.

Указанная цель достигается тем, что в устройство, содержащее блок задания входных параметров, два блока преобразования координат, блок памяти и блок управления, причем выход блока памяти является информационным входом устройства, введены третий блок преобразования координат, три логарифмических преобразователя, два функциональных преобразователя, два адресных формирователя, блок формирования линии бесконечно удаленных точек, выход которого является выходом формирования линий горизонта устройства, с первого по третий управляющие выходы блока задания входных параметров соединены с входами сигналов сопровождения соответственно с первого по третий кодов параметров направляющих косинуса первого, второго и третьего блоков преобразования координат, входы разрешения записи которых соединены с входами разрешения записи первого и второго адресных преобразователей и четвертым управляющим выходом блока задания входных параметров, первый информационный выход которого соединен с входами кода параметра направляющей косинуса первого, второго и третьего блоков преобразования координат, информационные входы которых соединены с информационными входами первого, второго и третьего логарифмических преобразователей соответственно, синхровходы которых соединены с первыми синхровходами первого, второго и третьего блоков преобразования координат, синхровходами первого и второго функциональных преобразователей, первого и второго адресных преобразователей, блока

формирования линии бесконечно удаленных точек и первым входом блока управления, второй выход которого соединен со вторыми синхровходами первого, второго и третьего блоков преобразования координат, первые входы сброса которых соединены с третьим входом блока управления, со входами сброса первого, второго и третьего логарифмических преобразователей, первого и второго функциональных преобразователей, блока формирования линии бесконечно удаленных точек, первыми входами сброса первого и второго адресных преобразователей, вторые входы сброса которых соединены со вторыми входами сброса трех блоков преобразования координат и с четвертым входом блока управления, пятый выход которого соединен с входом блока задания входных параметров, вторые информационные входы которого соединены с входами кодов порядка и мантийсы первого и второго адресных формирователей, входы которых соединены с первым и вторым адресными входами блока памяти, пятый и шестой управляющие входы блока задания входных параметров соединены с входами сигналов сопровождения кода порядка и кода мантийсы соответственно первого и второго адресных формирователей, первый и второй выходы первого и третьего логарифмических преобразователей соединены с входами целой и дробной части первого операнда соответственно первого и второго функциональных преобразователей, входы целой и дробной части второго операнда первого и второго функциональных преобразователей соединены с первым и вторым выходами второго логарифмического преобразователя, первый и второй выходы первого и второго функциональных преобразователей соединены с входами первого и второго операндов соответственно первого и второго адресных формирователей, выход знакового разряда первого и третьего блоков преобразования координат соединены с входами знака первого операнда первого и второго адресных формирователей соответственно, выход знакового разряда второго блока преобразования координат соединен с входами знака второго операнда первого и второго адресных формирователей, информационный вход блока формирования линии бесконечно удаленных точек соединен с информационным выходом второго блока преобразования координат.

В предлагаемом устройстве блок преобразования координат содержит комбинационный сумматор, первую, и вторую схему ИЛИ, элемент НЕ, комбинационный узел, элемент задержки, а также первый, второй, третий и четвертый регистры, причем первый синхровход блока соединен с первым входом первого элемента ИЛИ, выход которого соединен с входом разрешения записи первого регистра, информационный вход которого соединен с информационным входом второго регистра и выходом комбинационного сумматора, первый информационный вход которого через монтажное ИЛИ соединен с выходами первого и второго регистров и информационным выходом блока, выходы третьего и четвертого регистров через монтажное ИЛИ соединены со вторым информационным входом комбинационного сумматора, вход кода параметра направляющей косинуса блока соединен с информационными

входами третьего и четвертого регистров, входы разрешения записи которых соединены с одноименным входом блока и с первым входом комбинационного узла, первый вход сброса блока соединен с входом установки в ноль первого регистра, вход запрещения выходов которого соединен с одноименным входом третьего регистра и выходом элемента НЕ, вход которого соединен с входами запрещения выходов второго и четвертого регистров, вторым входом комбинационного узла и вторым синхровходом блока, вход сигнала сопровождения первого параметра направляющей косинуса которого соединен с третьим входом комбинационного узла и первым входом второго элемента ИЛИ, второй вход которого соединен с входом сигнала сопровождения третьего параметра направляющей косинуса блока, вход сигнала сопровождения второго параметра направляющей косинуса соединен с четвертым входом комбинационного узла и входом разрешения приема четвертого регистра, вход установки в ноль которого соединен с одноименными входами второго и третьего регистров и вторым входом сброса блока, выход комбинационного узла соединен с входом элемента задержки, выход которого соединен со вторым входом первого элемента ИЛИ и входом разрешения записи второго регистра, выход второго элемента ИЛИ соединен с входом разрешения приема третьего регистра, выход знакового разряда блока соединен через монтажное ИЛИ с выходами старших разрядов первого и второго регистров.

Преобразователь логарифмический содержит входной регистр, два промежуточных регистра, блок управления сдвигом, блок сдвига аргумента, блок задержки, блок памяти, блок элементов НЕ и комбинационный сумматор, причем информационный вход преобразователя соединен с информационным входом входного регистра, выход которого соединен с информационным входом блока сдвига аргумента и входа блока управления сдвигом, выход которого соединен с информационным входом блока задержки и с входом блока управления сдвигом аргумента, выход которого соединен с информационным входом первого промежуточного регистра, выход которого соединен с адресным входом блока памяти, выход которого соединен с информационным входом второго промежуточного регистра, выходы опорного значения функции логарифма и поправки которого соединены соответственно с первым и вторым информационными входами комбинационного сумматора, выход которого является первым выходом преобразователя, вторым выходом которого является выход блока элементов НЕ, вход которого соединен с выходом блока задержки, вход установки в ноль которого соединен с одноименными входами первого и второго промежуточных регистров, входного регистра и входом сброса преобразователя, синхровход которого соединен с синхровходами входного регистра и первого и второго промежуточных регистров.

Функциональный преобразователь содержит четыре регистра, блок памяти, два комбинационных сумматора, причем входы целой части первого и второго операндов преобразователя соединены с первым и третьим

информационными входами первого комбинационного сумматора, второй и четвертый информационные входы которого соединены с выходами первого и второго регистров, информационные входы которых соединены с входами дробной части первого и второго операндов преобразователя, синхровход которого соединен с входами разрешения записи первого, второго, третьего и четвертого регистров, входы установки в ноль которых соединены с входом сброса преобразователя, выход дробной части первого комбинационного сумматора соединен с информационным входом третьего регистра, выход которого соединен с адресным входом блока памяти, выход которого соединен с информационным входом четвертого регистра, выходы функции и поправки которого соединены с первым и вторым информационными входами второго комбинационного сумматора, выход которого соединен с первым выходом преобразователя, второй выход которого соединен с выходом целой части первого комбинационного сумматора.

Адресный формирователь содержит семь регистров, блок сдвига, узел формирования знака, узел задержки, два комбинационных сумматора, причем вход первого, операнда формирователя соединен с информационным входом первого регистра, выход которого соединен с информационным входом блока сдвига, а вход управления сдвигом которого соединен с выходом второго регистра, выходы третьего и четвертого регистров соединены с первым и вторым информационными входами первого комбинационного сумматора, выход которого соединен с информационным входом пятого регистра, выход которого соединен с информационным входом второго регистра, вход разрешения записи которого соединен с одноименными входами узла задержки первого, второго, пятого и третьего регистров и входом синхронизации формирователя, первый вход сброса которого соединен с входами установки в ноль первого, второго, третьего, пятого и шестого регистров и узла задержки, информационный вход которого соединен с выходом узла формирования знаков, первый и второй входы которого соединены с входами знаков первого и второго операндов формирователя, вход второго операнда которого соединен с информационным входом третьего регистра, вход кода параметра и мантиссы формирователя соединен с информационными входами четвертого и седьмого регистров, входы разрешения записи которых соединены с входом разрешения записи формирователя, второй вход сброса которого соединен с входами установки в ноль четвертого и седьмого регистров, входы сигналов сопровождения кода порядка и кода мантиссы преобразователя соединены с входами разрешения приема четвертого и седьмого регистров соответственно, выход блока сдвига соединен с информационным входом шестого регистра, выходы шестого и седьмого регистров соединены с первым и вторым информационными входами второго комбинационного сумматора, третий информационный вход которого соединен с выходом узла задержки, выход второго комбинационного сумматора является выходом формирователя.

Блок формирования линии бесконечно

удаленных точек содержит входной регистр, дешифратор нуля и узел задержки, выход которого является выходом блока, информационный вход которого соединен с информационным входом входного регистра, выход которого соединен с входом дешифратора нуля, выход которого соединен с информационным входом узла задержки, вход разрешения записи которого соединен с одноименным входом входного регистра и входом синхронизации блока, вход сброса которого соединен с входом установки в ноль входного регистра и узла задержки.

Блок управления содержит узел синхронизации, триггер, два элемента задержки, три узла формирования импульсов и элемент И, причем первый вход узла синхронизации соединен с тактовым входом триггера, выход которого является первым выходом блока, второй выход узла синхронизации соединен с входом установки в ноль триггера, с входами первых элементов задержки, и узла формирования импульсов, третий выход узла синхронизации соединен с входами вторых узла формирования импульсов и элемента задержки, выход первого элемента задержки соединен с входом третьего узла формирования импульсов; выход которого является вторым выходом блока, третьим выходом которого является выход первого узла формирования импульсов, первый выход второго узла формирования импульсов соединен с четвертым выходом блока, пятый выход которого соединен с выходом элемента И, первый и второй входы которого соединены со вторым входом второго узла формирования импульсов и второго элемента задержки соответственно.

Анализ известных технических решений в исследуемой области позволяет сделать вывод об отсутствии в них признаков, сходных с существенными отличительными признаками в заявляемом изобретении, что позволяет сделать вывод о соответствии критерию "существенные отличия".

Для построения изображения в реальном масштабе времени требуется обеспечить проведение центропроективного преобразования, сводящегося к вычислению координат проекции элемента экрана на предметную плоскость. Анализ известных соотношений центропроективных преобразований (Четверухин Н.Ф. Проективная геометрия. Министерство просвещения РСФСР. - М., 1961. - 360с.) показал, что для проведения вычислений в реальном масштабе времени с заданной глубиной масштабирования и требуемым угловым разрешением необходимо преобразовать эти соотношения к виду:

$$X = X_0 - Y_0 \frac{S_{11} X_3 + S_{12} Z_3 + S_{13}}{S_{31} X_3 + S_{32} Z_3 + S_{33}}, \quad (1)$$

$$Z = Z_0 - Y_0 \frac{S_{21} X_3 + S_{22} Z_3 + S_{23}}{S_{31} X_3 + S_{32} Z_3 + S_{33}}, \quad (2)$$

где X_0, Z_0, Y_0 - координаты центра проекции в декартовой "земной" системе координат; S_{ij} - направляющие косинусы для связанной с летательным аппаратом системы координат (Доброленский Ю.П. и др. Автоматика управляемых снарядов. - М.: Оборониз, 1963. - 548с.); X_3, Z_3 - текущие координаты экрана,

формируемые в процессе развертки телевизионного раstra.

Структура соотношений (1, 2) обеспечивает достижение поставленной цели, т.к. известные формулы центропроективных преобразований представлены таким образом, что, во-первых, из общего набора параметров выделены "медленные"

параметры: X_0, Z_0, Y_0, S_{ij} , постоянные в пределах одного кадра изображения, вычисление которых осуществляется минимальными средствами универсальной вычислительной техники (микро-ЭВМ), а, следовательно, и стоимости: а также "быстрые" параметры: дроби в формулах (1, 2), которые вычисляются в темпе прорисовки отдельных пикселей с помощью спецпроцессора согласно предлагаемому изобретению. Во-вторых, в них выделены члены, требования к точности вычисления которых, исходя из общих требований к качеству изображения, оказываются различными.

Так величины X_0, Z_0, Y_0 и S_{ij} для обеспечения большого объема пространства при маневрировании летательного аппарата с требуемой точностью следует брать с большим числом разрядов (20 - 24 разряда). В то же время вычисление наиболее трудоемкой и длинной во времени операции деления возможно вести с относительной точностью 2^{-13} , соответствующей угловому разрешению глаза.

Для решения поставленной задачи с помощью обычной ЭВМ понадобилась бы мощность ЭВМ порядка 0,5млд, операций в с., что соответствует параметрам наиболее мощных и дорогостоящих супер-ЭВМ.

Из формул (1 и 2) получим выражения для координат проекции элемента экрана на предметную плоскость, которые реализуются спецпроцессором. Для этого соотношения (1 и 2) преобразуем к виду:

$$X = X_0 - 2^{P_{Y_0}} 2^{\log_2 a - \log_2 b}, \quad (3)$$

$$Z = Z_0 - 2^{P_{Y_0}} 2^{\log_2 c - \log_2 b}, \quad (4)$$

где a, c - числители, b - знаменатель дробей выражений (1, 2), P_{Y_0} - двоичный порядок Y_0 (мантисса Y_0 введена в коэффициенты S_{ij} дробей выражений (1, 2)). Значение функции логарифма числа (e) может быть вычислено следующим образом

$$\log_2(e) = d_e + \log_2 e_m \quad (5)$$

где d_e - целая часть логарифма, e_m - дробная часть числа e .

В этом случае очевидным являются следующие преобразования:

$$2^{\log_2 a - \log_2 b} = 2^{d_k} 2^k, \quad (6)$$

где d - целая часть, k - дробная часть разности логарифмов.

Окончательно соотношения (3 и 4) представим следующим образом:

$$\begin{aligned} X &= X_0 - 2^{P_{Y_0}} + d_x 2^{K_x} \\ Z &= Z_0 - 2^{P_{Y_0}} + d_z 2^{K_z} \end{aligned} \quad (7)$$

Структура спецпроцессора фактически отражает структуру соотношений (7 и 8) центропроективных преобразований.

На фиг.1 представлена структурная схема устройства вычисления быстрых геометрических

преобразований; на фиг.2 представлен вариант схемотехнической реализации блока преобразования координат; на фиг.3 - преобразователя логарифмического; на фиг.4 - функционального преобразователя; на фиг.5 - адресного формирователя; на фиг.6 - блока формирования линии бесконечно удаленных точек; на фиг.7 - блока управления.

Устройство (фиг.1) содержит: блок 1 задания входных параметров (БЗВП); блок управления 2; первый блок 3, второй блок 4, третий блок 5 преобразования координат (ВПК); первый 6, второй 7 и третий 8 преобразователи логарифмические (ПЛ) первый 9 и второй 10 функциональные преобразователи (ФП); первый 11 и второй 12 адресные формирователи (АФ); блок 13 формирования линии бесконечно удаленных точек (БФЛТ); блок 14 памяти (БП).

В блоке управления 2 синхрогенератор вырабатывает стандартные телевизионные сигналы и формирует: импульсы с частотой, задающей моменты формирования пикселей по строке (выход 1); строчные гасящие импульсы - СГИ (выход 2) и кадровые гасящие импульсы КГИ (выход 3).

Блок задания входных параметров предназначен для пересылки (по информационным выходам 1 и 2) за время гашения кадра параметров, постоянных в пределах одного кадра: S_{ij} в первый блок 3, второй блок 4 и третий блок 5 преобразования координат, а также X_0 , Z_0 и P_{y0} в первый 11 и второй 12 адресные формирователи. Синхронизация пересылки осуществляется с помощью управляющих сигналов (управляющие входы 1 - 6).

В основу организации структуры устройства положен параллельно-конвейерный принцип. Три одинаковые ветви (блоки 3, 6; 4, 7 и 5, 8) параллельно ведут вычисление эквивалентных соотношений типа:

$$S_{11}X_3 + S_{12}Z_3 + S_{13}, \log_2(S_{11}X_3 + S_{12}Z_3 + S_{13}).$$

Две одинаковые ветви (блоки 9, 11 и 10, 12) параллельно ведут вычисления адресов блока памяти соответственно по формулам (7, 8). Каждая ветвь имеет конвейерную структуру, темп которой задается синхроимпульсами блока управления.

Работу устройства рассмотрим с момента появления на втором и третьем выходах синхрогенератора соответственно строчного и кадрового гасящего импульсов. При этом блок управления формирует импульсы соответственно "Сброс СГИ" и "Сброс КГИ", которые устанавливают устройство в исходное состояние, а также "Обмен", который инициирует передачу параметров из БЗВП. Каждый параметр, выставляемый БЗВП на выходных информационных шинах 1 и 2, сопровождается парой управляющих сигналов по управляющим входам: первый устанавливает по входу соответствующий регистр в режим "Прием", второй синхросигнал "Запись" поступает на синхровходы всех регистров, предназначенных для хранения параметров, обеспечивая их запись в регистры. После окончания действия импульса КГИ блок управления начинает выдавать на одном из своих выходов серию синхроимпульсов, управляющих вычислительным конвейером в

устройстве. Частота этих синхроимпульсов соответствует темпу прорисовки пикселей на экране телевизионного приемника. На каждый синхроимпульс на выходе блока памяти появляется информация, соответствующая пикселу экрана. После отображения очередной строки синхрогенератор вырабатывает импульс СГИ, который инициирует выработку блоком управления сигнала "Сброс СГИ", который устанавливает узлы устройства в состояние, соответствующее началу строки, а затем формирование кадра заканчивается появлением на выходах 2 и 3 синхрогенератора соответственно СГИ и КГИ.

В предлагаемом устройстве блок преобразования координат содержит: комбинационный сумматор 25, первый 18 и второй 20 элементы ИЛИ, элемент НЕ 19, комбинационный узел 16, элемент задержки 17, а также первый 21, второй 22, третий 23 и четвертый 24 регистры. Входы 1, 2, 3 являются входами сигнала сопровождения первого, второго и третьего параметра направляющего косинуса; вход 4 - входом разрешения записи; вход 5 - первым синхровходом; вход 6 - вторым синхровходом; вход 7 - первым входом сброса в ноль; вход 8 - вторым входом сброса в ноль; вход 9 - входом параметра направляющего косинуса.

Первый синхровход блока соединен с первым входом первого элемента ИЛИ, вход которого соединен с входом разрешения записи первого регистра, информационный вход которого соединен с информационным входом второго регистра и выходом комбинационного сумматора, первый информационный вход которого через монтажное ИЛИ соединен с выходами первого и второго регистров и информационным выходом блока, выходы третьего и четвертого регистров через монтажное ИЛИ соединены со вторым информационным входом комбинационного сумматора, вход кода параметра направляющей косинуса блока соединен с информационными входами третьего и четвертого регистров, входы разрешения записи которых соединены с одноименными входами блока и с первым входом комбинационного узла, первый вход сброса блока соединен с входом установки в ноль первого регистра, вход запрещения выходов которого соединен с одноименным входом третьего регистра и выходом элемента НЕ, вход которого соединен с входами запрещения выходов второго и четвертого регистров, вторым входом комбинационного узла и вторым синхровходом блока, вход сигнала сопровождения первого параметра направляющей косинуса которого соединен с третьим входом комбинационного узла и первым входом второго элемента ИЛИ, второй вход которого соединен с входом сигнала сопровождения третьего параметра направляющей косинуса блока, вход сигнала сопровождения второго параметра направляющей косинуса соединен с четвертым входом комбинационного узла и входом разрешения приема четвертого регистра, вход установки в ноль которого соединен с одноименными входами второго и третьего регистров и вторым входом сброса блока, выход комбинационного узла соединен с входом элемента задержки, выход которого соединен со вторым входом первого элемента ИЛИ и входом разрешения записи второго регистра, выход второго элемента ИЛИ соединен с входом

разрешения приема третьего регистра, выход знакового разряда блока соединен через монтажное ИЛИ с выходами старших разрядов первого и второго регистров.

ВПК предназначен для вычисления выражения $S_{11}X_3 + S_{12}Z_3 + S_{13}$, содержащегося в дробях соотношений (1 и 2).

Комбинационная схема по входу реализует следующую функцию

$$f = Bx.2VBx.1(Bx.3VBx.4).$$

Схема работает следующим образом. Первый и второй регистры установлены постоянно в режим "приема". При отсутствии сигнала на шестом входе первый и третий регистры находятся в режиме "разрешение выходов", а второй и четвертый - "запрещение выходов" (в третьем или Z состоянии). Работу ВПК рассмотрим с момента поступления на седьмой и восьмой входы импульсов соответственно "Сброс СГИ" и "Сброс КГИ", вырабатываемых блоком управления. Эти импульсы устанавливают все регистры ВПК в нулевое состояние и подготавливают ВПК к приему параметров из БЭВП. Первым на девятый вход поступает в параллельном коде значение коэффициента S_{13} , затем на третий вход из БЭВП поступает сигнал сопровождения S_{13} , устанавливающий третий регистр по входу в режим "приема". После этого на четвертый вход из БЭВП поступает синхросигнал "запись", осуществляющий запись параметра S_{13} в третий регистр, а через комбинационный сумматор - в первый и второй регистры.

После записи параметра S_{13} на девятый вход подается код параметра S_{11} , который запишется в третий регистр после подачи из БЭВП на первый вход сигнала сопровождения S_{11} , а на четвертый вход синхросигнала "Запись".

Последним в четвертый регистр передается параметр S_{12} , для этого БЭВП выставляет на девятый вход код S_{12} , затем - на второй вход сигнал сопровождения S_{12} , а на четвертый вход синхросигнал "Запись".

Далее из блока управления на пятый вход поступает серия из n синхроимпульсов C_1 (где n - число пикселей в строке). При поступлении J -го импульса в первый регистр записывается сумма $J S_{11} + S_{13}$. После поступления последнего импульса этой серии, т.е. после окончания прорисовки последнего пикселя в очередной строке, на седьмой вход из блока управления поступает импульс "Сброс СГИ", обнуляющий первый регистр. Затем на шестой вход из блока управления поступает импульс C_2 , который переводит первый и третий регистры в состояние "запрещения выходов", а второй и четвертый - "разрешения выходов". Кроме этого, импульс C_2 осуществляет запись в первый и второй регистры $I S_{12} + S_{13}$.

Теперь при поступлении на пятый вход J -го импульса из очередной серии из n синхроимпульсов в первом регистре будет формироваться сумма $J S_{11} + I S_{12} + S_{13}$. Полный цикл работы ВПК завершится при достижении $J=n$, $I=m$, где m - число телевизионных строк в

кадре, и приходу импульсов "Сброс СГИ" и "Сброс КГИ", устанавливающих БПК в исходное состояние.

Преобразователь логарифмический содержит входной регистр 26, первый 30 и второй 33 промежуточные регистры, схему управления блоком сдвига аргумента 27 (СУБСА), блок сдвига аргумента 28 (БСА), элемент задержки 29, постоянное запоминающее устройство 32, блок элементов НЕ 31 и комбинационный сумматор 34, вход 1 является информационным входом, вход 2 - синхровходом, вход 3 - вход сброса.

Информационный вход преобразователя соединен с информационным входом входного регистра, выход которого соединен с информационным входом блока сдвига аргумента и входа блока управления сдвигом, выход которого соединен с информационным входом блока задержки и с входом блока управления сдвигом аргумента, выход которого соединен с информационным входом первого промежуточного регистра, выход которого соединен с адресным входом блока памяти, выход которого соединен с информационным входом второго промежуточного регистра; выходы опорного значения функции логарифма и поправки которого соединены соответственно с первым и вторым информационными входами комбинационного сумматора, выход которого является первым выходом преобразователя, вторым выходом которого является выход блока элементов НЕ, вход которого соединен с выходом блока задержки, вход установки в ноль которого соединен с одноименными входами первого и второго промежуточного регистров, входного регистра и входом сброса преобразователя, синхровход которого соединен с синхровходами входного регистра и первого и второго промежуточных регистров.

ПЛ осуществляет аппаратную реализацию функции двоичного логарифма, которая используется для вычисления (3, 4). ПЛ работает следующим образом. Сигналом "Сброс СГИ", поступающим из блока управления на третий вход, все регистры ПЛ устанавливаются в нулевое состояние. На первый вход из ВПК в параллельном коде поступает число, которое по импульсу серии C_1 записывается во входной регистр. С выхода входного регистра это число поступает на БСА и на СУБСА. На выходе СУБСА (см. решение о выдаче авторского свидетельства от 19.12.89г. по заявке 4663108) формируется двоичный код управления БСА. Фактически, БСА и СУБСА формируют в первом промежуточном регистре число e_m (5). Из ПЗУ в соответствии со значением e_m осуществляется выборка опорного значения функции логарифма и ее поправки. Значения этих величин записываются во второй промежуточный регистр и суммируются в сумматоре, на выходе которого образуется значение $\log_2 e_m$ с требуемой точностью. Параллельно СУБСА и блок инверторов формируют $de + \Delta d$, где $\Delta d = 19$. Элемент задержки обеспечивает одновременное появление информации на первом и втором выходах ПЛ.

Функциональный преобразователь содержит первый 35, второй 36, третий 38, четвертый 40 регистры, блок памяти 39, первый 37 и второй 41 комбинационные сумматоры, входы 1, 4 - это входы целой части первого и второго операндов; входы 2, 5 - входы дробной части первого и второго операндов; вход 3 - синхровход; вход 4 - вход

сброса.

Входы целой части первого и второго операндов преобразователя соединены с первым и третьим информационными входами первого комбинационного сумматора, второй и четвертый информационные входы которого соединены с выходами первого и второго регистров, информационные входы которых соединены с входами дробной части первого и второго операндов преобразователя, синхровход которого соединен с входами разрешения записи первого, второго, третьего и четвертого регистров, входы установки в ноль которых соединены с входом сброса преобразователя, выход дробной части первого комбинационного сумматора соединен с информационным входом третьего регистра, выход которого соединен с адресным входом блока памяти, выход которого соединен с информационным входом четвертого регистра, выходы функции и поправки которого соединены с первым и вторым информационными входами второго комбинационного сумматора, выход которого соединен с первым выходом преобразователя, второй вход которого соединен с выходом целой части первого комбинационного сумматора.

Назначение ФП состоит в формировании на первом выходе значения функции $2^K(6)$, а на втором выходе - $d(6)$.

ФП работает следующим образом. Импульс "Сброс СГИ" (вход 6) устанавливает в нулевое состояние все регистры, на первый и четвертый входы поступают код целых частей соответственно $\log_2 a$ и $\log_2 b(6)$, а на второй и пятый входы поступают дробные части соответственно $\log_2 a$ и $\log_2 b(6)$. По импульсу $C1$, поступающему на третий вход ФП, дробные части логарифмов записываются в первый и второй регистры. На первом комбинационном сумматоре осуществляется вычисление разности $\log_2 a - \log_2 b$. С его первого выхода код d целой части разности поступает на первый выход ФП, а со второго выхода - код K дробной части разности. По импульсу $C1$ код K записывается в третий регистр и с его выхода поступает на ПЗУ. По значению K из ПЗУ извлекается значение функции 2^K , где $-1 < K < 1$, с соответствующей поправкой и по очередному импульсу $C1$ записывается в четвертый регистр. На втором комбинационном сумматоре осуществляется суммирование соответствующих значений функции и поправки.

Адресный формирователь содержит первый 42, второй 43, третий 44, четвертый 45, пятый 49, шестой 51 и седьмой 52 регистры, блок сдвига 46, узел формирования знака 48, узел задержки 50, первый 47 и второй 53 комбинационные сумматоры, входы 1, 2 являются входами первого и второго операнда соответственно; входы 3, 4 - входами сигналов сопровождения кода порядка и кода мантииссы; входы 5, 8 - входами знака первого и второго операнда соответственно; вход 6 - входом синхронизации; входы 7, 10 - первым и вторым входом сброса соответственно; вход 9 - входом разрешения записи.

Вход первого операнда формирователя соединен с информационным входом первого

регистра, выход которого соединен с информационным входом блока сдвига, а вход управления сдвигом которого соединен с выходом второго регистра, выходы третьего и четвертого регистров соединены с первым и вторым информационными входами первого комбинационного сумматора, выход которого соединен с информационным входом пятого регистра, выход которого соединен с информационным входом второго регистра, вход разрешения записи которого соединен с одноименными входами узла задержки первого, шестого, пятого и третьего регистров и входом синхронизации формирователя, первый вход сброса которого соединен с входами установки в ноль первого, второго, третьего, пятого и шестого регистров и узла задержки, информационный вход которого соединен с выходом узла формирования знака, первый и второй входы которого соединены с входами знаков первого и второго операндов формирователя, вход второго операнда которого соединен с информационным входом третьего регистра, вход кода параметра и мантииссы формирователя соединен с информационными входами четвертого и седьмого регистров, входы разрешения записи которых соединены с входом разрешения записи формирователя, второй вход сброса которого соединен с входами установки в ноль четвертого и седьмого регистров, входы сигналов сопровождения кода порядка и кода мантииссы преобразователя соединены с входами разрешения приема четвертого и седьмого регистров соответственно, выход блока сдвига соединен с информационным входом шестого регистра, выходы шестого и седьмого регистров соединены с первым и вторым информационными входами второго комбинационного сумматора, третий информационный вход которого соединен с выходом узла задержки, выход второго комбинационного сумматора является выходом преобразователя.

АФ предназначен для вычисления координат проекции элемента экрана на предметную плоскость по формуле (7) или (8).

АФ функционирует следующим образом. За время гашения кадра БЗВП осуществляет пересылку в АФ по одиннадцатому входу параметров P_{y0} и $X_0(Z_0)$ - для второго АФ). Первым на одиннадцатый вход в параллельном коде поступает значение P_{y0} . Затем на третий вход из БЗВП поступает сигнал сопровождения P_{y0} , устанавливающий четвертый регистр по входу в режим "Приема". После этого на вход 9 из БЗВП поступает синхросигнал "Запись", осуществляющий запись параметра P_{y0} в регистр. После записи параметра P_{y0} поступает код параметра X_0 , который запишется в седьмой регистр аналогичным образом. В течение времени формирования кадра АФ реализует следующие действия.

На втором входе АФ устанавливается код $d_x(7)$, поступающий из ФП. Импульсом $C1$ он запишется в третий регистр. На первом сумматоре выполнится $d_x + P_{y0}$, этот результат по импульсу $C1$ запишется в пятый регистр. В этот момент на первом входе АФ установится код 2^{Kx} , который запишется в первый регистр очередным импульсом

C1, одновременно по этому же сигналу информация из пятого регистра переписывается во второй. Схема сдвига реализуется на мультиплексоре. Первый вход этой схемы является информационным входом, а второй вход - адресным входом мультиплексора. Схема сдвига реализует функцию $2^{Kx} 2^{dx} + P_{y0}$, этот результат запишется в шестой регистр по импульсу **C1**.

Знак выражения $2^{Kx} 2^{dx} + P_{y0}$ формируется схемой формирования знака, которая реализована по схеме сумматора по **mod2**. Схема задержки, выполненная на регистре сдвига, обеспечивает одновременную подачу информации по первому и третьему входам второго комбинационного сумматора. На выходе которого формируется окончательный результат.

Блок формирования линии бесконечно удаленных точек (БФЛТ) содержит входной регистр 54, дешифратор нуля 53, узел задержки 56, вход 1 является информационным входом; вход 2 - входом синхронизации; вход 3 - входом сброса.

Выход узла задержки является выходом блока, информационный вход которого соединен с информационным входом входного регистра, выход которого соединен с входом дешифратора нуля, выход которого соединен с информационным входом узла задержки, вход разрешения записи которого соединен с одноименным входом входного регистра и входом синхронизации блока, вход сброса которого соединен с входом установки в ноль входного регистра и узла задержки.

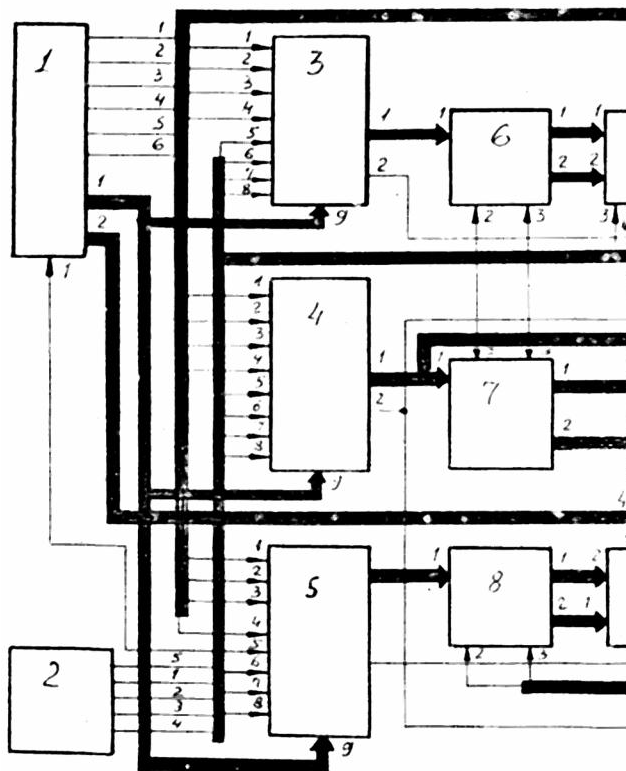
БФЛТ предназначен для формирования на экране телевизионного приемника линии горизонта и функционирует следующим образом. На третий вход блока и одновременно на третий вход входного регистра и узла задержки, выполненном на сдвигающем регистре, поступает из блока управления импульс "СБРОС СГИ", который устанавливает регистры в исходное состояние. На первый вход блока и на одноименный вход входного регистра поступает параллельный код знаменателя дробной части выражений (1 и 2). По импульсу **C1**, поступающему на второй вход блока и одновременно на второй вход входного регистра, осуществляется запись кода во входной регистр. Выход регистра подключен к первому входу дешифратора нуля, а на второй его вход подается код нуля. В случае равенства знаменателя выражений (1 и 2) нулю на выходе дешифратора нуля устанавливается сигнал, соответствующий единице. Узел задержки обеспечивает одновременное появление связанной во времени информации с выходов БФЛТ и блока памяти.

Блок управления содержит узел синхронизации 65, триггер 57, первый 58, второй 61 элементы задержки, первый 59, второй 60, третий 62 узлы формирования импульсов и элемент И 63, первый выход узла синхронизации соединен с тактовым входом триггера, выход которого является первым выходом блока, второй выход узла синхронизации соединен с входом установки в ноль триггера, с входами первых элементов, задержки и узла формирования импульсов, третий вход узла синхронизации

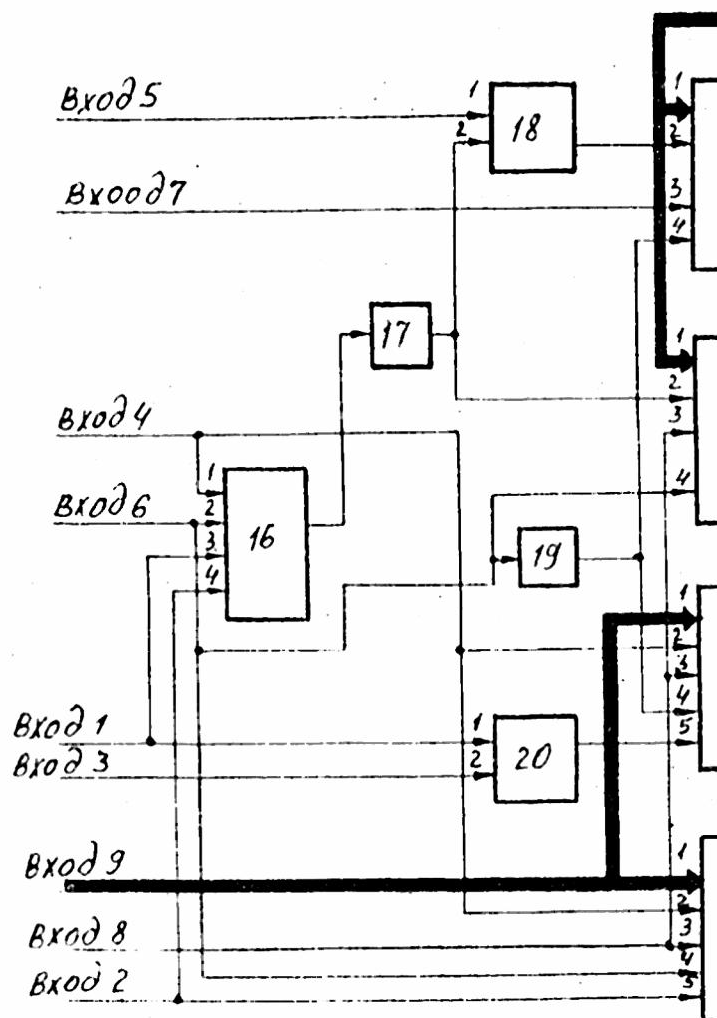
соединен с входами вторых узла формирования импульсов и элемента задержки, выход первого элемента задержки соединен с входом третьего узла формирования импульсов, выход которого является вторым выходом блока, третьим выходом которого является выход первого узла формирования импульсов, первый выход второго узла формирования импульсов соединен с четвертым выходом блока, пятый выход которого соединен с выходом элемента И, первый и второй входы которого соединены со вторым выходом второго узла формирования импульсов и второго элемента задержки соответственно.

Блок управления предназначен для синхронизации функционирования всего, устройства: инициирует передачу входных параметров БЗВП, когда появляется кадровый гасящий импульс, и вырабатывает серию синхроимпульсов **C1** управляющих конвейером в течение времени формирования кадра.

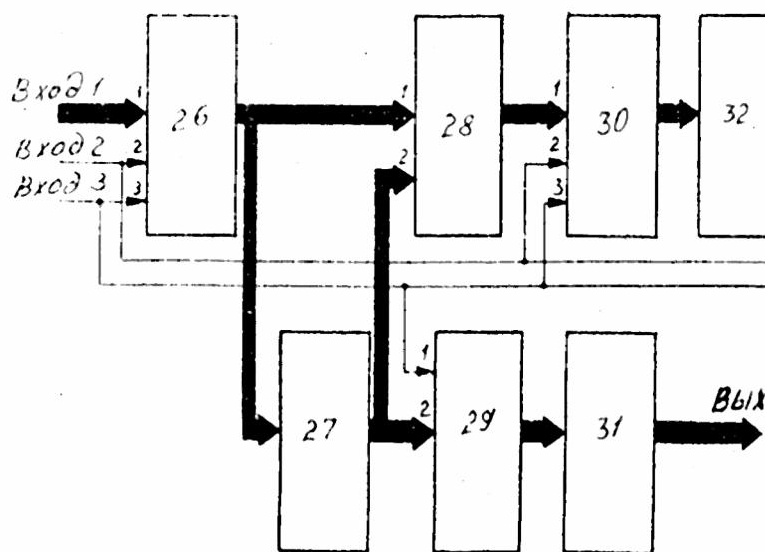
Блок управления работает следующим образом. Из первый вход триггера, работающего в режиме деления частоты, поступают из синхрогенератора импульсы, задающие моменты формирования пикселей на строке. На выходе триггера формируются синхроимпульсы **C1**. На второй вход установки в ноль триггера, на первый элемент задержки и на первый формирователь поступает из синхрогенератора серия СГИ. На каждый импульс СГИ блокируется формирование триггером серии **C1**, первым формирователем формируется импульс "Сброс СГИ", а цепочка первый элемент задержки - третий формирователь формирует импульс **C2**, задержанный по отношению к соответствующему импульсу "Сброс СГИ" на время установки регистра в ноль. Частота серии импульсов **C2** в n раз меньше, где n - число пикселей в строке, частоты серии **C1**. На входы второго формирователя и второго элемента задержки поступают из синхрогенератора кадровые гасящие импульсы КГИ. На каждый импульс КГИ на первом выходе второго формирователя формируется импульс "Сброс КГИ", а второй формирователь, второй элемент задержки и элемент И формируют импульс "Обмен", передний фронт которого задержан по отношению к соответствующему импульсу "Сброс КГИ" на время установки в ноль регистра.



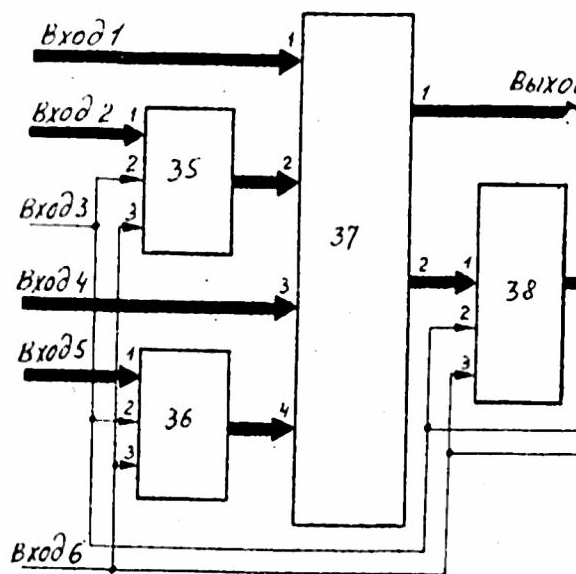
Фиг. 1



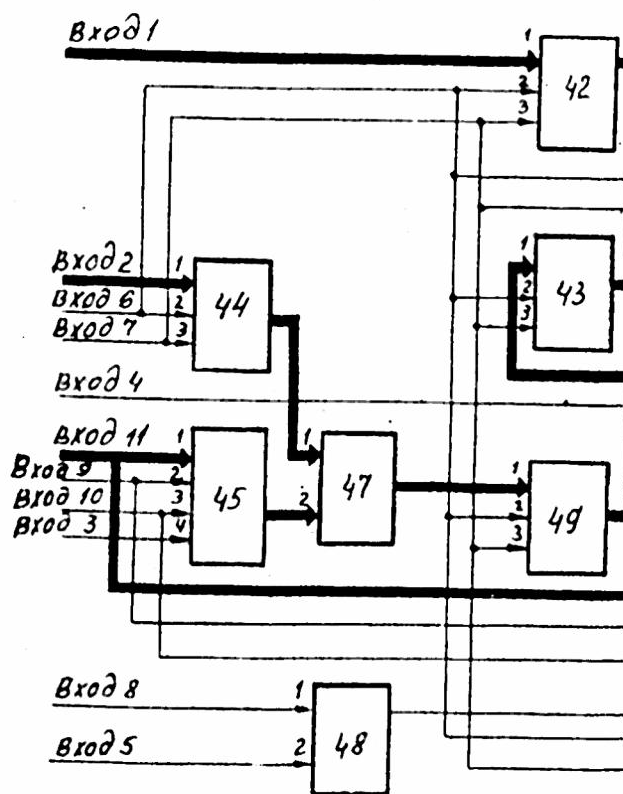
Фиг. 2



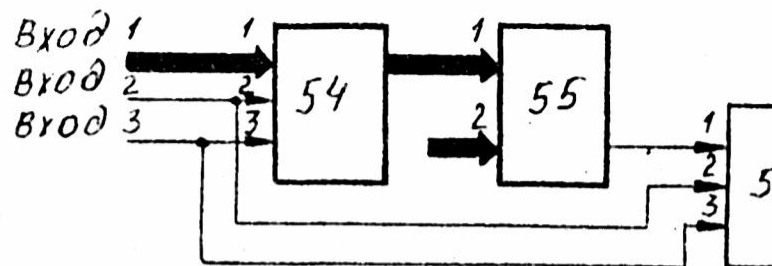
Фиг. 3



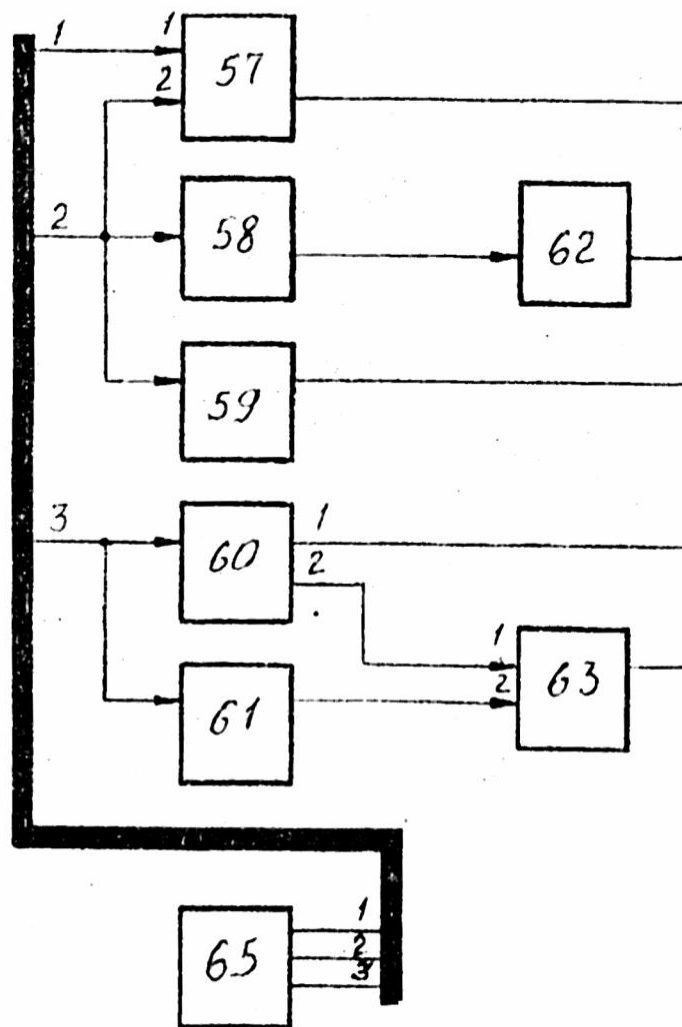
Фиг. 4



Фиг



Фиг. 6



Фиг. 7