



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1711153 A1

(51)5 G 06 F 7/552

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

(21) 4663108/24  
(22) 15.03.89  
(46) 07.02.92. Бюл. № 5  
(71) Харьковский институт радиозлектрони-  
ки им. акад. М.К.Янгеля  
(72) В.М.Гусятин, В.А.Горбачев, О.Г.Руд-  
ко, Б.Д.Либероль и Г.В.Тимченко  
(53) 681.325(088.8)  
(56) Авторское свидетельство СССР  
№ 1298740, кл. G 06 F 7/544, 1985.  
Авторское свидетельство СССР  
№ 746544, кл. G 06 F 7/552, 1978.

## (54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ СТЕПЕННОЙ ФУНКЦИИ

(57) Изобретение относится к вычислитель-  
ной технике и может быть использовано в  
специализированных ЭВМ, а также при раз-  
работке вычислительных устройств, изгото-  
вляемых в составе больших интегральных

Изобретение относится к вычислитель-  
ной технике и может быть использовано в  
специализированных ЭВМ, а также при раз-  
работке вычислительных устройств, изгото-  
вляемых в составе больших интег-  
ральных схем

Цель изобретения – расширение класса  
решаемых задач за счет вычисления функ-  
ции для целочисленных как положительных,  
так и отрицательных степеней уменьшения  
объема памяти при одновременном повы-  
шении быстродействия.

На фиг.1 представлена функциональная  
схема устройства вычисления степенной  
функции; на фиг.2 – схема блока сдвига ар-  
гумента; на фиг.3 – схема блока управления  
сдвигом аргумента; на фиг.4 – схема блока

2

схем. Цель изобретения – расширение  
класса решаемых задач за счет вычисле-  
ния функции для целочисленных как поло-  
жительных, так и отрицательных степеней,  
уменьшения объема памяти при одновре-  
менном повышении быстродействия. По-  
ставленная цель достигается тем, что в  
устройство, содержащее блок памяти, блок  
управления сдвигом аргумента, блок сдвига  
аргумента, блок управления сдвигом функ-  
ции и блок сдвига функции, введен блок  
формирования знака функции с соответст-  
вующими связями. Устройство позволяет  
вычислять степенную функцию в неограни-  
ченной области изменения аргумента при  
одновременном повышении быстродейст-  
вия, а также без изменения структуры увели-  
чивать число целочисленных (отрицательных  
и положительных) значений показателя сте-  
пени. 6 ил., 2 табл.

управления сдвигом функции, на фиг.5 –  
схема блока формирования знака функции,  
на фиг.6 – схема блока сдвига функции

Устройство содержит блок 1 управления  
сдвигом аргумента, блок 2 сдвига аргумен-  
та, блок 3 памяти (постоянное запоминаю-  
щее устройство), блок 4 управления сдвигом  
функции, блок 5 формирования знака функ-  
ции, блок 6 сдвига функции, вход 7 модуля  
аргумента, вход 8 знака показателя степе-  
ни, вход 9 модуля показателя степени, вход  
10 знака аргумента, выход 11 модуля резуль-  
тата и выход 12 знака результата, мульти-  
плексоры 13, элементы 14.1–14.Р И-НЕ,  
шифратор 15, элементы ИСКЛЮЧАЮЩЕЕ  
ИЛИ 16.1–16.м, блок 17 памяти, элемент ИС-  
КЛЮЧАЮЩЕЕ ИЛИ 18 и элемент И 19.

(19) SU (11) 1711153 A1

Устройство работает следующим образом.

$n$ -разрядный код аргумента  $x$  поступает на вход 7 модуля аргумента и далее на первый вход блока 2 сдвига аргумента (фиг.2). Этот блок состоит из  $S$  мультиплексоров 13.1-13. $S$ , информационные входы которых образуют первый вход блока сдвига аргумента, их адресные входы - второй вход блока сдвига аргумента, а выходы всех мультиплексоров -  $S$ -разрядный выход блока сдвига аргумента. Каждый из мультиплексоров содержит  $(P+1)$  информационных входов, на которые поступают разряды аргумента  $x$ . Выбор номеров разрядов аргумента, подключаемых к каждому мультиплексору, осуществляется по следующему правилу, на каждый мультиплексор поступает по одному на каждый его вход  $(P+1)$  разрядов аргумента так, что на первый вход поступает разряд аргумента, номер которого равен номеру рассматриваемого мультиплексора, а с увеличением на единицу номера входа мультиплексора увеличивается на единицу и номер разряда аргумента, подключаемого к рассматриваемому мультиплексору.

$P$  старших разрядов аргумента с входа аргумента поступает на вход блока 1 управления сдвигом аргумента (фиг.3),  $m$ -разрядный выход которого соединен с вторыми входами блока 4 управления сдвигом функции (фиг.4) и блока 2 сдвига аргумента. В блоке 2 сдвига аргумента  $m$ -разрядный выход схемы управления сдвигом аргумента подключен поразрядно к  $m$ -разрядному адресному входу одновременно всех  $S$  мультиплексоров.

Адрес блока 3 памяти организуется следующим образом. Первый вход ( $S$  младших разрядов адреса) соединен с выходом блока сдвига аргумента на второй вход ( $r$  следующих разрядов адреса) с входа 9 поступает  $r$ -разрядный код модуля показателя степени; третий вход (старший разряд адреса) соединен с входом 8 знака показателя степени. На первый и второй входы блока 8 формирования знака функции (фиг.5) поступают соответственно модуль показателя степени с входа 9 и знак аргумента с входа 10, выход блока соединен с выходом 12 знака результата. Первый вход блока 4 управления сдвигом функции связан с входом 9 модуля показателя степени, а ее третий вход - с входом 8 знака показателя степени.  $r$ -разрядный выход этого блока - с вторым входом блока 6 сдвига функции,  $g$ -разрядный выход блока памяти соединен с первым входом блока 6 сдвига функции (фиг.6). Этот блок состоит

из  $(g+c)$  мультиплексоров, где  $c = p \cdot \alpha_{\max}$ , информационные входы которых образуют первый вход блока сдвига функции, их адресные входы - второй вход блока сдвига функции, а выходы всех мультиплексоров -  $(g+c)$ -разрядный выход блока сдвига функции. Каждый из мультиплексоров содержит  $(c+1)$  информационных входов, на которые поступают разряды выхода блока памяти. Выбор номера мультиплексора и номера его выхода для каждого разряда блока памяти осуществляется в соответствии со следующим правилом; каждый разряд выхода блока памяти поступает одновременно на один из входов  $(c+1)$  мультиплексоров, начиная с мультиплексора, номер которого совпадает с номером рассматриваемого разряда, и кончая мультиплексором, номер которого больше начального на  $c$ , в начальном мультиплексоре рассматриваемый разряд выхода блока памяти поступает на первый вход, а с увеличением на единицу номера мультиплексора увеличивается на единицу и номер его входа, подключаемого к рассматриваемому разряду выхода блока памяти. Правило иллюстрируется фиг.6 и табл.1. В табл.1 на пересечении  $i$ -й строки и  $j$ -го столбца расположен номер входа  $j$ -го мультиплексора, к которому подключается  $i$ -й разряд выхода ПЗУ.

Один из вариантов схемотехнической реализации блока управления сдвигом аргумента приведен на фиг.3. Функциональное назначение этой схемы состоит в том, чтобы определить число  $K$  подряд стоящих нулей, начиная со старшего, в  $P$  разрядах аргумента  $x$ . Принцип работы схемы следующий: если  $i$ -й ( $1 \leq i \leq p$ ) разряд аргумента равен единице, а все старшие  $[1+(i-1)]$ -разряды аргумента равны нулю, на выходе блока устанавливается двоичный код, десятичный эквивалент которого равен числу нулей в  $(i-1)$  разрядах; если же все  $P$  старших разрядов аргумента равны нулю, на выходе блока устанавливается двоичный код, десятичный эквивалент которого равен  $p$ . Так, для случая  $p = 4$ , этот принцип иллюстрируется табл.2.

$P$  схем И-НЕ формируют унитарный  $p$ -разрядный код (фиг.3) в  $i$ -м разряде которого появляется нуль, если  $i$ -й ( $1 \leq i \leq p$ ) разряд аргумента равен единице, а все старшие  $[1+(i-1)]$ -е разряды аргумента равны нулю. Шифратор преобразует унитарный код в  $m$ -разрядный двоичный код.

Один из вариантов реализации блока управления сдвигом функции приведен на фиг.4. Функциональное назначение этой

схемы состоит в том, чтобы получить двоичное число, равное  $\alpha \cdot K$ , если  $\alpha > 0$ , и  $\alpha \cdot \bar{K}$ , если  $\alpha < 0$ . Блок работает следующим образом. m элементов ИСКЛЮЧАЮЩЕЕ ИЛИ реализуют поразрядную инверсию двоичного кода K, если  $\alpha < 0$ , выходы этих элементов образуют m младших адресов блока памяти ПЗУ, а r-разрядный код  $-\alpha$ -г старших адресов ПЗУ, по сформулированному таким образом адресу читается двоичный код искомого произведения.

На выходе блока формирования знака функции (фиг.5) устанавливается уровень логической единицы, если аргумент функции отрицательный и нечетный показатель степени.

Элементы устройства могут быть реализованы на основе стандартных микросхем, например мультиплексоры второго и шестого блоков — на микросхемах K155 КП1, ПЗУ третьего и четвертого блоков — на микросхемах типа РТ556, шифратор и элементы И-НЕ первого блока — соответственно на микросхемах K155ИВ1 и K155ЛА2, элементы ИСКЛЮЧАЮЩЕЕ ИЛИ четвертого и пятого блоков — на микросхеме K155ЛП5, элемент И пятого блока — на микросхеме K155ЛИ1.

Устройство позволяет вычислять степенную функцию  $y=x^{\alpha}$ , где  $x$  — положительные и отрицательные действительные числа;  $\alpha$  — положительные и отрицательные целые числа. Устройство осуществляет вычисление, используя следующее свойство степенной функции: изменение аргумента в d раз приводит к изменению функции в  $d^{\alpha}$  раз. Следовательно, если представить функцию в табличном виде на некотором минимальном интервале, то за счет только операции сдвига аргумента и табличного значения функции возможно вычисление искомого значения функции в неограниченной области изменения аргумента. При этом относительная погрешность вычисления степенной функции на всей области ее определения не будет превышать относительной погрешности ее табличного представления.

Табличное представление степенной функции на интервале рассмотрим на примере функции  $y=x^{-1}$ .

Задаем  $u_{\max} = 256$ , а относительная погрешность вычисления пусть будет равна  $\delta_y = 2^{-8}$ . В этом случае значение абсолютной погрешности для всех  $y \leq u_{\max}$  не будет превышать единицы.

Определяем начальное значение исходного интервала.

$$x_n = \frac{1}{256} = 2^{-8}$$

Конечное значение интервала равно  $x_k = 2x_d = 2^{-7}$ .

Определяем шаг разбиения интервала

$$\Delta x = \frac{1}{u_{\max} - \Delta y} - \frac{1}{u_{\max}} = 2^{-16}.$$

Определяем число значащих разрядов двоичного кода аргумента в интервале табличного представления функции:

$$S = \log_2 \frac{x_k - x_n}{\Delta x} = 8$$

В рассчитанном интервале изменения аргумента с шагом  $\Delta x$  вычисляем все значения функции и заносим в таблицу. Для рассматриваемого случая число табличных значений функции равно 256.

Рассмотрим процедуру вычисления функции в двоичной системе счисления. Возможны следующие два случая.

Значение аргумента находится в интервале табличного представления функции, т.е.  $x \in \{x_n, x_k\}$ . В этом случае вычисление функции сводится к выборке из таблицы соответствующего значения функции  $y$ .

Второй случай,  $x > x_k$ , или  $x < x_n$ , т.е.  $x \notin \{x_n, x_k\}$ .

Вводим следующее обозначение:  $x = x_n$ , если  $x \in \{x_n, x_k\}$ , а соответствующие значения  $y = y_n$ . Для всех  $x \notin \{x_n, x_k\}$  справедливо  $x = 2^k x_n$ , а для соответствующих значений функции  $y = 2^{k\alpha} y_n$ , где  $k$  и  $k\alpha$  — целые числа, такие, что  $0 \leq k \leq p$  ( $p = n-s$ ), а  $0 \leq k\alpha \leq c$  ( $c = p \alpha_{\max}$ ). Число двоичных разрядов для представления  $k$  равно  $m = -\log_2 p$ , для представления  $\alpha$  —  $r = \log_2 \alpha_{\max}$ , а для представления  $k\alpha$  —  $l = \log_2 c$ . Очевидно, что  $k > 0$ , если  $x > x_k$  и  $k < 0$ , если  $x < x_n$ . Вычисление функции в этом случае осуществляем следующим образом. Выполняется сдвиг аргумента влево ( $k > 0$ ) или вправо ( $k < 0$ ) на  $k$  разрядов. После такого сдвига значащие разряды аргумента попадают в интервал табличного представления функции, что позволяет получить ее табличное значение  $y_n$ . Для получения искомого значения функции, полученное табличное значение  $y_n$  следует сдвинуть на  $\alpha \cdot k$  разрядов в том же направлении, что и аргумент, если  $\alpha < 0$  и в противоположном, если  $\alpha > 0$ .

По такому способу вычисление функции осуществляется с абсолютной погрешностью, не превышающей  $\Delta y$  для всех  $x$ , для которых  $y \leq u_{\max}$ , и с относительной погрешностью, не превышающей  $S_y = \frac{\Delta y}{y}$  для всей области изменения аргумента при ма-

лом объеме ПЗУ. Так, в рассматриваемом примере емкость ПЗУ равна всего 256 слов.

Работа устройства вычисления степенной функции начинается с момента поступления на входы 10 и 7 знака и модуля аргумента, а на входы 9 и 8 — знака и модуля показателя степени. Модуль аргумента поступает на информационные входы мультиплексоров блока сдвига аргумента, на адресные входы которых поступает двоичный код, формируемый блоком управления сдвигом аргумента. С выхода блока сдвига аргумента  $x_n$  поступает на адресный вход блока памяти, на остальных адресных входах которого уже установлены коды знака и модуля показателя степени. По сформированному таким образом адресу из памяти будет выбрано интервальное значение функции  $y_n$ , которое с выхода блока памяти поступит на информационные входы мультиплексоров блока сдвига функции. К моменту появления на информационных входах мультиплексоров  $y_n$  на их адресные входы с выхода блока управления сдвигом аргумента поступит двоичный код, равный  $\alpha \cdot k$ . С выхода блока сдвига функции искомое значение функции поступит на выход результата. К этому моменту на выходе знака результата блоком формирования знака функции установится уровень напряжения, соответствующий знаку результата.

Время работы устройства постоянно и не зависит от значения аргумента и показателя степени функции.

### Формула изобретения

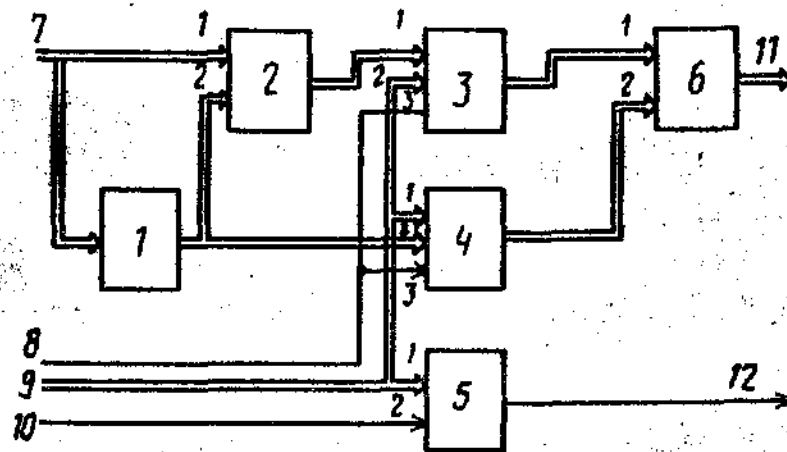
Устройство для вычисления степенной функции, содержащее блок сдвига аргумента, блок сдвига функции, управляющие входы которых соединены с соответствующими выходами блока управления сдвигом аргумента и блока управления сдвигом функции, блок памяти, первый адресный вход которого соединен с выходом блока сдвига аргумента, отличающееся тем, что, с целью расширения класса решаемых задач путем обеспечения вычисления функции для целочисленных как положительных, так и отрицательных степеней, уменьшения объема памяти при одновременном повышении быстродействия, в него введен блок формирования знака функции, причем вход модуля аргумента устройства подключен к информационному входу блока сдвига аргумента и входу блока управления сдвигом аргумента, вход модуля показателя степени устройства подключен к второму адресному входу блока памяти и первым входам блока управления сдвигом функции и блока формирования знака функции, второй вход и выход которого соединен с входом знака аргумента и выходом знака результата устройства, второй вход блока управления сдвигом функции соединен с выходом блока управления сдвигом аргумента, вход знака показателя степени подключен к третьим входам блока управления сдвигом функции и блока памяти, выход которого соединен с информационным входом блока сдвига функции, выход которого является выходом модуля результата.

Таблица 1

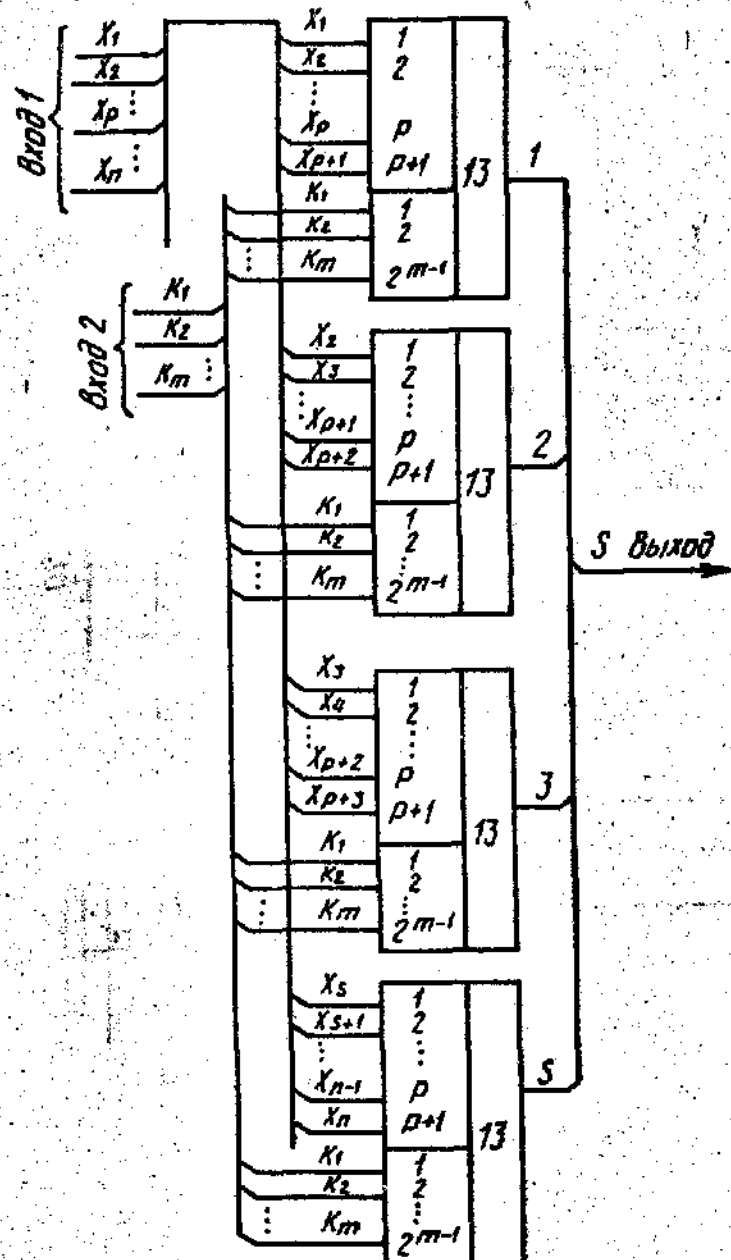
И. раз- ряды ПЗУ	1	2	3	...	$g-1$	$g$	$g+1$	...	$c$	$c+1$	$c+2$	...	$c+g-1$	$c+g$
1	1	2	3	...	$g-1$	$g$	$g+1$	...	$c$	$c+1$		...		
2		1	2	...	$g-2$	$g-1$	$g$	...	$c+1$	$c$	$c+1$	...		
...	...	...	...	...	...	...	...	...	...	...	...	...		
$g-1$					1	2	3	...	$c-(g-2)$	$c+1-(g-2)$	$c+2-(g-2)$	...	$c+2$	
$g$						1	2	...	$c-(g-1)$	$c+1-(g-1)$	$c+2-(g-1)$	...	$c$	$c+1$

Таблица 2

$x_1$	$x_2$	$x_3$	$x_4$	$k_3$	$k_2$	$k_1$
0	0	0	0	0	0	0
0	0	0	1	0	1	1
0	0	1	x	0	1	0
0	1	x	x	0	0	1
1	x	x	x	0	0	0

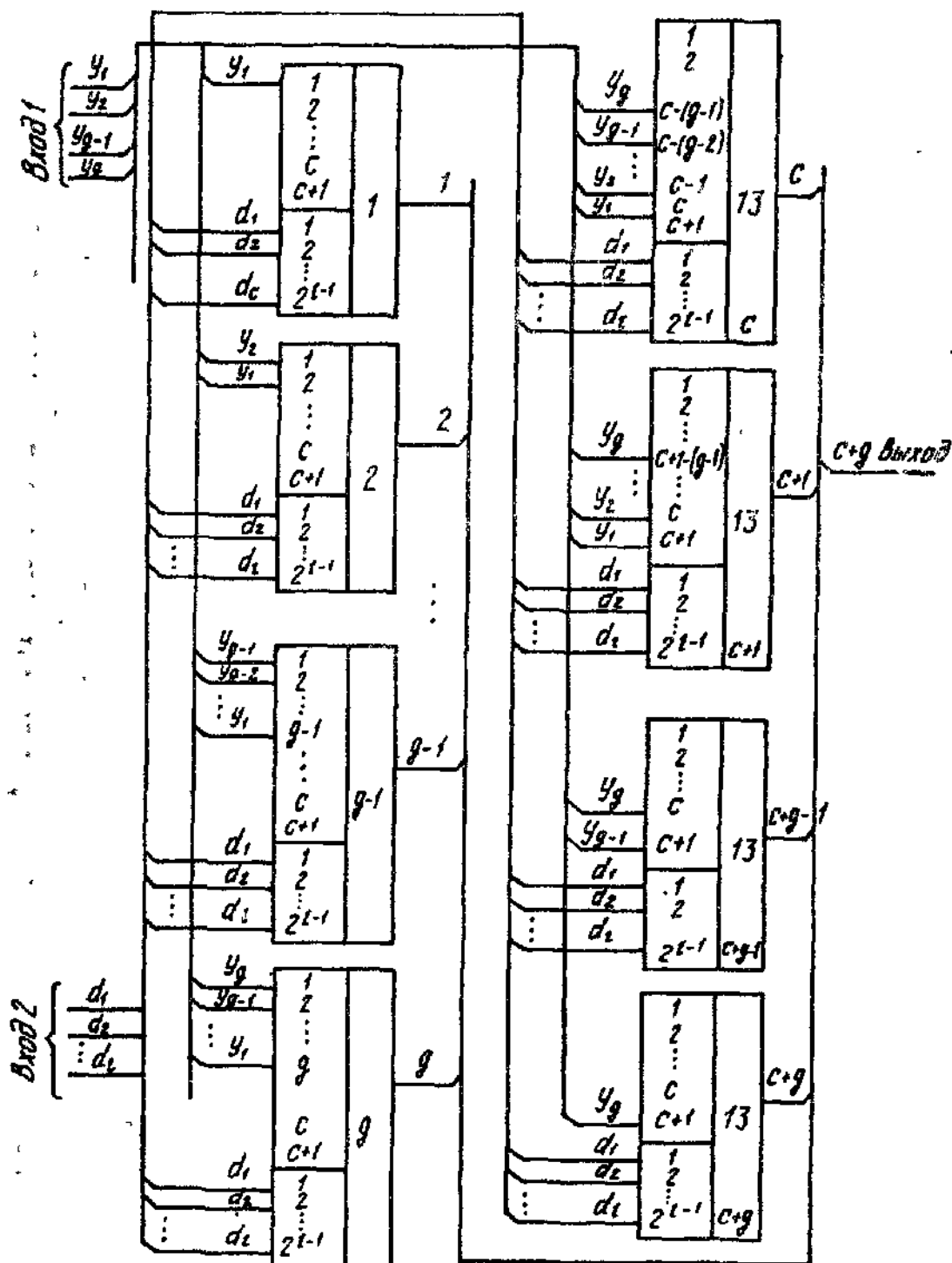


Фиг. 1



Фиг. 2





Фиг. 6

Редактор А. Козориз

Составитель В. Гусятин  
Техред М Моргентал

Корректор С. Шевкун

Заказ 340

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101

