



УКРАЇНА

(19) UA (11) 6877 (13) C1

(51)5 G 06 F 11/00

ДЕРЖАВНЕ
ПАТЕНТНЕ
ВІДОМСТВООПИС ДО ПАТЕНТУ
НА ВІНАХІД

(54) БАГАТОКАНАЛЬНИЙ СИГНАТУРНИЙ АНАЛІЗАТОР

1

(20) 94301262, 09.03.93

(21) 4767976/24

(22) 08.12.89, SU

(46) 31.03.95. Бюл. № 1

(56) 1. Авторское свидетельство СССР
№ 1383363, кл. G 06 F 11/00, 1988.2. Положительное решение по заявке №
4752972/24, SU от 28.06.91 кл. G 06 F 11/00
(прототип).

(71) Донецкий политехнический институт

(72) Дяченко Олег Миколайович

(73) Донецкий политехнический институт, UA

(57) Многоканальный сигнатурный анализатор, содержащий два счетчика, два блока сравнения, блок индикации, элемент ИЛИ, два триггера, одновибратор, элемент задержки, группу элементов И, три элемента И, три блока хранения эталонных сигнатур, три формирователя сигнатур, входы сброса которых образуют вход сброса анализатора, входы сброса первого и второго триггеров, входы считывания первого, второго и третьего блоков хранения эталонных сигнатур, установочный вход первого счетчика и вход параллельной загрузки второго счетчика объединены и образуют вход пуска анализатора, группа информационных входов второго счетчика образует группу входов начальной установки анализатора, группа разрядных выходов первого счетчика соединена с группой входов блока индикации, выход первого элемента И соединен с тактовым входом второго счетчика, инверсный выход старшего разряда которого соединен с первым входом первого элемента И, группы информационных выходов первого и второго блоков хранения эталонных сигнатур соединены соответственно с группами входов начальной установки первого и второго формирователей сигнатур, выход первого блока сравнения соединен с первым входом элемента ИЛИ и первым входом вто-

2

рого элемента И, второй вход которого соединен с прямым выходом старшего разряда первого счетчика, инверсный выход старшего разряда которого соединен со вторым входом элемента ИЛИ и со счетным входом первого триггера, инверсный выход которого соединен с первым входом третьего элемента И, второй вход которого соединен с выходом элемента ИЛИ, выход третьего элемента И соединен со счетным входом второго триггера, со вторым входом первого элемента И и со входом элемента задержки, выход которого соединен с тактовыми входами первого, второго и третьего формирователей сигнатур, группы информационных входов которых поразрядно объединены и подключены к выходам соответствующих элементов И группы, выход второго блока сравнения и прямой выход второго триггера соединены соответственно с первым и вторым входами блока индикации, инверсный выход второго триггера соединены соответственно с первым и вторым входами блока индикации, инверсный выход второго триггера соединен с тактовым входом первого счетчика, выход второго элемента И соединен со входом одновибратора, выход которого соединен с установочным входом второго триггера, третий вход третьего элемента И образует первый тактовый вход анализатора, группа информационных выходов третьего блока хранения эталонных сигнатур соединена с группой входов начальной установки третьего формирователя сигнатур, группа информационных выходов первого формирователя сигнатур соединена с первыми группами входов первого и второго блоков сравнения, группы информационных выходов второго и третьего формирователей сигнатур соединены со вторыми группами входов первого и второго блоков сравнения соответственно, отличающийся тем,

(19) UA (11) 6877 (13) C1

что он дополнительно содержит регистр сдвига, четвертый элемент И и элемент И-НЕ, выход которого соединен с первым входом четвертого элемента И, второй вход которого подключен к инверсному выходу последнего разряда первого счетчика, выход четвертого элемента И соединен с первыми входами элементов И группы, вторые входы которых подключены к соответствующим разрядным выходам регистра сдвига,

информационный и тактовый входы которого образуют соответственно информационный и второй тактовый вход анализатора, первый вход элемента И-НЕ и адресные входы первого, второго и третьего блоков хранения эталонных сигнатур образуют вход задания эталонных сигнатур анализатора, второй вход элемента И-НЕ подключен к выходу младшего разряда второго счетчика

Изобретение относится к цифровой вычислительной технике и может быть использовано для технического диагностирования цифровых устройств.

Известен сигнатурный анализатор [1], содержащий формирователь сигнатур, блок хранения эталонных сигнатур, два счетчика, блок индикации, два элемента И, элемент ИЛИ, элемент И-НЕ, причем вход сброса анализатора подключен к входу сброса формирователя сигнатур, вход "Пуск" анализатора подключен к входу считывания блока хранения эталонных сигнатур, входу установки первого счетчика и входу стробирования параллельной записи второго счетчика, синхровход анализатора соединен с первым входом элемента И-НЕ, второй вход которого соединен с выходом элемента ИЛИ, выход элемента И-НЕ соединен с первым входом второго элемента И, синхровходом формирователя сигнатур и счетным входом первого счетчика, информационный вход анализатора соединен с первым входом первого элемента И, второй вход которого соединен со вторым входом второго элемента И и подключен к инверсному выходу старшего разряда второго счетчика, выход первого элемента И соединен с информационным входом формирователя сигнатур, выход второго элемента И соединен с вычитающим входом второго счетчика, информационные входы параллельной записи которого соединены с соответствующими входами начальной установки анализатора, группа информационных выходов блока хранения эталонных сигнатур соединена с группой входов начальной установки формирователя сигнатур, входы элемента ИЛИ соединены с выходами всех разрядов кроме первого формирователя сигнатур и инверсным выходом старшего разряда первого счетчика, информационные выходы которого подключены к входам блока индикации

Такой сигнатурный анализатор позволяет выделить из сигнатуры диагностическую информацию о месте ошибочного бита в контролируемой двоичной последовательности. Недостатком известного устройства является то, что оно не позволяет локализовать пачку ошибочных битов

Наиболее близким по технической сущности к предлагаемому устройству является многоканальный сигнатурный анализатор [2], содержащий два счетчика, блок индикации, первый и второй индикаторы, элемент ИЛИ, первый, второй и третий элементы И, первый, второй и третий формирователи сигнатур, первый, второй и третий блоки хранения эталонных сигнатур, первый и второй счетные триггеры, одновибратор, элемент задержки, группу элементов И, причем входы сброса первого, второго и третьего формирователей сигнатур объединены и образуют вход сброса анализатора, входы сброса первого и второго триггеров, входы считывания первого, второго и третьего блоков хранения эталонных сигнатур, установочный вход первого счетчика и вход параллельной загрузки второго счетчика объединены и образуют вход пуска анализатора, группа информационных входов второго счетчика образует группу входов начальной установки анализатора, группа разрядных выходов первого счетчика соединена с группой входов блока индикации, выход первого элемента И соединен с тактовым входом второго счетчика, инверсный выход старшего разряда которого соединен с первым входом первого элемента И, группы информационных выходов первого и второго блоков хранения эталонных сигнатур соединены соответственно с группами входов начальной установки первого и второго формирователей сигнатур, выход первого блока сравнения соединен с первым входом элемента ИЛИ и первым входом второго элемента И, второй вход которого сое-

динен с прямым выходом старшего разряда первого счетчика, инверсный выход старшего разряда которого соединен со вторым входом элемента ИЛИ и со счетным входом первого триггера, инверсный выход которого соединен с первым входом третьего элемента И, второй вход которого соединен с выходом элемента ИЛИ, выход третьего элемента И соединен со счетным входом второго триггера, со вторым входом первого элемента И и со входом элемента задержки, выход которого соединен с тактовыми входами первого, второго и третьего формирователей сигнатур, группы информационных входов которых поразрядно объединены и подключены к выходам соответствующих элементов И группы, первые входы которых объединены и подключены к инверсному выходу старшего разряда второго счетчика, выход второго блока сравнения и прямой выход второго триггера соединены соответственно со входами первого и второго индикаторов, инверсный выход второго триггера соединен с тактовым входом первого счетчика, выход второго элемента И соединен со входом одновибратора, выход которого соединен с установочным входом второго триггера, третий вход третьего элемента И образует тактовый вход анализатора, группа информационных выходов третьего блока хранения эталонных сигнатур соединена с группой входов начальной установки третьего формирователя сигнатур, группа информационных выходов первого формирователя сигнатур соединена с первыми группами входов первого и второго блоков сравнения, группы информационных выходов второго и третьего формирователей сигнатур соединены со вторыми группами входов первого и второго блоков сравнения соответственно, вторые входы элементов И группы образуют группу информационных входов анализатора.

Такой сигнатурный анализатор позволяет контролировать входные последовательности одновременно по нескольким каналам, получить информацию о наличии в анализируемой последовательности векторов одного ошибочного вектора или ошибочных векторов большей кратности, в случае наличия одного ошибочного вектора анализатор автоматически укажет его местоположение в последовательности векторов в виде порядкового номера искаженного вектора. Однако при использовании анализатора в качестве одноканального (одновходового) он не позволяет локализовать пачку ошибочных битов в анализируемой двоичной последовательности.

Задачей изобретения является повышение достоверности контроля за счет обеспечения возможности локализации пачки ошибочных битов в анализируемой двоичной последовательности.

Поставленная задача достигается тем что в многоканальный сигнатурный анализатор, содержащий два счетчика, два блока сравнения, блок индикации, элемент ИЛИ, два триггера, одновибратор, элемент задержки, группу элементов И, три элемента И, три блока хранения эталонных сигнатур, три формирователя сигнатур, входы сброса которых образуют вход сброса анализатора, входы сброса первого и второго триггеров, входы считывания первого, второго и третьего блоков хранения эталонных сигнатур, установочный вход первого счетчика и вход параллельной загрузки второго счетчика объединены и образуют вход пуска анализатора, группа информационных входов второго счетчика образует группу входов начальной установки анализатора, группа разрядных выходов первого счетчика соединена с группой входов блока индикации, выход первого элемента И соединен с тактовым входом второго счетчика, инверсный выход старшего разряда которого соединен с первым входом первого элемента И, группы информационных выходов первого и второго блоков хранения эталонных сигнатур соединены соответственно с группами входов начальной установки первого и второго формирователей сигнатур, выход первого блока сравнения соединен с первым входом элемента ИЛИ и первым входом второго элемента И, второй вход которого соединен с прямым выходом старшего разряда первого счетчика, инверсный выход старшего разряда которого соединен со вторым входом элемента ИЛИ и со счетным входом первого триггера, инверсный выход которого соединен с первым входом третьего элемента И, второй вход которого соединен с выходом элемента ИЛИ, выход третьего элемента И соединен со счетным входом второго триггера, со вторым входом первого элемента И и со входом элемента задержки, выход которого соединен с тактовыми входами первого, второго и третьего формирователей сигнатур, группы информационных входов которых поразрядно объединены и подключены к выходам соответствующих элементов И группы, выход второго блока сравнения и прямой выход второго триггера соединены соответственно с первым и вторым входами блока индикации, инверсный выход второго триггера соединен с тактовым входом первого счетчика, выход второго элемента И соединен со входом одновибратора.

тора, выход которого соединен с установочным входом второго триггера, третий вход третьего элемента И образует первый тактовый вход анализатора, группа информационных выходов третьего блока хранения эталонных сигнатур соединена с группой входов начальной установки третьего формирователя сигнатур, группа информационных выходов первого формирователя сигнатур соединена с первыми группами входов первого и второго блоков сравнения, группы информационных выходов второго и третьего формирователей сигнатур соединены со вторыми группами входов первого и второго блоков сравнения соответственно, согласно изобретению дополнительно введены регистр сдвига, четвертый элемент И и элемент И-НЕ, выход которого соединен с первым входом четвертого элемента И, второй вход которого подключен к инверсному выходу последнего разряда первого счетчика, выход четвертого элемента И соединен с первыми входами элементов И группы, вторые входы которых подключены к соответствующим разрядным выходам регистра сдвига, информационный и тактовый входы которого образуют соответственно информационный и тактовый входы анализатора, первый вход элемента И-НЕ и адресные входы первого, второго и третьего блоков хранения эталонных сигнатур образуют вход задания эталонных сигнатур анализатора, второй вход элемента И-НЕ подключен к выходу младшего разряда второго счетчика.

Сущность изобретения заключается в изменении принципа работы анализатора. Технический результат заключается в том, что предлагаемый анализатор обеспечивает возможность локализации пачки ошибок в анализируемой двоичной последовательности.

На чертеже представлена схема сигнатурного анализатора.

Анализатор содержит формирователи 1, 2, 3 сигнатур, блоки 4, 5, 6 хранения эталонных сигнатур, блоки 7, 8 сравнения, счетчики 9, 10, триггеры 11, 12, блок 13 индикации, одновибратор 14, индикатор 15, элемент 16 ИЛИ, индикатор 17, элементы И 18-21, группу элементов И 22, регистр 23 сдвига, элемент И-НЕ 24, элемент задержки 25, тактовый вход 26, входы 27.0-27.к начальной установки информационный вход 28, входы "Сброс" 29 и "Пуск" 30 адресный вход 31, тактовый вход 32.

Пусть длина исследуемой двоичной последовательности, которая подается на вход 28 анализатора равна $L = N \cdot k$, где k — раз-

рядность формирователей сигнатур и регистра сдвига, $N \leq 2^k$.

Частота синхроимпульсов, поступающих на вход 26 анализатора, в k раз выше частоты синхроимпульсов, поступающих на вход 32 анализатора.

Формирователи 1, 3 представляют собой k — разрядные параллельные сигнатурные регистры т.е. многовходовые регистры сдвига с линейными обратными связями, обратные связи которых определяются образующими примитивными и отличными друг от друга полиномами.

Исследуемая двоичная последовательность $L = N \cdot k$ разбивается на последовательность k — разрядных векторов информации длиной N . Формирователь 2 представляет собой k независимых друг от друга Т-триггеров, счетные входы которых являются информационными входами формирователя 2. Таким образом, формирователь 2 производит поразрядное суммирование по модулю два исследуемых векторов информации.

Предположим, что в анализируемой двоичной последовательности длиной L , поступающей на вход 28 анализатора, имеет место пачка ошибочных битов, размеры которой не превышают k . При разбиении этой последовательности на N k -разрядных векторов возможны два случая:

1) в полученной последовательности k -разрядных векторов длиной L имеет место только один ошибочный вектор;

2) в полученной последовательности k -разрядных векторов длиной N имеют место только два ошибочных вектора, причем, если порядковый номер первого из них равен n , то порядковый номер второго ошибочного вектора равен $n+1$.

Каждый из блоков 4-6 хранит две эталонные сигнатуры.

Первые эталонные сигнатуры в блоках 4-6 получаются путем сжатия эталонной последовательности k -разрядных векторов длиной $2^k - 1$ (если $N < 2^k - 1$, то эталонная последовательность векторов дополняется нулевыми векторами до требуемой длины).

Вторые эталонные сигнатуры получают путем сжатия эталонной последовательности только тех k -разрядных векторов, порядковые номера которых являются четными, если N — четное число, или нечетными, если N — нечетное число длиной $2^{k-1} - 1$ (если $N < 2^{k-1} - 1$, то эталонная последовательность векторов дополняется нулевыми векторами до требуемой длины).

Анализатор работает следующим образом.

По внешнему управляющему сигналу, поступающему на вход 29 все разряды формирователи 1-3 устанавливаются в нулевое состояние. На вход 31 анализатора подается логический нуль, соответствующий адресу 5 первых эталонных сигнатур, хранящихся в блоках 4-6. На выходе элемента И-НЕ 24 устанавливается логическая единица. По внешнему управляющему сигналу, поступающему на вход 30, счетчик 9 устанавливается в нулевое состояние, триггеры 11, 12 устанавливаются в нулевое состояние, первые эталонные сигнатуры с выходов блоков 4-6 заносятся соответственно в формирователи 1-3, и со входов 27.0-27.k заносится двоичный код числа N в счетчик 10. При этом на инверсном выходе старшего разряда счетчика 10 появляется логическая единица (так как, $N \leq 2^k - 1$), которая разрешает прохождение сигналов через элемент И 19, че- 10 рез элемент И 21 и через группу элементов И 22. Кроме того, на выходе старшего разряда счетчика 9 устанавливается логический нуль, следовательно, на выходе элемента ИЛИ 16 появится логическая единица, разрешающая прохождение синхроимпульсов через элемент И 18, а так как триггер 12 установлен в нулевое состояние, то на его инверсном выходе установлена логическая единица, которая также разрешает прохождение синхроимпульсов через элемент И 18. Логический нуль на выходе старшего разряда счетчика 9 "запирает" элемент И 20.

Синхроимпульсы со входа 32 анализатора через элемент И 18 поступают на счетный 35 вход триггера 11, который является нулевым разрядом счетчика 9, через элементы 18, 19, И, синхроимпульсы поступают на вычитающий вход счетчика 10, через элемент И 18 и элемент 25 задержки синхроимпульсы по- 40 ступают на тактовые входы формирователей 1-3 сигнатур.

Исследуемая двоичная последовательность поступает на вход регистра 23 с информационного входа 28 анализатора. На 45 тактовый вход регистра 23 поступают синхроимпульсы со входа 26, частота которых в k раз выше частоты синхроимпульсов, поступающих на вход 32 анализатора. Таким образом, векторы информации с информационных выходов регистра 23 через элементы И группы 22 поступают на информационные входы формирователей 1-3.

Таким образом, анализатор производит сжатие последовательности исследуемых 55 векторов информации.

Через N тактов работы анализатора в формирователях 1,3 сигнатур получают сигнатуры вектора ошибки ошибочного вектора информации, а в формирователе 2 сиг-

натур вектор ошибки ошибочного вектора информации. Во всех разрядах счетчика 10 будут нули, а на инверсном выходе старшего разряда счетчика 10 будет логическая единица, которая все еще разрешает прохождение синхроимпульсов через элемент И 19 и прохождение векторов информации через группу элементов И 22. $(N+1)$ -й синхроимпульс устанавливает на инверсном выходе старшего разряда счетчика 10 логический нуль, который запрещает поступление синхроимпульсов через элемент И 19 и прохождение исследуемых векторов информации через группу элементов И 22. Синхроимпульсы, поступающие на входы формирователей 1-3, задерживаются элементом 25, поэтому, когда на входы формирователей сигнатур придет $(N+1)$ -й синхроимпульс, передача исследуемых векторов информации через группу элементов И 22 уже будет запрещена. На этом счетчик заканчивает свою работу.

Допустим, что в анализируемой двоичной последовательности (а, следовательно, и в исследуемых векторах информации) не было ошибочных битов. Тогда через N тактов работы анализатора содержимое формирователей 1-3 сигнатур будет нулевым, а на выходе блока 7 появляется логический нуль, который "запирает" элемент И 20. Счетчик, образованный счетчиком 9 и триггером 11, досчитывает до 2^k , на выходе старшего разряда этого счетчика установится логическая единица, на выходе элемента ИЛИ 16 появляется логический нуль, который запрещает прохождение синхроимпульсов через элемент И 18. На выходе блока 8 будет логический нуль. На этом работа анализатора завершается с индикацией двоичного числа, в старшем разряде которого единица, а в остальных - нули.

Допустим, что в анализируемой двоичной последовательности имеет место пачка ошибочных битов, размер которой не превышает k . Тогда возможны 2 случая.

Пусть все ошибочные биты расположены в одном ошибочном векторе информации. Тогда через N тактов работы анализатора содержимое формирователей 1-3 сигнатур не будет нулевым, а на выходе блока 7 будет логическая единица. Когда счетчик, образованный счетчиком 9 и триггером 11, достигает до 2^k , на выходе старшего разряда этого счетчика установится логическая единица, на выходе элемента И 20 появится логическая единица, на выходе одновибратора 14 появится одиночный импульс, который установит триггер 11 в единичное состояние. В дальнейшем происходит изменение сигнатуры в формирователях 1-3 сигнатур и счет

тактов в счетчике, образованном счетчиком 9 и триггеров 11, до тех пор, пока содержащее формирователей 1,2 сигнатур не совпадут, при этом на выходе блока 7 появится логический нуль, на выходе элемента ИЛИ 16 также появится логический нуль, который запретит прохождение синхроимпульсов через элемент И 18. На выходе блока 8 будет логический нуль – признак того, что ошибочный вектор только один. На этом работа анализатора завершается с индикацией двоичного кода порядкового номера ошибочного вектора информации (пачки искаженных битов).

Пусть ошибочные биты пачки ошибок расположены в двух соседних ошибочных векторах информации. Тогда по завершению работы анализатора будет индизироваться двоичное число, в младшем разряде которого – единица (признак кратности ошибочных векторов информации). В этом случае работа анализатора повторяется заново (необходимо еще раз производить сжатие анализируемой двоичной последовательности). При этом работа анализатора аналогична рассмотренной выше за исключением следующего: на вход 31 анализатора поступает потенциальный сигнал (логическая единица), соответствующий адресу вторых эталонных сигнатур, хранящихся в блоках 4–6. Эти эталонные сигнатуры заносятся соответственно в формирователи 1–3 сигнатур по внешнему управляющему сигналу, поступающему на вход 30.

В процессе сжатия векторов информации на выходе элемента И-НЕ 24 будут чередоваться состояния логического нуля и единицы. Если N (начальное состояние счетчика 10) четное число, то векторы информации, порядковые номера которых нечетные,

исключаются из последовательности векторов информации и не участвуют в процессе сжатия последовательности, так как в соответствующие их появлению моменты времени на выходе элемента И-НЕ 24 – логический нуль, который запрещает прохождение информации через группу элементов И 22. Аналогично, если N – нечетное число, то исключаются векторы информации, порядковые номера которых четные.

В соответствии с предположением о том, что в анализируемой двоичной последовательности имеет место пачка ошибочных битов, размерность которой не превышает k , а ошибочные биты располагаются в двух ошибочных соседних векторах, следует, что порядковый номер одного из них четный, а порядковый номер другого ошибочного вектора – нечетный. Поэтому при сжатии последовательности векторов информации один ошибочный вектор исключается из последовательности сжимаемых векторов информации, а другой останется. Таким образом, когда в последовательности векторов информации имеет место только один ошибочный вектор, в конце работы анализатора будет индизироваться двоичное число (за исключением младшего и старшего разряда), равное порядковому номеру ошибочного вектора. Порядковый номер второго ошибочного вектора равен $(n-1)$ или $(n+1)$. При этом в младшем разряде индизированного двоичного числа (признак кратности ошибочных векторов информации) должен быть логический нуль, в старшем разряде (признак отсутствия компенсации ошибок в одном из формирователей сигнатур) – логическая единица. В противном случае в анализируемой последовательности пачка ошибочных битов, размерность которой превышает k .

