



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1451615** **A1**

(51) G 01 R 21/06

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4266789/24-21

(22) 23.06.87

(46) 15.01.89. Бюл. № 2

(71) Львовский политехнический ин-
ститут им. Ленинского комсомола

(72) О.М. Доронина, В.М. Ванько
и Г.Н. Лавров

(53) 621.317.38(088.8)

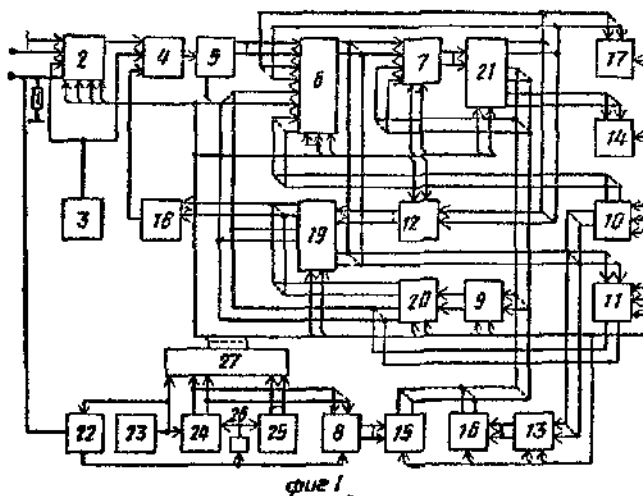
(56) Авторское свидетельство СССР
№ 845109, кл. G 01 R 21/06, 1980.

Авторское свидетельство СССР
№ 1366960, кл. G 01 R 21/06, 1987.

(54) ПРЕОБРАЗОВАТЕЛЬ АКТИВНОЙ МОЩНО-
СТИ В ЦИФРОВОЙ КОД

(57) Изобретение относится к электро-
измерительной технике. Цель изобре-
тения - повышение точности преобра-
зования активной мощности в цифровой
код. В преобразователе вводится кор-
рекция систематической аддитивной
погрешности аналоговых узлов преоб-
разователя, а также коррекция погреш-

ности отклонения от расчетного зна-
чения коэффициента преобразования
цифроаналогового преобразователя 18.
Введение коррекции приводит к рабо-
те аналого-цифрового преобразователя
5 практически в окрестностях одной
точки. Это позволяет значительно уве-
личить точность результата преобра-
зования. В преобразователь активной
мощности в цифровой код введены диф-
ференциальный операционный усилитель
4, регистр 14, третий блок 17 памяти,
селекторы 19, 20 и 21. Кроме этого
преобразователь содержит калиброван-
ный резистор 1, аналоговый коммута-
тор 2, источник 3 опорного напряже-
ния, сумматор 6, усилитель 7, регист-
ры 8-13, блоки 15 и 16 памяти, фор-
мирователь 22 импульсов, генератор
23 опорной частоты, счетчики 24 и 25
импульсов, элемент 26 задержки и фор-
мирователь 27 управляющих сигналов.
2 ил.



Фиг. 1

(19) **SU** (11) **1451615** **A1**

Изобретение относится к электронизмерительной технике и предназначено для преобразования активной мощности (энергии) в цифровой код.

Цель изобретения - повышение точности преобразования активной мощности в цифровой код.

На фиг. 1 представлена структурная схема преобразователя активной мощности в цифровой код; на фиг. 2 - временные диаграммы, поясняющие работу преобразователя.

Преобразователь активной мощности в цифровой код содержит калиброванный резистор 1, аналоговый коммутатор 2, источник 3 опорного напряжения, дифференциальный операционный усилитель 4, аналого-цифровой преобразователь 5, сумматор 6, умножитель 7, регистры 8-14, блоки 15-17 памяти, цифроаналоговый преобразователь 18, селекторы 19-21, формирователь 22 импульсов, генератор 23 опорной частоты, счетчики 24 и 25 импульсов, элемент 26 задержки и формирователь 27 управляющих сигналов. Входы аналогового коммутатора 2 подключены соответственно через резистор 1 к входной шине тока и входу формирователя 22 импульсов, выходу источника 3 опорного напряжения и второму входу сложения дифференциального операционного усилителя 4, входной шине напряжения, шине "общий", а выход - к первому входу сложения дифференциального операционного усилителя 4, вход вычитания которого соединен с выходом цифроаналогового преобразователя 18, а выход - со входом аналого-цифрового преобразователя 5, выходы которого подключены ко входам первого канала сумматора 6, входы второго канала которого соединены с выходами регистра 10, входы третьего канала - с выходами регистра 11 и выходами первого и второго каналов селекторов 19 и 20 соответственно, входы четвертого канала - с входами регистра 12, выходами блока 17 памяти и выходами первого канала селектора 21, а выходы - со входами первого канала умножителя 7, входами регистров 10, 11, 13 и выходами третьего канала селектора 19, входы второго канала умножителя 7 подключены ко входам регистра 9, выходам второго канала селектора 21 и вы-

ходам блоков 15 и 16 памяти, а выходы - ко входам селектора 21, выходы третьего канала которого соединены со входами регистра 14, входы селектора 19 подключены к выходам регистра 12, а выходы второго канала - ко входам цифроаналогового преобразователя 18 и выходам первого канала селектора 20, входы которого соединены с выходами регистра 9, выходы регистров 8 и 13 подключены к адресным входам блоков 15 и 16 памяти соответственно, выход генератора 23 опорной частоты соединен со входом синхронизации формирователя 22 импульсов, первым входом формирователя 27 управляющих сигналов и входом счетчика 24, выходы разрядов которого подключены ко входам регистра 8 и вторым входам формирователя 27 управляющих импульсов, а вход установки в начальное состояние - ко входу счетчика 25 и через элемент 26 задержки - ко входу управления записью регистра 8 и входу формирователя 22 импульсов, третьи входы формирователя 27 управляющих сигналов соединены с выходами разрядов счетчика 25, а выходы - соответственно с входами управления аналогового коммутатора 2 и селекторов 19-21, тактовым входом аналого-цифрового преобразователя 5, входами управления записью регистров 9-14 и умножителя 7, входами разрешения считывания регистров 10 и 11, сумматора 6 и блоков 15-17 памяти, входами начальной установки регистров 9-13, а также входами выбора первого и второго каналов сумматора 6.

Преобразователь активной мощности в цифровой код работает следующим образом.

Формирователь 22 выделяет периоды колебания входного тока $i(t)$, определяющие очередные интервалы преобразования, формируя в начале каждого текущего периода T_i импульс (фиг. 2б), синхронизированный с импульсом опорной последовательности с выхода генератора 23 опорной частоты (фиг. 2а). Этот импульс своим передним фронтом производит перенос кода из счетчика 24 импульсов в регистр 8, а через время, определяемое элементом 26 задержки, установку счетчика 24 импульсов в "нуль".

В течение текущего периода T_j счетчик 24 импульсов подсчитывает число импульсов опорной частоты следования f_0 с выхода генератора 23 опорной частоты

$$N_{Tj} = f_0 \cdot T_j, \quad (1)$$

код которого в начале следующего периода T_{j+1} переносится в регистр 8, после чего становится адресным для блока 15 памяти, где по адресу N_{Tj} записан код числа $2/N_{Tj}$.

Период t_m работы младшего разряда счетчика 24 импульсов (фиг. 2в) определяет шаг дискретизации входных сигналов и разделен на четыре такта $\hat{t}_1, \hat{t}_2, \hat{t}_3, \hat{t}_4$. В начале первого такта \hat{t}_1 очередного шага t_m дискретизации напряжение с выхода дифференциального операционного усилителя 4, равное сумме значения U_m входного напряжения в m -й точке дискретизации, подключаемого ко входу дифференциального операционного усилителя 4 аналоговым коммутатором 2 (фиг. 2г), опорного напряжения V_0 с выхода источника 3 опорного напряжения и напряжения $U_{осн}$ обратной связи с выхода цифроаналогового преобразователя 18, выбирается аналого-цифровым преобразователем 5, управляемым сигналом (фиг. 2д) с соответствующего выхода формирователя 27 управляющих сигналов. Причем $U_{осн}$ прямо пропорционально значению U_{m-1} входного напряжения в $(m-1)$ -ой точке дискретизации, код N_{um-1} которого с выходов регистра 12 поступает через открытый второй канал селектора 19 на входы цифроаналогового преобразователя 18 и преобразуется в нем в последнем такте $(m-1)$ -го шага дискретизации.

В течение \hat{t}_1 шага t_m выбранное аналого-цифровым преобразователем 5 напряжение преобразуется в цифровой код, поступающий в течение \hat{t}_2 на входы сумматора 6, где к нему прибавляются код N_{um-1} с выходов регистра 12, код $(-U_0 \cdot k_{aцл})$, причем $k_{aцл}$ - расчетное значение коэффициента преобразования аналого-цифрового преобразователя 5, с выходов блока 17 памяти, и вычитается код корректирующей величины Δk с выходов регистра 10. В конце \hat{t}_2 результирующий код с выходов сумматора 6 од-

новременно с кодом корректирующего коэффициента $k_{кор}$ с выходов блока 16 памяти, находящихся в режиме разрешения считывания (фиг. 2е, а), под

действием сигнала с соответствующего выхода формирователя 27 управляющих сигналов (фиг. 2е) переносится во входные регистры умножителя 7, который в течение \hat{t}_3 перемножает их между собой, после чего результирующий код N_{um} , соответствующий значению U_m , под действием управляющего сигнала (фиг. 2ж) по первому открытому каналу селектора 21 переносится в регистр 12.

В начале третьего такта \hat{t}_3 очередного шага t_m дискретизации (фиг. 2в) аналого-цифровым преобразователем 5 с выхода дифференциального операционного усилителя 4 выбирается напряжение, равное сумме значения падения напряжения $R \cdot i_m$ на калиброванном регистре 1, прямо пропорционального значению i_m входного тока в m -ой точке отсчета, подключаемого ко входу дифференциального операционного усилителя 4 аналоговым коммутатором 2 (фиг. 2з), опорного напряжения $U_{ос}$ с выхода источника 3 опорного напряжения и напряжения $U_{ос}$ обратной связи с выхода цифроаналогового преобразователя 18, прямо пропорционального значению входного тока в $(m-1)$ -ой дискретизации, код N_{im-1} которого с выходов регистра 9 поступает через открытый первый канал селектора 20 на входы цифроаналогового преобразователя 18 и преобразуется в нем в течение \hat{t}_4 .

В течение \hat{t}_3 выбранное напряжение преобразуется аналого-цифровым преобразователем 5 в цифровой код, поступающий в течение \hat{t}_4 на входы сумматора 6, где к нему прибавляются коды N_{im-1} $(-U_{ос} \cdot k'_{aцл})$ и вычитается код корректирующей величины Δk . В конце \hat{t}_4 результирующий код с выходов сумматора 6 и код $k_{кор}$ с выходов блока 16 памяти переносится во входные регистры умножителя 7, который в течение первого такта \hat{t}_1 шага t_{m+1} дискретизации перемножает их между собой. В конце \hat{t}_1 результирующий код N_{im} соответствующий значению i_m , под действием соответствующих управляющих сигналов (фиг. 2и, е) переносится в регистр 9 и входной регистр второго канала умножи-

теля 7, во входной регистр первого канала которого в то же время через открытый третий канал селектора 19 заносится код N_{um} с выходов регистра 12.

В течение такта \hat{C}_2 шага t_{m+1} дискретизации коды N_{um} и N_{im} перемножаются между собой, после чего результирующий код заносится в выходной регистр умножителя 7 (фиг. 2б) и в течение \hat{C}_3 подключается селектором 21 ко входам сумматора 6, где прибавляется к сумме $\sum_{e=1}^{m+1} N_{ue} N_{ie}$ произведений кодов мгновенных значений $u(t)$ и $i(t)$ за предыдущие $(m-1)$ шаги дискретизации, поступающей на входы сумматора с выходов регистра 11 (фиг. 2к). В конце \hat{C}_3 результат суммирования под действием соответствующего управляющего сигнала (фиг. 2л) заносится в регистр 11. Такой обработке подвергаются значения входных сигналов всех точек дискретизации за период T_j , в результате чего к концу такта \hat{C}_3 первого шага t , дискретизации следующего периода T_{j+1} в регистре 11 накопится код N_{uj} , прямо пропорциональный активной энергии за T_j . В конце \hat{C}_3 код N_{wj} с выходов регистра 11 одновременно с кодом $2/N_{Tj}$ с выходов блока 15 памяти, находящихся в режиме разрешения считывания (фиг. 2к), переносится в умножитель 7, где в течение \hat{C}_4 перемножаются. В конце \hat{C}_4 результат перемножения N_{Fj} , прямо пропорциональный активной мощности, под действием управляющего сигнала

$$\Delta k_{\Sigma} = \Delta k \cdot N_{TK} / 2, \quad (2)$$

$$NT_{K1} = f_0 \cdot T_{K1};$$

$$\Delta k = [\Delta_{AK} + U_0 - \Delta_{цАП} (k_{цАП} + \Delta k_{цАП}) + \Delta_{0y} + \Delta_{АЦП}] \times$$

$$\times (k_{АЦП} + \Delta k_{АЦП}) - U_0 \cdot k_{АЦП} = [\Delta_{AK} + \Delta_{АЦП} + \Delta_{0y} - \Delta_{цАП} (k_{цАП} + \Delta k_{цАП})] \times$$

$$\times (k_{АЦП} + \Delta k_{АЦП}) + U_0 \cdot \Delta k_{АЦП},$$

где $\Delta_{AK}, \Delta_{АЦП}, \Delta_{цАП}, \Delta_{0y}$ — напряжение смещения нуля аналогового коммутатора 2, аналого-цифрового преобразователя 5, цифроаналогового преобразователя 18, дифференциального операционного усилителя 4 соответственно;

ла с выхода формирователя 27 управляющих сигналов (фиг. 2м) через открытый третий канал селектора 21 переносится в выходной регистр 14, а регистр 11 тем же сигналом сбрасывается в "нуль".

Величина коррекции Δk вводится для коррекции систематической аддитивной погрешности (от смещения нуля) аналоговых узлов преобразователя.

Периодически, через определенное число периодов $i(t)$ счетчик 25 импульсов устанавливается в состояние, определяющее интервал T_{K1} нахождения k которое обеспечивает подключение к первому входу сложения дифференциального операционного усилителя 4 нулевого уровня напряжения (фиг. 2н) установку в "1" регистра 12, установку в "0" регистров 9 и 10 (фиг. 2о), а также установку в "0" регистра 13 (фиг. 2п). Последнее определяет выдачу на выходе блока 16 памяти кода "1", записанного в нем предварительно под "нулевым" адресом. Работа преобразователя в течение T_{K1} осуществляется аналогично описанной за T_j за исключением того, что запрещается запись промежуточных результатов преобразований в регистры 12 и 9 (фиг. 2ж, и). В результате, к концу преобразования в регистре 11 с учетом усреднения случайных погрешностей при предложении постоянства за T_{K1} систематических погрешностей, что обычно имеет место в реальности, сформируется код величины:

$k_{цАП}$ — расчетное значение коэффициента преобразования цифроаналогового преобразователя 18;

$k_{цАП}$ и $k_{АЦП}$ — систематические отклонения реальных значений коэффициентов преобразования соответственно цифроаналогового

и аналого-цифрового преобразователей 18 и 5 от расчетных.

После умножения Δk_{Σ} на $2/N_{TK1}$ код величины Δk коррекции одновременно с записью в регистр 14 заносится и в регистр 10 (фиг. 2р), где хранится до следующего интервала ее определения.

Корректирующий коэффициент $k_{кор}$ вводится для коррекции погрешности от отклонения от расчетного значения коэффициента преобразования цифро-аналогового преобразователя 18. Периодически, после периода T_{k1} выделяется период T_{k2} определения $k_{кор}$ (фиг. 2с), в течение которого на первый вход сложения дифференциального операционного усилителя 4 аналоговым коммутатором 2 подключается

$$N_{кор\Sigma} = N_{кор} \cdot N_{TK2} / 2,$$

$$N_{кор} = [U_0 + \Delta A_k + U_0 - (U_0 \cdot k_{AЦП} + \Delta A_{ЦП})(k_{ЦАП} + \Delta k_{ЦАП}) + \Delta \delta_{У} + \Delta A_{ЦП}] (k_{AЦП} + \Delta k_{AЦП}) - U_0 k_{AЦП} + U_0 k_{AЦП} - \Delta k \approx U_0 k_{AЦП} (1 - \Delta k_{ЦАП} / k_{ЦАП}). \quad (3)$$

После умножения $N_{кор\Sigma}$ на $2/NT_{k2}$ код $N_{кор}$ одновременно с записью в регистр 14 заносится и в регистр 13, после чего определяет адрес считывания блока 16 памяти, где по этому адресу предварительно записывается значение корректирующего коэффициента

$$k_{кор} = [1 + \Delta k_{ЦАП} / k_{ЦАП}]. \quad (4)$$

Введение в предлагаемое устройство корректирующих величин Δk и $k_{кор}$

$$N_{am} = \{ [a_m + \Delta a_k + U_0 - (N_{am-1} + \Delta A_{ЦП})(k_{ЦАП} + \Delta k_{mЦАП}) + \Delta \delta_{У} + \Delta A_{ЦП}] \times (k_{AЦП} + \Delta k_{AЦП}) + N_{am-1} - U_0 k_{AЦП} - \Delta k \} k_{кор} \approx a_m k_{AЦП} + (a_m - a_{m-1}) \times k_{AЦП} \cdot \Delta k_{AЦП} / k_{AЦП} + a_m - a_{m-1} k_{AЦП} \Delta k_{AЦП} / k_{AЦП} - a_{m-1} k_{AЦП} \Delta k_{AЦП} / k_{AЦП}^2 - a_{m-1} k_{AЦП} (\Delta k_{AЦП} / k_{AЦП}) \times (\Delta k_{AЦП} / k_{AЦП}), \quad (5)$$

где $\Delta k_{AЦПm}$ - отклонение коэффициента преобразования преобразователя 19 в m -ой точке дискретизации входного сигнала, учитывающее как мультипликативную погрешность, так

и напряжение U_0 с выхода источника 3 опорного напряжения, а в регистре 9 записывается код числа $U_0 \cdot k_{AЦП}$. Для этого в конце 1-го такта первого шага дискретизации периода T_{k2} в регистр 13 с выходов регистра 12 записывается код "1" (фиг. 2т), разрешающий выдачу на выходы блока 16 памяти кода $U_0 \cdot k_{AЦП}$, записанного в нем предварительно по адресу "1". С выходов блока 16 памяти код $U_0 \cdot k_{AЦП}$ переписывается в регистр 9 (фиг. 2и), после чего регистр 13 сбрасывается в "нулевое" состояние (фиг. 2п). Работа преобразователя в течение T_{k2} осуществляется аналогично таковой за T_{k1} . В результате, к концу преобразования в регистре 11 сформируется код величины:

30 в процессе преобразования входных сигналов на текущем (m -ом) шаге дискретизации совместно с введением отрицательной обратной связи с цифро-аналоговым преобразователем предыдущего результата преобразования и добавки опорного напряжения, что приводит к работе АЦП практически в окрестностях одной точки $U_0 \pm (a_m - a_{m-1})$, позволяет значительно уточнить результат преобразования a_m

и погрешность от нелинейности.

При этом, для периодических входных сигналов $U(t)$ и $i(t)$ относительная погрешность преобразования составит:

$$\delta \approx 2 \frac{\Delta k_{AЦП}}{k_{AЦП}} \frac{\Delta k_{AЦП}}{k_{AЦП}} + \frac{(\Delta k_{AЦП} i_{ф} + \Delta k_{AЦП} u_{ф}) \Delta k_{AЦП}}{k_{AЦП}^2}, \quad (6)$$

где $\Delta k_{\text{цнл-ср}}$ и $\Delta k_{\text{цдл-ср}}$ — средние значения отклонения коэффициента преобразования цифроаналогового преобразователя 18 от своего расчетного значения при преобразовании соответственно $i(t)$ и $u(t)$

Ф о р м у л а и з о б р е т е н и я

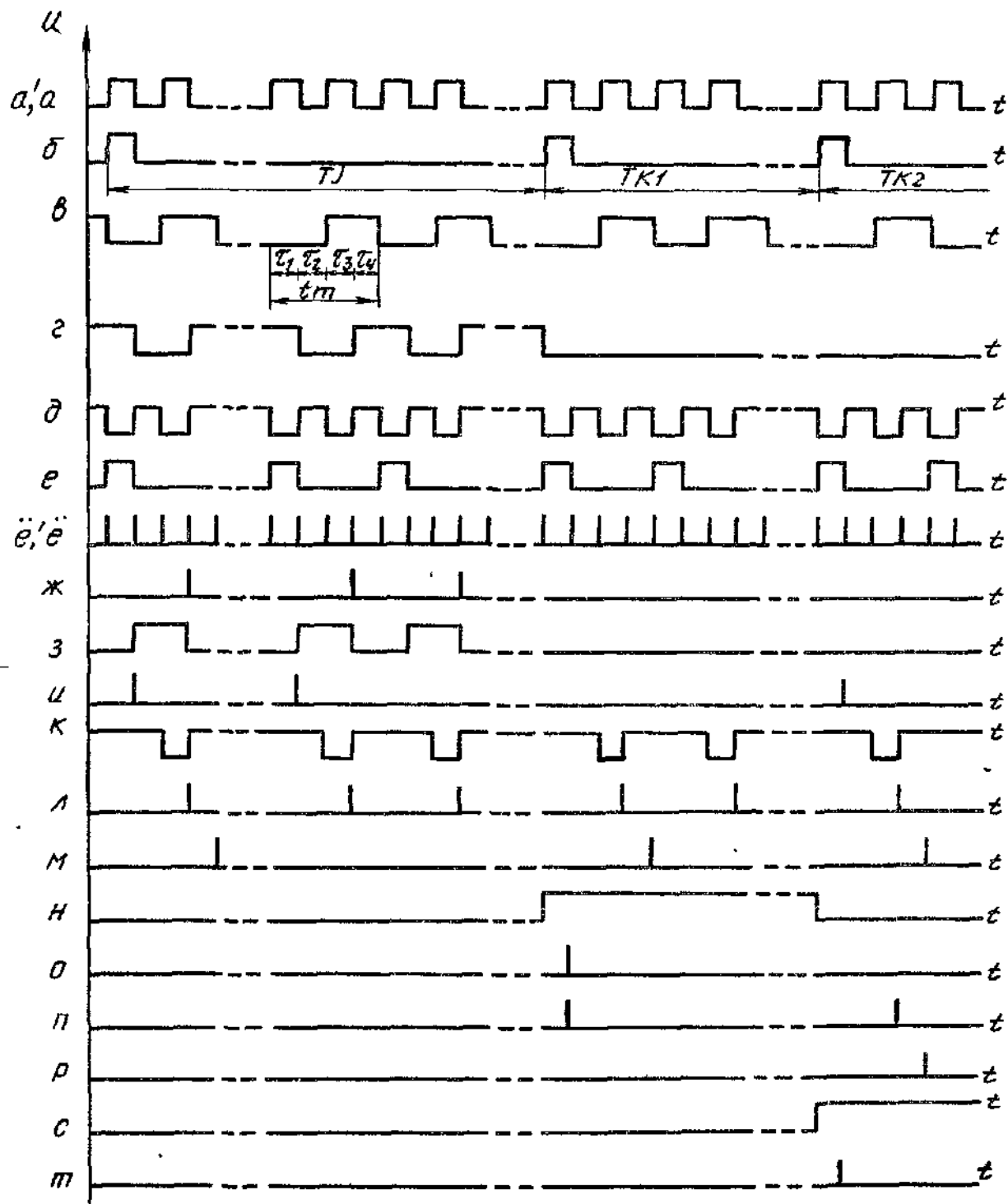
Преобразователь активной мощности в цифровой код, содержащий калиброванный резистор, аналоговый коммутатор, источник опорного напряжения, аналого-цифровой преобразователь, сумматор, умножитель, первый — шестой регистры, первый и второй блоки памяти, формирователь импульсов, генератор опорной частоты, первый и второй счетчики импульсов, элемент задержки и формирователь управляющих сигналов, причем первый вход аналогового коммутатора подключен через калиброванный резистор к входной шине тока и входу формирователя импульсов, а второй вход — к выходу источника опорного напряжения, выход генератора опорной частоты соединен с входом синхронизации формирователя импульсов, первым входом формирователя управляющих сигналов и входом первого счетчика импульсов, выходы разрядов которого подключены к входам первого регистра и вторым входам формирователя управляющих сигналов, а вход установки в начальное состояние — к входу второго счетчика импульсов и через элемент задержки — к входу управления записью первого регистра и выходу формирователя импульсов, третьи входы формирователя управляющих сигналов соединены с выходами разрядов второго счетчика импульсов, а выходы — соответственно с первым — третьим входами управления аналогового коммутатора, тактовым входом аналого-цифрового преобразователя, входами управления записью второго — шестого регистров и умножителя, входами разрешения считывания третьего регистра, сумматора, первого и второго блоков памяти, входами начальной установки четвертого, шестого регистров, входами выбора первого и второго каналов сумматора, входы

третьего канала которого подключены к выходам четвертого регистра, входы четвертого канала — к входам пятого регистра, а выходы — к входам первого канала умножителя и входам третьего, четвертого регистров, входы второго канала умножителя соединены с выходами первого и второго блоков памяти, а выходы первого и шестого регистров соединены с адресными входами соответственно первого и второго блоков памяти, от — л и ч а ю щ и й с я тем, что, с целью повышения точности преобразования, в него введены дифференциальный операционный усилитель, цифроаналоговый преобразователь, третий блок памяти, первый — третий селектор и седьмой регистр, причем третий и четвертый входы аналогового коммутатора подключены соответственно к входной шине напряжения и шине "Общей", первый и второй входы сложения и вход вычитания дифференциального операционного усилителя соединены с выходами аналогового коммутатора, источника опорного напряжения и цифроаналогового преобразователя соответственно, а выход — с входом аналого-цифрового преобразователя, выходы которого подключены к входам первого канала сумматора, входы второго канала которого соединены с выходами третьего регистра, входы третьего канала — с выходами первого канала первого и второго каналов второго селекторов, входы четвертого канала — с выходами третьего блока памяти и выходами первого канала третьего селектора, а выходы — с входами шестого регистра и выходами третьего канала первого селектора, выходы второго канала которого соединены с выходами первого канала второго селектора и входами цифроаналогового преобразователя, а входы — с выходами пятого регистра, входы второго канала умножителя подключены к входам второго регистра, выходы которого соединены с входами второго селектора, и выходам второго канала третьего селектора, выходы третьего канала которого соединены с входами седьмого регистра, а входы — с выходами умножителя, кроме того, четвертый вход управления аналогового коммутатора, входы управления первого — третьего селекторов,

вход управления записью седьмого регистра, входы установки в начальное состояние второго, третьего и пятого регистров, входы разрешения считывания четвертого регистра и

третьего постоянного запоминающего устройства подключены к соответствующим выходам формирователя управляющих сигналов.

5



Фиг 2

ВНИИПИ Заказ 7075/43 Тираж 711 Подписное

Произв.-полигр. пр-тие, г. Ужгород, ул. Проектная, 4

