



УКРАЇНА

(19) UA (11) 60398 (13) U
(51) МПК
G06F 15/16 (2006.01)МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) БАГАТОПРОЦЕСОРНА ОБЧИСЛЮВАЛЬНА СИСТЕМА

1

2

(21) u201007467

(22) 15.06.2010

(24) 25.06.2011

(46) 25.06.2011, Бюл.№ 12, 2011 р.

(72) ЖУКОВ ІГОР АНАТОЛІЙОВИЧ, КЛИМЕНКО
ІРИНА АНАТОЛІЇВНА, БІЛЯЄВ СЕРГІЙ МИКОЛА-
ЙОВИЧ

(73) НАЦІОНАЛЬНИЙ АВІАЦІЙНИЙ УНІВЕРСИТЕТ

(57) Багатопроцесорна обчислювальна система, що містить зв'язані між собою загальною шиною зовнішні пристрої й процесорні модулі, у склад кожного з яких входить процесор і зовнішні пристрої, об'єднані локальною шиною, кожний пристрій системи підключений до одного або декількох блоків розподіленого контролера пріоритетних переривань (КПП), у склад i-го блока КПП ($i=1...n$) входить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент І та тригер, вихід якого зв'язаний з першим входом елемента І i-го блока КПП, вихід якого через перший вхід елемента АБО підключений до входу блока переривань i-го блока КПП, другі входи кожного елемента І та керуючі входи кожного тригера підключені до керуючого виходу процесора, яка **відрізняється** тим, що у склад кожного блока КПП введені тригер початку групи, тригер кінця групи, контролер початку групи, контролер кінця групи, контролер передавання пріоритету, контролер прийому пріоритету, програмний інтерфейс, перший вихід якого підключений до входу тригера початку групи, вихід якого зв'язаний

з першим входом контролера прийому пріоритету і з першим входом контролера початку групи, вихід якого підключений до другого входу елемента АБО, другий вихід блока переривань підключений до першого входу контролера кінця групи, перший вихід якого зв'язаний з другим входом контролера початку циклу i+1-го блока КПП, другий вихід інтерфейсу підключений до входу тригера кінця групи, вихід якого зв'язаний з другим входом контролера кінця групи, при цьому другий вихід контролера кінця групи i-го зовнішнього пристрою пов'язаний з третіми входами контролерів початку групи всіх n зовнішніх пристроїв, а перший вихід контролера кінця групи n-го зовнішнього пристрою підключений до другого входу контролера початку групи 1-го зовнішнього пристрою, третій вихід блока пріоритетів підключений до першого входу контролера передавання пріоритету, на другий вхід якого підключений вихід тригера кінця групи, а перший вихід контролера передавання пріоритету підключений до першого входу контролера прийому пріоритету i+1-го блока КПП, при цьому другий вихід контролера передавання пріоритету i-го зовнішнього пристрою пов'язаний з другими входами контролерів прийому пріоритету всіх n блоків КПП, виходи яких приєднані до інформаційних входів тригерів, а перший вихід контролера передавання пріоритету n-го блока КПП підключений до першого входу контролера прийому пріоритету 1-го блока КПП.

Корисна модель стосується обчислювальної техніки і може бути застосована при створенні багатопроцесорних обчислювальних систем.

Відома обчислювальна система із загальною шиною, яка містить процесори, загальну шину та зовнішні пристрої [1] (див. фіг.1. Обчислювальна система з розподіленим контролером переривань). Процесор (П) зв'язаний із зовнішніми пристроями за допомогою загальної шини. У системі зовнішні векторні переривання реалізуються за допомогою розподіленого контролера переривань. До складу кожного зовнішнього пристрою входить

блок переривань (БП). Вкупі ці блоки реалізують розподілений контролер переривань. Блок переривань зовнішнього пристрою, що готовий до обміну даними, видає сигнал запиту переривання (ЗП) на загальну лінію вимоги переривань (ВП). Технологічні особливості елементної бази повинні допускати таке об'єднання виходів елементів (наприклад, використовуються елементи з відкритим колектором, відкритим стоком). Відповідний сигнал процесора підтвердження переривання (ПП) поширюється послідовно через блоки переривань, що утворюють так називаний пріоритетний ланцюг

(13) U

(11) 60398

(19) UA

жок (daisy chain). Елементи ланцюжка в кожному блоці пропускають сигнал ПП чи розривають ланцюжок. Пріоритетний ланцюжок розривається на першому (по шляху поширення сигналу) зовнішньому пристрою, що виставляв сигнал запиту переривання. Даний активний зовнішній пристрій видає на загальну шину вектор переривання, що приймається процесором. Після цього процесор обслуговує запит зовнішнього пристрою.

До достоїнств розподілених арбітрів можна віднести: невелику кількість ліній зв'язку в шині управління; простоту масштабування системи що до кількості зовнішніх пристроїв.

Недоліком відомої системи із розподіленим контролером переривань є використання фіксованих рівнів пріоритетів запитів, які не можна змінювати динамічно. В системі даного класу реалізовані абсолютні географічні пріоритети. Використання фіксованих рівнів пріоритетів не забезпечує гарантованого обслуговування заявок від зовнішніх пристроїв на визначеному відрізку часу. Заявки з низьким рівнем пріоритету при великій інтенсивності заявок з більшими пріоритетами можуть не виконуватися тривалий час (ситуація «starve»). Ця обставина може привести до уповільнення обчислювального процесу, а іноді - до тупикової ситуації.

Відома обчислювальна система [2] (див. фіг.2), що містить процесор і зовнішні пристрої, зв'язані між собою загальною шиною, кожний i -й зовнішній пристрій ($i=1...n$) містить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент І та тригер, вихід якого зв'язаний з інформаційним входом тригера $i+1$ -го зовнішнього пристрою та з першим входом елемента І i -го зовнішнього пристрою, вихід якого через перший вхід елемента АБО підключений до входу блоку переривань i -го зовнішнього пристрою, другий вихід якого зв'язаний з другим входом елемента АБО $i+1$ -го зовнішнього пристрою, другі входи кожного елемента І та кожного тригера підключені до керуючого виходу процесора, причому вихід тригера та другий вихід блоку переривань n -го зовнішнього пристрою підключені відповідно до інформаційного входу тригера та другого входу елемента АБО 1-го зовнішнього пристрою.

До достоїнств такої системи належить реалізація пріоритетів, що динамічно змінюються, при цьому після виконання кожного циклу обробки переривань від i -го зовнішнього пристрою максимальний пріоритет передається наступному ($i+1$)-му зовнішньому пристрою. В однорідних системах така реалізація обробки переривань надає можливість гарантованого обслуговування кожного зовнішнього пристрою у ланцюзі.

Недоліком відомої системи є низька швидкість, що обумовлена затримкою початку обслуговування переривань в неоднорідних системах.

Найбільш близьким до винаходу по технічній сутності є обчислювальна система [3] (див. фіг.3), що містить процесор і зовнішні пристрої, зв'язані між собою загальною шиною, кожний i -й зовнішній пристрій ($i=1...n$) містить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент І та тригер, вихід якого зв'язаний з першим входом елемента І i -го блоку КПП, вихід якого через перший вхід елемента АБО підключений до входу блоку переривань i -го блоку КПП, другі входи кожного елемента І та керуючі входи кожного тригера підключені до керуючого виходу процесо-

якого зв'язаний з першим входом елемента І i -го зовнішнього пристрою, вихід якого через перший вхід елемента АБО підключений до входу блоку переривань i -го зовнішнього пристрою, другий вихід якого зв'язаний з другим входом елемента АБО $i+1$ -го зовнішнього пристрою, другі входи кожного елемента І та керуючі входи кожного тригера підключені до керуючого виходу процесора, причому другий вихід блоку переривань n -го зовнішнього пристрою підключений до другого входу елемента АБО 1-го зовнішнього пристрою, блок переривань кожного i -го зовнішнього пристрою ($i=1...n-1$) має третій вихід, підключений до інформаційного входу тригера $i+1$ -го зовнішнього пристрою, причому блок переривань n -го зовнішнього пристрою має третій вихід, що підключений до інформаційного входу тригера 1-го зовнішнього пристрою.

Недоліком відомої системи є низька швидкість, що обумовлено затримкою початку обслуговування переривань. В системах управління, що вирішують різного роду задачі управління в тому числі і траєкторні задачі, цикли управління характеризуються своєю неоднорідністю. Таким чином у визначений момент часу виконується опитування та обробка переривань від певної кількості ЗП, що впливають на стратегію управління. Інші ж ЗП знаходяться у пасивному стані. В багатопроекторних системах із синхронізацією роботи процесорів за каналами управління джерелами переривань є інші процесори. Під час етапу обробки даних, що є частиною циклу управління, процесори отримують вимоги переривань тільки від інших процесорів в системі. У відомій системі відбувається обробка всіх джерел переривань за пріоритетним ланцюжком, незалежно від їх участі у циклі управління в даний момент часу. За великої кількості зовнішніх пристроїв і процесорів в обчислювальній системі довжина пріоритетного ланцюжка визначає затримку початку обслуговування переривань.

В основу корисної моделі поставлено задачу удосконалення багатопроекторної обчислювальної системи у режимі переривань шляхом зменшення затримки початку обслуговування переривань, підвищення гарантій обслуговування переривань від всіх пристроїв за певний проміжок часу за рахунок динамічного скорочення пріоритетного ланцюжка і видалення із процесу обробки переривань пасивних пристроїв.

Встановлена задача виконується тим, що в багатопроекторній обчислювальній системі, що містить зв'язані між собою загальною шиною зовнішні пристрої й процесорні модулі, у склад кожного з яких входить процесор і зовнішні пристрої, об'єднані локальною шиною, кожний пристрій системи підключений до одного або декількох блоків розподіленого контролера пріоритетних переривань (КПП), у склад кожного з блоків КПП входить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент І та тригер, вихід якого зв'язаний з першим входом елемента І i -го блоку КПП, вихід якого через перший вхід елемента АБО підключений до входу блоку переривань i -го блоку КПП, другі входи кожного елемента І та керуючі входи кожного тригера підключені до керуючого виходу процесо-

ра, новим є те, що у склад кожного блоку КПП введені тригер початку групи, тригер кінця групи, контролер початку групи, контролер кінця групи, контролер передавання пріоритету, контролер прийому пріоритету, програмний інтерфейс, перший вихід якого підключений до входу тригера початку групи, вихід якого зв'язаний з першим входом контролера прийому пріоритету і з першим входом контролера початку групи, вихід якого підключений до другого входу елемента АБО, другий вихід блоку переривань підключений до першого входу контролера кінця групи, перший вихід якого зв'язаний з другим входом контролеру початку циклу $i+1$ -го блоку КПП, другий вихід інтерфейсу підключений до входу тригера кінця групи, вихід якого зв'язаний з другим входом контролера кінця групи, при цьому другий вихід контролера кінця групи i -го зовнішнього пристрою пов'язаний з третіми входами контролерів початку групи всіх n зовнішніх пристроїв, а перший вихід контролера кінця групи n -го зовнішнього пристрою підключений до другого входу контролеру початку групи 1-го зовнішнього пристрою, третій вихід блоку пріоритетів підключений до першого входу контролера передавання пріоритету, на другий вхід якого підключений вихід тригера кінця групи, а перший вихід контролеру передавання пріоритету підключений до першого входу контролера прийому пріоритету $i+1$ -го блоку КПП, при цьому другий вихід контролера передавання пріоритету i -го зовнішнього пристрою пов'язаний з другими входами контролерів прийому пріоритету всіх n блоків КПП, виходи яких приєднані до інформаційних входів тригерів, а перший вихід контролера передавання пріоритету n -го блоку КПП підключений до першого входу контролера прийому пріоритету 1-го блоку КПП.

На фіг.4 показана структурна схема багатопроцесорної обчислювальної системи; на фіг.5 - приклад побудови блоку переривань.

Багатопроцесорна обчислювальна система (фіг.4) містить загальну шину 1, до якої підключені зовнішні пристрої 2.1, ..., 2.l і процесорні модулі 3.1, ..., 3.m. В склад кожного p -го процесорного модуля ($p = 1, m$, де m – загальна кількість процесорів) входить процесор 4.p і зовнішні пристрої 2.d, ..., 2.f ($d < f < l$, де l – загальна кількість зовнішніх пристроїв) поєднані локальною шиною 5.p, до якої також приєднані блоки розподіленого контролера пріоритетних переривань (РКПП) 6.1, ..., 6.n (де n – кількість блоків КПП у пріоритетному ланцюжку, $n < (m \times m + m \times l)$). До складу кожного i -го блоку КПП входить блок переривань 7.i, програмний інтерфейс 8.i, тригер початку групи 9.i, тригер кінця групи 10.i, контролер початку групи 11.i, контролер кінця групи 12.i, контролер передавання пріоритету 13.i, контролер прийому пріоритету 14.i, елемент І 15.i, елемент АБО 16.i та тригер 17.i (структура програмного інтерфейсу та апаратура зовнішніх пристроїв, які не стосується реалізації переривань на фіг.4 умовно не показані).

Виходи 18.i блоків переривань 7.i об'єднані у єдину лінію і підключені до входу вимоги переривань (ВП) процесора 4, вихід підтвердження переривання (ПП) якого підведений до перших входів

елементів І 15.i. (Технологічні особливості елементної бази повинні допускати об'єднання виходів 18.i. Наприклад, використовуються елементи з відкритим колектором, а сигнали вимоги переривань мають активний низький рівень).

Вихід тригера 17.i підключений до другого входу елемента І 15.i, вихід якого зв'язаний з першим входом елемента АБО 16.i, який своїм виходом підключений до входу 19.i блока переривань 7.i.

Перший вихід програмного інтерфейсу 8.i підключений до входу тригера початку групи 9.i, який своїм виходом підключений до входу 13.i контролера початку групи 11.i та другого входу елемента І 15.i, вихід якого пов'язаний із першим входом елемента АБО 16.i, який своїм виходом підключений до входу 19.i блоку переривань 7.i. Вихід 20.i блока переривань 7.i підведений до першого входу контролера кінця групи 12.i, вихід 21.i якого зв'язаний з входом 22.i+1-го зовнішнього пристрою 6.(i+1). Вихід 21.n контролера кінця групи 12.n підключений до входу 22.1 контролеру початку групи 11.1, а виходи 23.i контролерів кінця групи 12.i поєднані в єдину лінію і підключені до входів 24.i контролерів початку групи 11.i всіх n зовнішніх пристроїв 6.i. Вихід 25.i контролера початку групи 11.i підключений до другого входу елемента АБО 16.i.

Другий вихід програмного інтерфейсу 8.i підключений до входу тригера кінця групи 10.i, який своїм виходом зв'язаний з другим входом контролера кінця групи 12.i.

Таким чином, блоки переривань 7.i через контролери 11.i і 12.i та елемент АБО 16.i об'єднані у кільце, за рахунок управляючих сигналів, що надходять на управляючі входи контролерів початку групи 11.i та контролеру кінця групи 12.i, у склад кільця можуть входити різні БПП 6.i.

Вихід тригера кінця групи 10.i підключений до першого входу комутатора передавання пріоритету 13.i, до другого входу якого підключений вихід 26.i блоку пріоритету 7.i. Вихід 27.i контролера передавання пріоритету 13.i підключений до входу 28.(i+1) контролера прийому пріоритету 14.(i+1)-го блоку КПП 6. Виходи 29.i контролерів передавання пріоритету 13.i поєднані в єдину лінію і підключені до входів 30.i контролерів прийому пріоритету 14.i всіх n зовнішніх пристроїв 6. Вихід 27.n контролера передавання пріоритету 13.n останнього у ланцюзі блоку КПП 6.n підключений до входу 28.1 контролера прийому пріоритету 14.1 першого у ланцюзі блоку КПП 6.1.

Як блоки переривань 7.i можуть використовуватися стандартні блоки розподілених систем переривань. Приклад логічної організації таких блоків показаний у вигляді функціональної схеми на фіг.5.

Обчислювальна система працює наступним чином.

У певний проміжок часу система обслуговує запити від визначеної кількості КПП 6.1, ..., 6.n. Таким чином за допомогою управляючої програми інтерфейс 8.i зовнішнього пристрою 6.n виставляє "одиначний" сигнал на тригері початку групи 9.i, а інтерфейс 8.i КПП 6.n виставляє "одиначний" сигнал на тригері кінця групи 10.i. У кожний момент

часу тільки в одному із тригерів 9.1,..., 9.i та тільки в одному із тригерів 10.1,..., 10.i записана "одиниця" (наприклад, на початку обчислень - у тригері 9.1 та у тригері 9.i). Всі інші тригери встановлені в "нуль".

У системі реалізовано динамічний пріоритет зовнішніх пристроїв 2.l. У кожний момент часу тільки в одному із тригерів 17.1,..., 17.i записана "одиниця" (наприклад, на початку обчислень - у тригері 17.1). Всі інші тригери встановлені в "нуль". Найвищий пріоритет має зовнішній пристрій 2.l, тригер якого встановлений в "одиницю".

Сигнал обслуговування переривання ПП від процесора 4 буде поширюватись вздовж пріоритетного ланцюжка, що утворюють зовнішні пристрої поєднані у кільце розпочинаючи від зовнішнього пристрою 2.l і закінчуючи зовнішнім пристроєм 2.k. При цьому початок пріоритетного ланцюжка визначає "одиниця" на виході тригеру 17.i.

Після обслуговування 6.n пристрою максимальний пріоритет передається наступному у ланцюзі блоку КПП 6.(i+1). Якщо у поточному такті обслуговувався останній у ланцюзі пристрій, максимальний пріоритет передається з виходу 27.n контролера передавання пріоритету блоку КПП кінця групи 6.n на вхід 28.1 контролера приймання пріоритету першого у групі блоку КПП 6.1.

Контролер передавання пріоритету 13.i в залежності від значення встановленого на тригері кінця групи КГ.i виконує передавання максимального пріоритету наступному у ланцюзі блоку КПП 14.(i+1), або першому у групі блоку КПП 14.1. Контролер прийому пріоритету приймає сигнал максимального пріоритету від попереднього у ланцюзі блоку КПП 13.(i-1) або від останнього у групі блоку КПП 13.i залежно від значення встановленого на тригері початку групи ПГ.i. Структура контролерів передавання та прийому пріоритету наведена на фіг.6 та фіг.7 відповідно.

Готовий до обміну інформацією з процесором 4 будь-який КПП 6.j ($j \in i$) із складу означеного ланцюжка КПП 6.1, ..., 6.n формує сигнал запиту переривання (ЗП.j) на виході 18.j. При наявності такого сигналу розривається пріоритетний ланцюжок між входом 19.i та виходом 20.i блоку переривань 7.i (фіг.5). Якщо є хоч один сигнал на виходах 18.1, ..., 18.i, формується загальний сигнал вимоги переривань на вході ВП процесора 4. Після закінчення чергового циклу виконання команди процесор перериває виконання основної програми і у відповідь на сигнал ВП формує сигнал підтвердження переривання на виході ПП. Цей сигнал потрапляє у пріоритетний ланцюжок, замкнутий у кільце, починаючи з зовнішнього пристрою з найбільшим пріоритетом, так як відкритим є тільки один елемент l 15.i в цьому КПП за рахунок "одиничного" сигналу на виході тригеру 17.i.

Сигнал ПП розповсюджується по ланцюжку тільки до першого на його шляху блока переривань 7.i, який виставив сигнал запиту переривання ЗП.i. У цьому блоці 7.i формується вектор переривання, який видається на локальну шину 5 та приймається в процесор 4 (див. фіг.4). Після цього процесор починає виконувати програму обслуговування переривання і знімає сигнал ПП.

Програмний інтерфейс управляється основною програмою зі сторони процесора, тобто знання тригерів початку і кінця групи встановлюються в програмному режимі відповідно до виконуваних обчислювальною системою функцій в даний час.

Контролери початку групи ПГ.i в залежності від управляючого сигналу ПГ.i (Початок групи, див. фіг.8) від тригеру початку групи 9.i i-го КПП, переключаються або в стан наскрізної передачі сигналу по ланцюжку, у випадку якщо тригер 9.i встановлений в "нульовий" стан, і даний зовнішній пристрій розташований всередині кільця, або в стан початку ланцюжка, у випадку якщо тригер 9.i встановлений в "одиничний" стан, і даний КПП розташований на початку кільця. У першому випадку пріоритетний ланцюжок замикається між входом 22.i та виходом 25.i контролера початку групи, в другому - між входом 22.i та виходом 25.i контролера початку групи. Структурна схема контролеру початку групи наведена на фіг.8.

Контролери кінця групи 12.i в залежності від управляючого сигналу КГ.i (Кінець групи, див. фіг.9) від тригеру кінця групи 10.i переключається або в стан наскрізної передачі сигналу по ланцюжку, у випадку якщо тригер 10.i встановлений в "нульовий" стан, і даний зовнішній пристрій розташований всередині кільця, або в стан кінця ланцюжка, у випадку якщо тригер 10.i встановлений в "одиничний" стан, і даний зовнішній пристрій розташований в кінці кільця. У першому випадку пріоритетний ланцюжок замикається між входом 20.i та виходом 21.i контролера кінця групи, в другому - між входом 20.i та виходом 23.i контролера кінця групи. Структурна схема контролера кінця групи зображена на фіг.9.

Таким чином, в обчислювальній системі, що пропонується, забезпечується динамічне формування пріоритетного ланцюжка, що забезпечує виключення пасивних пристроїв із складу таких, що обпитуються, за рахунок чого зменшується час обробки переривань в обчислювальній системі. Для підвищення швидкодії в системі реалізовано динамічне перенесення початку пріоритетного ланцюжка в межах означеної групи блоків КПП.

Порівняємо відому систему та систему, що пропонується, за ефективністю реалізації переривань. Ефективність системи переривань можна оцінити по величині часу затримки початку обслуговування. Взаємодію зовнішніх пристроїв та процесорів під час реалізації переривань можна розглядати як замкнену мережу масового обслуговування.

У обчислювальній системі з одним пріоритетним ланцюжком КПП зовнішні пристрої мають пріоритети, що визначаються їх позиціями в ланцюжку (ЗП 2.g має найвищий, а ЗП 2.k - найнижчий пріоритет).

Будемо вважати, що заявки мають відносні пріоритети, потік заявок є стаціонарним, а час обслуговування для всіх заявок однаковий. Тоді середній час чекання обслуговування складе [3]

$$t_i^{\Phi} = \frac{\sum_{j=1}^n \rho_j \vartheta_j (1 + v_j^2)}{2(1 - R_{i-1})(1 - R_i)} \quad (1)$$

де $\rho_j = \lambda_j t_j$ - завантаження системи обслуговуванням заявок j -го пріоритету (λ_j - інтенсивність потоку заявок j -го пріоритету, t_j - час обслуговування заявок); $R_{i-1} = \sum_{k=1}^{i-1} \rho_k$ і $R_i = \sum_{k=1}^i \rho_k$ - сумар-

не завантаження системи обслуговуванням заявок відповідно $(i-1)$ і i старших пріоритетів; ϑ_j - середній час обслуговування заявок j -го пріоритету; v_j - коефіцієнт варіації, що визначає відношення середньоквадратичного відхилення тривалості обслуговування до його математичного чекання.

Для визначеності будемо вважати, що час обслуговування заявок у даному випадку постійний і дорівнює τ (коефіцієнти варіації $v_j=0$), з (1) одержимо

$$t_i = \frac{R\tau}{2(1 - R_{i-1})(1 - R_i)} \quad (2)$$

де $R = \sum_{j=1}^n \rho_j$ - сумарне завантаження системи,

причому $R < 1$.

У системі, що запропонована, початок пріоритетного ланцюжка автоматично переноситься в межах групи блоків КПП. Таким чином досягається зменшення кількості обслуговуваних пристроїв в ланцюжку. Як видно з виразу (2) час обслуговування заявок напряму залежить від сумарної завантаженості системи, яка в свій час залежить від кількості обслуговуваних пристроїв.

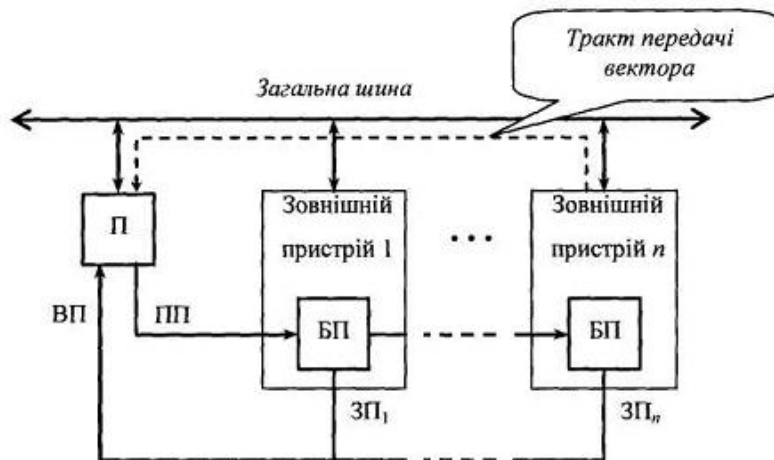
Використання запропонованої реалізації переривань забезпечує на визначеному відрізку часу

підвищення ефективності обслуговування заявок і створює передумови для зменшення часу обробки інформації в обчислювальних системах. Динамічне зменшення кількості обслуговуваних пристроїв під час роботи системи забезпечує мінімізацію максимального часу чекання обслуговування заявок. Це є важливим чинником для систем реального часу, коли тривалість перетворення інформації обмежується зовнішніми факторами. Динамічний пріоритет забезпечує гарантоване обслуговування кожного пристрою в межах означеної групи на визначеному проміжку часу.

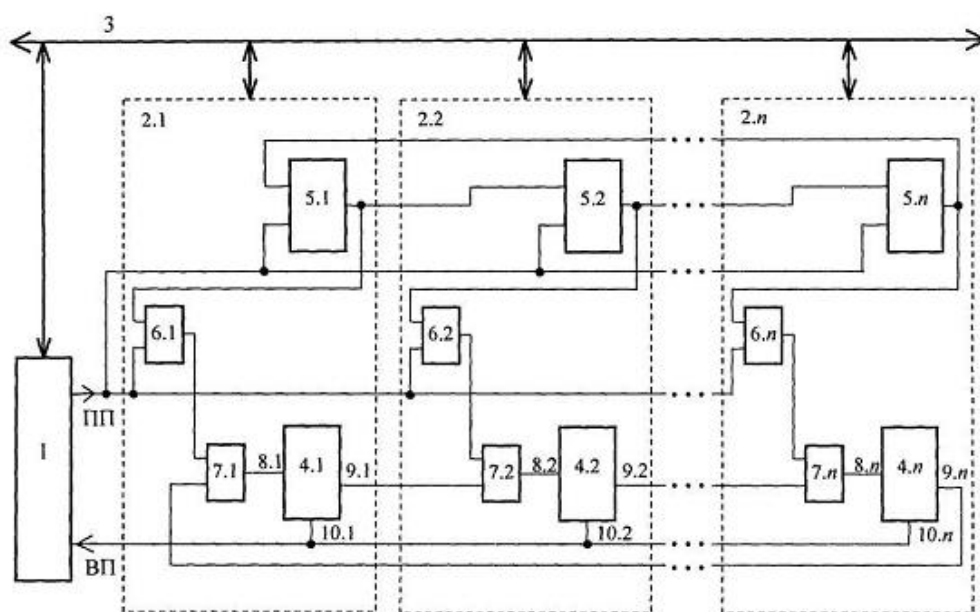
Таким чином, запропонований підхід до обслуговування зовнішніх векторних переривань дозволяє усунути основні недоліки розподілених арбітрів і може бути ефективно використаний для побудови систем з відкритою архітектурою, що забезпечують простоту нарощування числа модулів.

Літературні джерела:

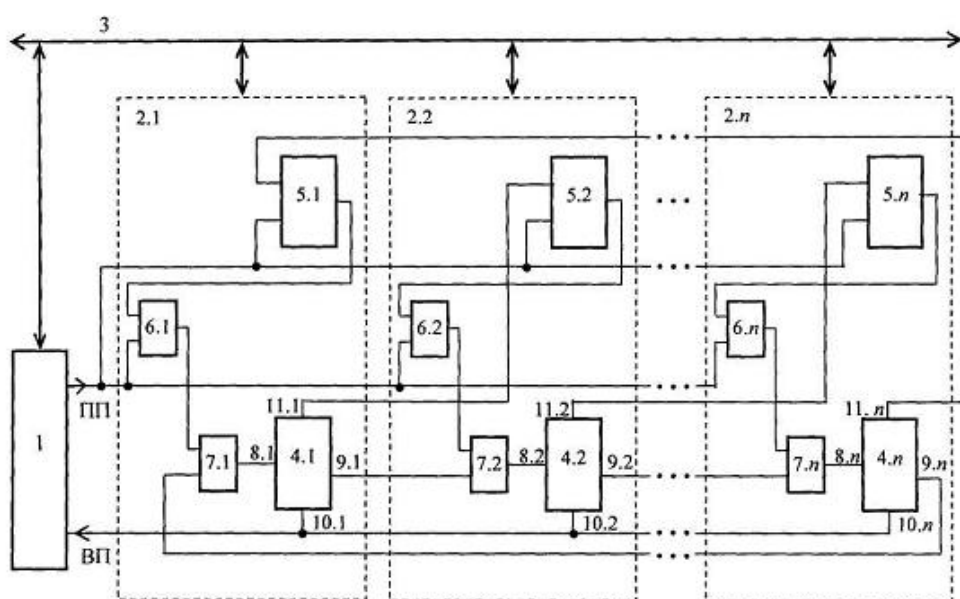
1. Организация ЭВМ. 5-е издание. / К. Хама-хер, З. Вранишеч, С. Заки. - СПб.: Питер; Киев: BHV, 2003. - С. 242. рис. 4.8.
2. Дек. пат. №104444 України, МКВ G 06 F 15/16. Обчислювальна система / І.А. Жуков, В.І. Жабін, І.А. Клименко, В.В. Ткаченко (Україна). - №200504117: Заявлено 29.04.2005; Опубл. 15.11.2005, Бюл. №11. - 8с.
3. Пат. на корисну модель № 25009 України, МПК (2006) G06A 15/16. Обчислювальна система / І.А. Жуков, В.І. Жабін, І.А. Клименко, В.В. Ткаченко (Україна). - №u200702005. Заявлено 26.02.2007; Опубл. 25.07.2007, Бюл № 11. - 8с.
4. Основы теории вычислительных систем. Под ред. С.А. Майорова. М., "Высш. школа", 1978. - С. 74, формула 3.17.



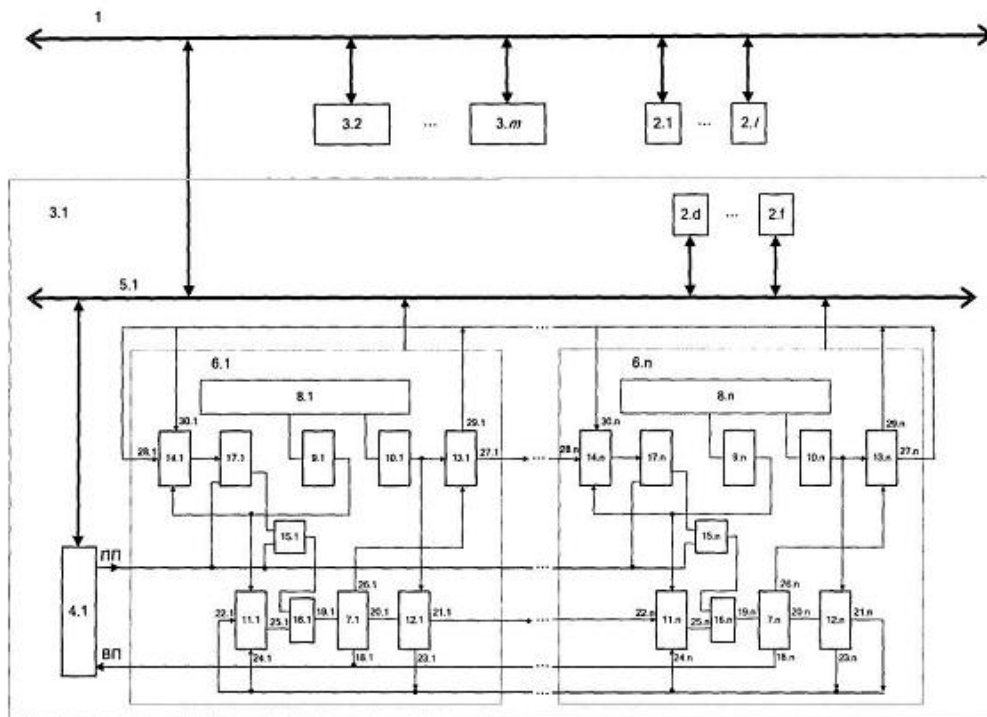
Фіг. 1



Фиг. 2



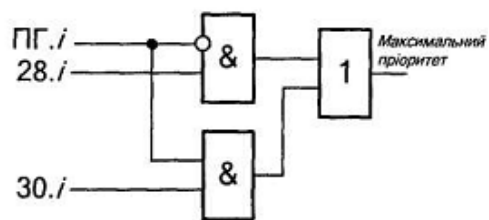
Фиг. 3



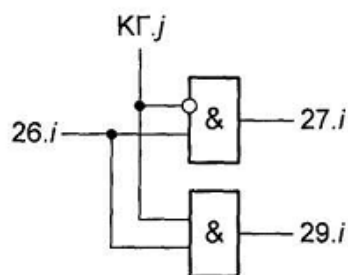
Фіг. 4



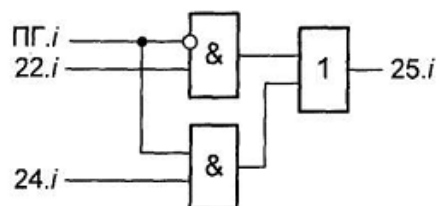
Фіг. 5



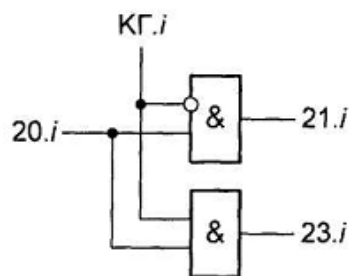
Фиг. 6



Фиг. 7



Фиг. 8



Фиг. 9