



УКРАЇНА

(19) UA

(11) 57155

(13) C2

(51) 7 G06F13/40

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ НА ВІНАХІД

(54) ІНТЕРФЕЙСНА СХЕМА І СПОСІБ ПЕРЕДАЧІ ДАНИХ МІЖ ПОСЛІДОВНИМ ІНТЕРФЕЙСОМ І ПРОЦЕСОРОМ

1

2

(21) 2001020776

(22) 05 08 1999

(24) 16 06 2003

(86) PCT/EP99/05679, 05 08 1999

(31) 98114750 7

(32) 05 08 1998

(33) EP

(46) 16 06 2003, Бюл. № 6, 2003 р.

(72) Клоза Клаус, DE, Хофманн Харальд, DE

(73) ІНФІНЕОН ТЕКНОЛОДЖІЗ АГ, DE

(56) EP 0290172, G06F 5/00, 5/06, 09 11 1988

(57) 1 Інтерфейсна схема для передачі даних через послідовний інтерфейс від процесора і до процесора, яка відрізняється тим, що між послідовним інтерфейсом і процесором встановлений лише один запам'ятовуючий пристрій об'ємом на кілька слів шини чи процесора, причому запам'ятовуючий пристрій виконаний з можливістю здійснення запису і зчитування послідовно або побітно

2 Схема за п 1, яка відрізняється тим, що запам'ятовуючий пристрій зворотного магазинного типу містить вказівник запису і вказівник зчитування, здатні окремо адресувати кожен біт або кожне слово (наприклад байт)

3 Схема за п 1 або 2, яка відрізняється тим, що процесор виконаний з можливістю переведення в режим економії струму (режим "очікування")

4 Схема за одним із пп 1-3, яка відрізняється тим, що в запам'ятовуючий пристрій зворотного магазинного типу вбудовано компаратор

5 Схема за п 4, яка відрізняється тим, що компаратор містить просту логічну схему (50), виконану з можливістю автоматичного порівняння кожного прийнятого біта (2) з вмістом комірки (1) запам'ятовуючого пристрою зворотного магазинного типу, в яку має бути записаний прийнятий біт (2)

6 Схема за одним із пунктів 1-5, яка відрізняється тим, що запам'ятовуючий пристрій зворотного магазинного типу інтегрований в процесорний модуль (34)

7 Схема за одним із пунктів 1-5, яка відрізняється тим, що запам'ятовуючий пристрій зворотного магазинного типу інтегрований в приймальний модуль (40)

8 Схема за одним із пунктів 1-5, яка відрізняється

ся тим, що запам'ятовуючий пристрій зворотного магазинного типу реалізований з використанням комірок стандартної пам'яті з довільною вибіркою в адресному полі процесора

9 Схема за одним із пунктів 1-8, яка відрізняється тим, що додатково до запам'ятовуючого пристрою зворотного магазинного типу вона містить модуль формування контрольної суми

10 Схема за п 9, яка відрізняється тим, що додатково до модуля формування контрольної суми вона містить компаратор, виконаний з можливістю порівняння контрольної суми прийнятих даних з очікуваною попередньо вирахованою контрольною сумою

11 Схема за одним із пунктів 1-10, яка відрізняється тим, що запам'ятовуючий пристрій зворотного магазинного типу виконаний у формі кільцевої структури

12 Схема за одним із пунктів 1-11, яка відрізняється тим, що запам'ятовуючий пристрій зворотного магазинного типу містить пристрій контролю переповнення, виконаний з можливістю активізації процесора при загрози переповнення запам'ятовуючого пристрою зворотного магазинного типу

13 Спосіб передачі даних між послідовним інтерфейсом і процесором, який відрізняється тим, що дані послідовно побітно приймають і записують у запам'ятовуючий пристрій зворотного магазинного типу і з нього за допомогою процесора знову побайтно зчитують, або за допомогою процесора побайтно записують у запам'ятовуючий пристрій зворотного магазинного типу і звідти побітно передають

14 Спосіб за п 13, який відрізняється тим, що запис даних до запам'ятовуючого пристрою зворотного магазинного типу і зчитування даних з нього здійснюють процесором лише послідовно шляхом автоматичного встановлення вказівників запису і зчитування запам'ятовуючого пристрою зворотного магазинного типу без навантаження процесора

15 Спосіб за п 13, який відрізняється тим, що процесором вивільняють вказівники запису і зчитування запам'ятовуючого пристрою зворотного магазинного типу

16 Спосіб за п 13 або 15, який відрізняється

(13) C2

(11) 57155

(19) UA

тим, що як окремі комірки запам'ятовуючого пристрою зворотного магазинного типу використовують елементи пам'яті з довільною вибіркою із власного адресного поля процесора, операції запису і зчитування стосовно яких здійснюються за допомогою процесора

17 Спосіб за одним із пунктів 13 - 16, який відрізняється тим, що здійснюють автоматичне порівняння даних, причому очікувані дані записують до певних комірок запам'ятовуючого пристрою зворотного магазинного типу і за допомогою простої логічної схеми (50) кожен прийнятий біт (2) порівнюють із вмістом комірки (51) пам'яті запам'ятовуючого пристрою зворотного магазинного типу, до якої він має бути записаний

18 Спосіб за п. 17, який відрізняється тим, що за допомогою вказівника (53) запису запам'ятовуючого пристрою здійснюють як адресування очікуваного біта, з яким має бути порівняний прийнятий біт, так і адресування прийнятого біта (2), що має бути записаний до запам'ятовуючого пристрою

19 Спосіб за п. 17 або 18, який відрізняється тим, що після порівняння всіх бітів одного байта поставлений у відповідність даному байту біт (4) встановлюють у стан логічного нуля, якщо всі біти однакові, і у стан логічної одиниці в іншому разі

20 Спосіб за п. 19, який відрізняється тим, що до бітів, поставлених у відповідність байтам, здійснюють побайтний доступ процесором

21 Спосіб за одним із пунктів 13-20, який відрізняється тим, що процесор під час передачі даних перемикають у режим економії струму

22 Спосіб за п. 21, який відрізняється тим, що процесор активізують при загрозі переповнення запам'ятовуючого пристрою зворотного магазинного типу

23 Спосіб за одним із пунктів 13-16, який відрізняється тим, що здійснюють порівняння даних, при якому автоматично порівнюють контрольну суму прийнятих даних з попередньо вирахованою контрольною сумою очікуваних даних

24 Спосіб за одним із пунктів 21-23, який відрізняється тим, що передачу даних із запам'ятовуючого пристрою зворотного магазинного типу здійснюють в час, коли процесор перебуває в режимі економії споживаного струму без активізації процесора

25 Спосіб за одним із пунктів 21-24, який відрізняється тим, що після передачі даних здійснюють автоматичне перемикання в режим прийому даних без активізації процесора

Винахід стосується інтерфейсної схеми для передачі даних через послідовний інтерфейс від і до процесора, а також способу передачі даних між послідовним інтерфейсом і процесором

Даний винахід має служити для послідовної, зокрема безпроводної передачі даних до процесора, розміщеного, наприклад, на чіп-картці. Особливо придатний цей винахід для безпроводної передачі даних між пристроєм для зчитування карток і безконтактною картою з процесором

В цих випадках застосування процесор має бути розвантажений, щоб при обміні даними міг бути використаний процесор, керований тактовими імпульсами з меншою частотою. Завдяки цьому споживання струму має знизитися (споживання струму пропорційне тактовій частоті). Крім того, процесор має якомога частіше і на якомога більш тривалий час перемикатися у режим очікування, або так званий режим Stand-by, в якому процесор не працює ("спить") і тому споживає значно менший струм.

Згідно з відомим рівнем техніки передачу даних між послідовним інтерфейсом і процесором здійснюють за допомогою паралельно-послідовного або послідовно-паралельного перетворення у так званому універсальному асинхронному приймачі/передавачі (УАПП) (UART = Universal Asynchronous Receiver Transmitter). Цей приймач/передавач зазвичай реалізують у вигляді зсувного регістра на стороні, до якої приєднаний, наприклад, приймач/передавач безпроводної передачі. В цьому зсувному регістрі побітно може бути здійснений запис (при прийомі) і зчитування (при передачі). Процесор мусить на іншій стороні УАПП відповідно до використовуваного протоколу передачі даних паралельно і синхронно приймати дані від УАПП або передавати їх (див

фіг 1 і 2). Це висуває високі вимоги до процесора стосовно роботи в реальному часі. Такі високі вимоги стосовно роботи в реальному часі вступають у протиріччя з вимогою низького струму споживання і низької ціни. Саме в безконтактних чіп-картках мають бути застосовані процесори, управління якими здійснюється якомога простіше і з якомога нижчою тактовою частотою, тому вони споживають дуже малий струм і дуже дешеві. Але такі процесори не можуть задовольняти вказаний вище вимозі стосовно роботи в реальному масштабі часу.

Тому в безконтактних картках згідно з рівнем техніки використовують спосіб при якому послідовну інформацію побітно отримують від контакту послідовного інтерфейсу або посилають на контакт послідовного інтерфейсу. Однак ця задача вимагає надто багато робочого часу процесора, тому знову виникає потреба в застосуванні швидкодійного процесора.

Тому задача даного винаходу полягає в розробці інтерфейсної схеми для передачі даних через послідовний інтерфейс від і до процесора, при якій передача даних може відбуватися без значного навантаження процесора. Крім того, задачею винаходу є розробка придатного способу передачі даних між послідовним інтерфейсом і процесором. Згідно з винаходом ця задача вирішена за допомогою інтерфейсної схеми в якій між послідовним інтерфейсом і процесором під'єднано запам'ятовуючий пристрій (ЗП) об'ємом на кілька слів (наприклад, байт).

Задача вирішена також за допомогою способу, згідно з яким дані послідовно побітно приймають і записують у запам'ятовуючий пристрій, а звідти процесором побітно знову зчитують їх, або процесором записують у запам'ятовуючий пристрій, а

звідти побітно передають

При цьому доцільним є виконання, при якому запис і зчитування даних може бути здійснене посліпне або побітно. Для цього запам'ятовуючий пристрій оснащують показником запису і показником зчитування, які кожен біт і кожне слово (наприклад байт) можуть адресувати окремо.

З метою подальшого зменшення споживання струму доцільним є виконання процесора з можливістю переведення його в режим економії споживаного струму (режим Standby).

Крім того, доцільним є оснащення запам'ятовуючого пристрою компаратором. Завдяки цьому досягається подальше розвантаження процесора.

При цьому компаратор доцільно оснастити простою логічною схемою, яка автоматично порівнює кожен прийнятий біт із вмістом комірки запам'ятовуючого пристрою, до якої має бути записаний прийнятий біт.

Для подальшого спрощення схеми запам'ятовуючий пристрій може бути інтегрований у процесорний модуль або у приймальний модуль. Подальше спрощення схеми можливе також за рахунок того, що запам'ятовуючий пристрій реалізується на комірках з довільним доступом із стандартної оперативної пам'яті в адресному полі процесора.

Для подальшого розвантаження процесора додатково до запам'ятовуючого пристрою може бути передбачений модуль формування контрольної суми. Додатково до модуля контрольної суми може бути передбачений компаратор який порівнює контрольну суму прийнятих даних з очікуваною, попередньо вирахованою контрольною сумою. Таким чином може бути досягнуте подальше розвантаження процесора.

Доцільною є реалізація запам'ятовуючого пристрою у формі кільцевої структури, оснащеної пристроєм запобігання переповненню який при загрозі переповнення запам'ятовуючого пристрою активізує ("будить") процесор. Завдяки цьому можуть бути уникнуті втрати даних внаслідок переповнення запам'ятовуючого пристрою.

Згідно з винайденим способом для розвантаження процесора стан показника запису і показника зчитування може бути змінений автоматично без залучення процесора.

Значної гнучкості надає програмуванню спосіб, згідно з яким процесор може вивільняти показники запису і зчитування.

Ще більшої гнучкості надає програмуванню спосіб, згідно з яким процесор оброблює окремі комірки пам'яті як складові власного адресного поля і, таким чином, вільно може здійснювати запис і зчитування.

Подальше розвантаження процесора може бути досягнуто завдяки використанню автоматичного порівняння даних, причому очікувані дані мають бути записані у відповідні місця пам'яті і за допомогою простої логічної схеми кожен прийнятий біт має бути порівняний зі вмістом комірки пам'яті, в яку він має бути записаний.

При цьому показник запису запам'ятовуючого пристрою має здійснювати як адресування очікуваного біта, з яким має бути порівняний прийнятий біт, так і адресування прийнятого біта, що має бути записаний до запам'ятовуючого пристрою. Та-

ким чином досягається подальше спрощення програмування і структури схеми.

При цьому після порівняння всіх бітів одного байта поставлений у відповідність цьому байту біт встановлюється у стан логічного нуля, якщо всі біти були однакові, інакше він встановлюється в стан логічної одиниці. При цьому особливо доцільним є забезпечення процесору побайтного доступу до поставлених у відповідність бітів. Шляхом розмаскування порівняльної інформації можуть бути швидко і просто оцінені прийняті біт-послідовності.

Доцільним є переведення процесора під час передачі даних у режим економії струму (режим "спанья" або готовності (Stand by)). При цьому має бути передбачено, щоб процесор активізувався ("прокидався") при виникненні загрози переповнення запам'ятовуючого пристрою.

Замість порівняно витратного порівняння окремих бітів може бути передбачене також автоматичне порівняння даних, яке здійснюється шляхом автоматичного порівняння контрольної суми прийнятих даних із наперед вирахованою контрольною сумою очікуваних даних.

Таким чином може бути досягнуте подальше розвантаження процесора завдяки тому, що порівняння, наприклад, серійного номера безконтактної чіп-картки здійснюється автоматично і без залучення процесора під час прийому даних.

Винайденим способом можуть бути оброблені також протоколи, які допускають передачу фрагментів байта (наприклад, лише 3 біти).

Як застосування багатобайтних запам'ятовувачих пристроїв у послідовних інтерфейсах чіп-карток, так і застосування таких автоматичних схем і способів порівняння у комбінації з одним процесором досі відомі не були.

Нижче винахід детальніше пояснюється за допомогою форм виконання з використанням фігур. На них схематично зображено:

фіг 1 Рівень техніки з послідовною передачею між приймальним модулем і процесорним модулем,

фіг 2 Рівень техніки з приєднанням приймального модуля до шини процесора,

фіг 3 Відповідне винаходу рішення з послідовною передачею між приймальним модулем і процесорним модулем,

фіг 4 Відповідне винаходу рішення з приєднанням приймального модуля до шини процесора,

фіг 5 Відповідний винаходу запам'ятовуючий пристрій зворотного магазинного типу (з алгоритмом "першим увійшов - першим вийшов") з компаратором для перевірки правильності очікуваних даних,

фіг 6 Принцип дії запам'ятовуючого пристрою зворотного магазинного типу,

фіг 7 Відповідне винаходу порівняння даних про утворення контрольної суми,

фіг 8 Утворення контрольної суми паралельно до завантаження даних в запам'ятовуючий пристрій зворотного магазинного типу.

Фігури 1 і 2 ілюструють проблеми рівня техніки. В першому варіанті приймач 10 через послідовну лінію зв'язку 12 з'єднаний з процесорним модулем 14, в якому передбачений універсальний асинхронний приймач/передавач (УАПП) (UART =

Universal Asynchronous Receiver Transmitter) Інше рішення рівня техніки передбачає наявність приймального модуля 20, який сам містить схему УАПП, а потім через шини 22 даних процесора 24 приєднаний до нього.

На противагу цьому фігури 3 і 4 ілюструють винайдене рішення. Згідно з фіг 3 знову використовують приймальний модуль 30 з послідовним інтерфейсом. Через послідовну лінію 32 зв'язку приймальний модуль 30 з'єднаний з процесорним модулем 34. Однак в процесорному модулі 34 замість схеми УАПП передбачений ЗП зворотного магазинного типу (запам'ятовуючий пристрій з алгоритмом "першим увійшов - першим вийшов", FiFo = First-in-First-out) ємністю, наприклад, 32 байти. В такому разі при прийомі даних їх побітно записують у цей запам'ятовуючий пристрій зворотного магазинного типу. По закінченні запису одного байта автоматично побітно записують наступний байт, поки не буде записаний увесь блок даних. Передачу здійснюють аналогічно прийому, тобто дані байт за байтом зчитують із запам'ятовуючого пристрою зворотного магазинного типу. Як процес приймання, так і процес передачі можуть відбуватися незалежно від процесора. Під час цих процедур процесор може перебувати в режимі очікування (Stand-by) зі споживанням струму, яким можна знехтувати. Процесор може побайтно послідовно зчитувати вміст запам'ятовуючого пристрою зворотного магазинного типу або побайтно послідовно записувати в нього дані. Є можливість окремого адресування кожного біта в запам'ятовуючому пристрої зворотного магазинного типу за допомогою покажчика запису і покажчика зчитування. Завдяки цьому можуть бути прийняті або передані також неповні байти, наприклад, лише 3 біти. При цьому вимоги до процесора стосовно роботи в реальному масштабі часу значно нижчі, ніж у варіантах згідно з рівнем техніки зі схемою УАПП.

Альтернативно до запам'ятовуючого пристрою зворотного магазинного типу може бути застосований також ЗП магазинного типу (запам'ятовуючий пристрій з алгоритмом "останнім увійшов-першим вийшов", LiFo = Last-in-First-out). При цьому лише послідовність прийнятих і переданих даних інвертують. Це може бути враховано при програмуванні або може бути навіть бажаним. Самозрозуміло, що у наступних формах виконання винаходу також може бути використаний запам'ятовуючий пристрій з алгоритмом "останнім увійшов-першим вийшов".

Таким чином, у формі виконання згідно з фіг 3 запам'ятовуючий пристрій зворотного магазинного типу інтегрований у процесорний модуль. При цьому запам'ятовуючий пристрій зворотного магазинного типу може бути реалізований навіть на комірках з довільною вибіркою із стандартної оперативної пам'яті в адресному полі процесора. Завдяки цьому відпадає необхідність у додаткових запам'ятовуючих елементах.

На фіг 4 представлена наступна форма виконання винаходу. При цьому запам'ятовуючий пристрій зворотного магазинного типу інтегрований у приймальний модуль 40. Останній через процесорну шину 42 з'єднаний з процесорним модулем 44.

Як у формі виконання винаходу згідно з фіг 3, так і у формі виконання згідно з фіг 4 може бути передбачено, що звертання процесора до запам'ятовуючого пристрою зворотного магазинного типу для запису і для зчитування може здійснюватися лише послідовно. Таким чином виключається довільний доступ процесора до запам'ятовуючого пристрою зворотного магазинного типу. Це робить суттєвий внесок у безпеку даних, коли необхідно запобігти спробам зміни даних однієї прикладної програми шляхом маніпуляції з іншою прикладною програмою.

Однак, можливе значно гнучкіше програмування, коли процесор може скидати у початковий стан покажчик запису і покажчик зчитування запам'ятовуючого пристрою зворотного магазинного типу. Таким чином може бути задано, в якому місці (з точністю до біта) здійснює запис чи зчитування процесор, а також в якому місці (з точністю до біта) здійснює запис чи зчитування безпроводний інтерфейс.

Подальше підвищення гнучкості доступу досягається завдяки тому, що процесор розглядає окремі розряди запам'ятовуючого пристрою зворотного магазинного типу як складові його логічної адресної зони і може здійснювати запис і зчитування довільно і незалежно від покажчиків запису чи зчитування. Це рішення особливо придатне у поєднанні з реалізацією запам'ятовуючого пристрою зворотного магазинного типу з використанням запам'ятовуючих комірок стандартної оперативної пам'яті процесора.

В кожній з описаних форм виконання запам'ятовуючого пристрою зворотного магазинного типу додатково може бути передбачений компаратор або схема автоматичної перевірки контрольної суми.

Додатково до запам'ятовуючого пристрою зворотного магазинного типу може бути передбачена також схема УАПП згідно з рівнем техніки, наприклад, з метою надання можливості звичайним чином обробляти протоколи з довгим форматом даних (наприклад, 40-байтні протоколи в разі 32-байтного запам'ятовуючого пристрою зворотного магазинного типу).

Особливу перевагу має організація запам'ятовуючого пристрою зворотного магазинного типу у формі кльцевої структури. Тоді в разі загрози переповнення запам'ятовуючого пристрою зворотного магазинного типу процесор активізується ("прокидається") для обробки цих даних із запам'ятовуючого пристрою зворотного магазинного типу.

В разі необхідності запам'ятовуючий пристрій зворотного магазинного типу може працювати також як "класична" схема УАПП згідно з рівнем техніки.

Самозрозуміле, що запам'ятовуючий пристрій зворотного магазинного типу може бути реалізований також і з процесорами без режиму економії струму.

Для додаткового розвантаження процесора може бути реалізований автоматичний компаратор в інтерфейсній схемі. Завдяки цьому процесор звільняється від задачі порівняння прийнятих даних з очікуваними даними (наприклад для аутен-

тифікації) Відповідно до винаходу ця задача вирішена за допомогою запам'ятовуючого пристрою зворотного магазинного типу з вбудованим компаратором, як показано на фіг 5 Завдяки цьому може бути досягнуто подальше зниження вимог до продуктивності процесора 1, відповідно, до споживаного ним струму Існує також можливість використання дешевшого процесора

Представлена на фіг 5 схема порівняння потребує наявності очікуваних даних, наприклад, поточного номера чи паролю, у запам'ятовуючому пристрої зворотного магазинного типу Проста логічна схема 50 автоматично порівнює кожен прийнятий біт (новий біт, 2) з вмістом запам'ятовуваної комірки 51 запам'ятовуючого пристрою 52 зворотного магазинного типу, в яку має бути записаний цей біт Таким чином, показчик 53 запису служить як для адресування очікуваного біта (1), з яким має здійснюватися порівняння, так і для адресування місця запису прийнятого біта (2), який має бути записаний до запам'ятовуючого пристрою 52 зворотного магазинного типу (\rightarrow 3) При цьому нові біти отримують прийнятно-передавальним вузлом радіоінтерфейсу PI (RFI = Radio Frequency Interface)

Після порівняння і запису до запам'ятовуючого пристрою 52 зворотного магазинного типу всіх бітів байта в разі позитивного результату порівняння здійснюють встановлення поставленого у відповідність цьому байту спеціального біта порівняльного регістра 54 у стан логічного нуля, в іншому разі цей біт встановлюють у стан логічної одиниці

Схема порівняння працює таким чином перед початком операції порівняння регістр 54 встановлюють у стан логічного нуля, а логічна схема 50 в разі, коли старий біт і новий біт не співпадають, записує у відповідну комірку регістра 54 логічну одиницю Після цього побітно здійснюють обробку наступного байта, доки не буде оброблений увесь блок даних Процесор має доступ до вмісту регістра 54, тобто до результатів порівняння Шляхом розкривання порівняльної інформації може бути швидко і просто оцінена прийнята послідовність бітів

Звичайно ж, ця схема порівняння може бути використана також і в поєднанні зі схемою УАПП згідно з рівнем техніки Таким чином операція автоматичного порівняння може бути реалізована також без запам'ятовуючого пристрою 52 зворотного магазинного типу

Принцип роботи запам'ятовуючого пристрою зворотного магазинного типу представлений на фіг 6 Запам'ятовуючий пристрій 60 зворотного магазинного типу складається із ряду запам'ятовуючих комірок, які циклічно адресують показником зчитування і показником запису Значення, що підлягає запису, записують в розряд, вказаний показником запису, при цьому показник запису отримує приріст на одиницю При зчитуванні здійснюють перевірку, чи не дорівнює показник запису показнику зчитування Після цього здійснюють зчитування вмісту запам'ятовуваної комірки, на яку вказує показник зчитування, при цьому показник зчитування отримує приріст на одиницю Коли показник запису і показник зчитування однакові,

запам'ятовуючий пристрій зворотного магазинного типу порожній Це виявляє відповідна диференціальна схема 62 Після цього формують або логічний нуль, або повідомлення про те, що зчитування більше не може бути здійснене Оскільки диференціальна схема 62 постійно видає інформацію про кількість бітів у запам'ятовуючому пристрої зворотного магазинного типу ця схема може бути використана також для активування процесора перед переповненням запам'ятовуючого пристрою зворотного магазинного типу і ініціювання обробки даних з тим щоб знову звільнити місце у запам'ятовуючому пристрої зворотного магазинного типу Наступна відповідна винаходів можливість порівняння даних полягає в автоматичному формуванні контрольної суми отриманих даних, наприклад за методом циклічного надлишкового коду (CRC-метод), яку порівнюють з наперед (наприклад при ініціалізації) вирахованою контрольною сумою очікуваних даних Однак цей спосіб не такий ефективний, як описаний за фіг 5 компаратор у запам'ятовуючому пристрої зворотного магазинного типу, оскільки контрольні суми отриманих і очікуваних даних мають порівнюватися процесором А це знову навантажує процесор Крім того для надійного розпізнавання блок даних може містити максимум одну помилку До того ж логічна схема мусить відрізнати дані від команд, оскільки інакше контрольна сума прийнятих даних за певних умов може формуватися командою, відмінною від команди формування контрольної суми очікуваних даних Це показано окремо на фігурах 7 і 8

Із очікуваних даних CRC-методом вираховують контрольну суму Вона складається із двох байтів Потім також CRC-методом вираховують контрольну суму із отриманих даних Після цього порівнянню підлягають лише контрольні суми довжиною 2 байти а не увесь блок даних Порівняння цих коротких контрольних сум довжиною 2 байти здійснюється набагато швидше, ніж порівняння усього блоку даних Контрольна сума очікуваних даних може бути вирахована наперед Як показано на фіг 8, є також можливість подавати прийняті дані одночасно до запам'ятовуючого пристрою зворотного магазинного типу і на логічну схему формування контрольної суми Остання формує контрольні суми в реальному масштабі часу, завдяки чому процесор мусить працювати в режимі реального часу лише незначний відрізок часу, необхідний для порівняння контрольних сум

Таким чином, шляхом використання запам'ятовуючого пристрою зворотного магазинного типу, а також при необхідності компаратора чи генератора контрольних сум, який автоматично формує контрольну суму прийнятих даних, можна значною мірою розвантажити процесор порівняно з традиційною концепцією УАПП Завдяки цьому тактова частота і, тим самим, споживаний струм можуть бути суттєво зменшені А зменшення споживаного струму для безконтактної картки означає зокрема збільшення дальності дії

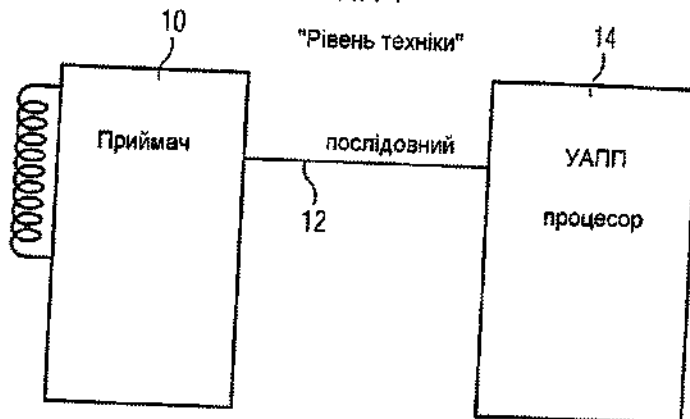
При цьому особливо доцільним є використання процесора, який під час передачі і прийому або коли він не задіяний, може бути переведений у режим економії споживаного струму Тоді процесор по закінченні підготовки до передачі/прийому

може бути переведений у режим економії споживаного струму до закінчення передачі/прийому даних. Енергія, використана в іншому разі процесором, може бути або зекономлена, або надана в розпорядження схем передачі/прийому даних. Крім того, під час передачі/прийому даних на сигнал, що передається безпроводним каналом, не діють піки струму від процесора. Зменшений споживаний струм і більш сприятливий розподіл енергії в чіп-картці, а також більш сприятливі умови розповсюдження сигналу зумовлюють збільшення

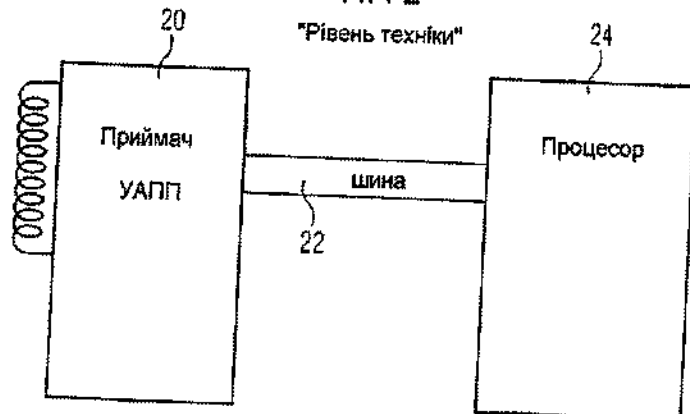
дальності дії.

До того ж, операція передачі даних може бути функцією часу, тобто ініціюватися в час, коли процесор перебуває в режимі економії споживаного струму. Так само може бути реалізована функція автоматичного прийому даних. При цьому в час, коли процесор перебуває в режимі економії споживаного струму, після передачі даних здійснюють автоматичне перемикання в режим прийому даних без активізації процесора.

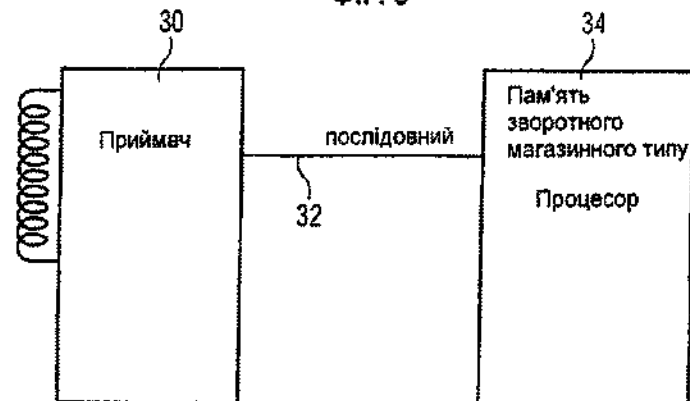
ФІГ. 1



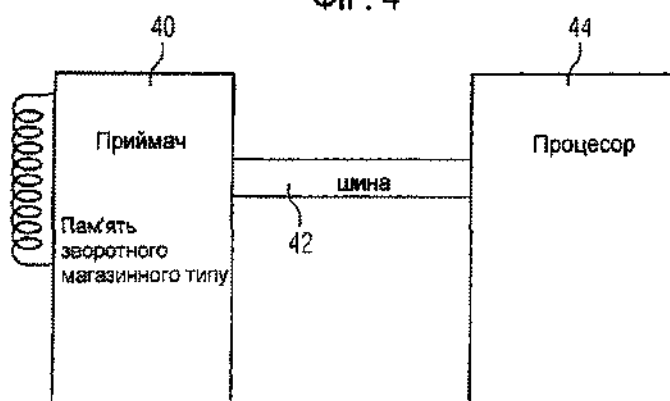
ФІГ. 2



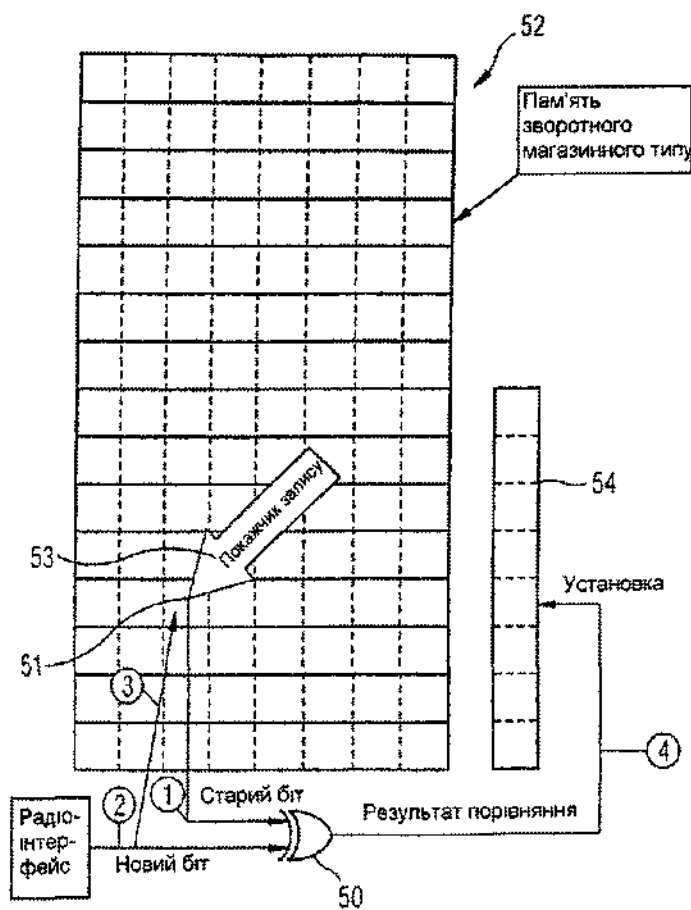
ФІГ. 3



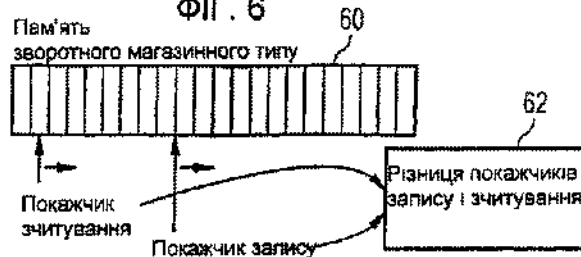
ФІГ. 4



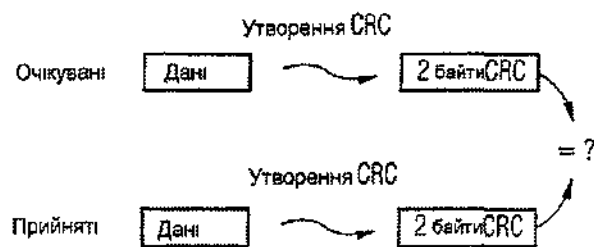
ФІГ. 5



ФІГ. 6



ФІГ. 7



ФІГ. 8

