



УКРАЇНА

(19) UA

(11) 50428

(13) A

(51) G 06F7/50

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВІНАХІДВИДАЄТЬСЯ ПІД
ВІДПОВІДАЛЬНІСТЬ
ВЛАСНИКА
ПАТЕНТУ

(54) ПРИСТРІЙ ДЛЯ ДОДАВАННЯ ПОСЛІДОВНОСТІ ЧИСЕЛ ІЗ ПЛАВАЮЧОЮ ТОЧКОЮ

1

2

(21) 2002010246

(22) 10 01 2002

(24) 15 10 2002

(46) 15 10 2002, Бюл. № 10, 2002 р.

(72) Луцький Георгій Михайлович, Долголенко
Олександр Миколайович, Порев Віктор Миколайо-
вич, Блінова Тетяна Олександрівна(73) НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
УКРАЇНИ "КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ
ІНСТИТУТ"

(57) Пристрій для додавання послідовності чисел із плаваючою точкою, що містить тактовий вхід, блок керування, який містить вхід знака, вхід мантиси, вхід порядку, тригер керування, реєстри мантиси та порядку, перший вузол пам'яті, причому інформаційні входи реєстра мантиси, реєстра порядку й тригера керування приєднані відповідно до входу мантиси, входу порядку і входу знака блока керування, а тактові входи реєстра мантиси й реєстра порядку з'єднані з тактовим входом пристрою, та блок підсумовування, який містить реєстр мантиси, тригер переносу, суматор мантиси, причому тактовий вхід пристрою з'єднаний з тактовими входами реєстра мантиси та тригера переносу, який відрізняється тим, що додатково введено блок формування результату, який містить вхід обнулення, реєстр, комутатор результату, суматор результату, першу групу із m $(n-1)$ -входових елементів "АБО", де n – розрядність ма-

нтиси, $m = \left\lceil \frac{P_{\max}}{n-1} \right\rceil + 1$, а P_{\max} – максимальний порядок доданків, другий вузол пам'яті, тригер знака, реєстр порядку, тригер перестановок, реєстр результату, другу групу з $\lceil 0,5m \rceil$ $(n-1)$ -входових елементів "АБО", третю групу з $\lceil m - 0,5m \rceil$ $(n-1)$ -входових елементів "АБО", третій вузол пам'яті, суматор порядків, вихід знака, вихід порядку, n -розрядний вихід мантиси, причому тактовий вхід пристрою з'єднаний з тактовими входами реєстра, тригера знака, реєстра порядку, тригера перестановок та реєстра результату, а вхід обнулення зв'язаний з керуючим входом встановлення в нуль реєстра, вихід якого зв'язаний із другою групою входів суматора мантиси блока підсумовування, вихід якого приєднаний до входу реєстра, вихід старшого розряду якого з'єд-

наний з інформаційним входом тригера знака, з входом переносу суматора результату та з керуючим входом комутатора результату, перший та другий інформаційні входи якого з'єднані відповідно з прямим та інверсним виходами $m(n-1)$ -модульних розрядів реєстра, а вихід комутатора результату приєднаний до першої групи входів суматора результату, другу групу входів якого підключено до входу "Логічний нуль", вихід суматора результату приєднаний до входів реєстра результату, а також до відповідних входів першої групи $(n-1)$ -входових елементів "АБО", виходи яких з'єднані з m -розрядним адресним входом другого вузла пам'яті, перший, другий і m -розрядний третій, виходи якого з'єднані відповідно з інформаційним входом реєстра порядку, інформаційним входом тригера перестановок і з керуючими входами з керуючими входами встановлення в нуль кожної із m $(n-1)$ -розрядних груп реєстра результату, виходи усіх непарних $(n-1)$ -розрядних груп виходів якого з'єднані зі входами другої групи із $(n-1)$ $\lceil 0,5m \rceil$ - входових елементів "АБО"

таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", і аналогічно, виходи усіх парних $(n-1)$ -розрядних груп виходів реєстра результату з'єднані зі входами

третьої групи із $(n-1)$ $\lceil m - 0,5m \rceil$ - входових елементів "АБО" таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", виходи другої групи елементів "АБО" та виходи третьої групи елементів "АБО" з'єднані відповідно з другим та третім адресними входами третього вузла пам'яті, перший адресний вхід якого приєднаний до виходу тригера перестановок, а перший вихід третього вузла пам'яті з'єднаний з другою групою входів суматора порядку, перша група входів якого з'єднана з виходом реєстра порядку, вихід суматора порядку з'єднаний з виходом порядку, вихід тригера знака з'єднаний з виходом знака, а другий вихід третього вузла пам'яті приєднаний до виходу мантиси, причому виходи реєстрів мантиси та порядку блока керування з'єднані з адресними входами першого вузла пам'яті, а тактовий вхід пристрою з'єднаний з тактовим входом тригера керування, вихід якого з'єднаний з інформаційним входом тригера переносу

(13) A

(11) 50428

(19) UA

блока підсумовування, котрий містить комутатор, керуючий вхід якого з'єднаний з виходом тригера переносу, з входом переносу та з двома старшими розрядами першої групи входів суматора мантиси, вихід комутатора зв'язаний з молодшими розрядами першої групи входів суматора мантиси, перший та другий інформаційні входи комутатора з'єднані відповідно з прямим та інверсним виходами $(n-1) \cdot m$ - розрядного регістра мантиси, усі непа-

рні $(n-1)$ - розрядні групи інформаційних входів котрого з'єднані з першим $(n-1)$ - розрядним виходом першого вузла пам'яті блока керування, другий $(n-1)$ - розрядний вихід котрого зв'язаний з усіма парними $(n-1)$ - розрядними групами інформаційних входів регістра мантиси блока підсумовування, керуючі входи встановлення в нуль кожної із m груп якого приєднані до третього m - розрядного виходу першого вузла пам'яті блока керування

Винахід відноситься до обчислювальної техніки і може бути використаний при побудові обчислювальних систем у якості високопродуктивного блока, що забезпечує підвищену точність додавання послідовності чисел із плаваючою точкою

Відомий пристрій для одночасного виконання операцій підсумовування над множиною чисел [див авторське свідоцтво СРСР № 558276, кл G06F7/50], що складається з однотипних блоків, причому кожний i -й блок містить регістр часткового результату, вузол формування часткового результату, тригер зберігання молодшого розряду кінцевого результату, елемент i , регістр порядку, вузол формування порядку, елемент АБО та два логічних вузли. Недолік цього пристрою - послідовність чисел перед початком підсумовування треба заздалегідь сортувати, аналізуючи порядок доданків, результат підсумовування можна приймати тільки

через $i + 2(1+r) + \left\lceil \frac{2r+1}{n} \right\rceil$ тактів, де i - кількість чисел, r - порядок, n - розрядність мантиси

Найбільш близький за технічною суттю до пристрою, що пропонується, є вибраний як прототип пристрій для додавання послідовності чисел із плаваючою комою [див авторське свідоцтво СРСР № 1182512 А, кл G06F7/50, 1985], що скорочує апаратні витрати завдяки введенню блока керування зі зв'язками

Пристрій містить m блоків підсумовування, кожний з яких містить регістри порядку та мантиси, тригер переносу, суматори порядку та мантиси, елемент АБО, регістр молодшого розряду і три групи елементів i , причому у кожному блоці підсумовування виходи регістра порядку з'єднані зі входами першої групи суматора порядку та з відповідними входами елемента АБО, виходи регістра молодшого розряду з'єднані з першими входами елементів i першої групи, виходи молодших та старших розрядів регістра мантис з'єднані відповідно з першими входами елементів i другої та третьої груп, виходи елементів i другої групи з'єднані з відповідними входами першої групи суматора мантис, вихід суми суматора мантис з'єднаний з інформаційним входом регістра молодшого розряду, тактовий вхід котрого з'єднаний з тактовими входами регістрів мантиси та порядку, тактовим входом тригера переносу і тактовим входом пристрою, вихід регістра порядку k - го блока підсумовування з'єднаний з інформаційним входом регі-

ра порядку $(k + 1)$ -го блока підсумовування, вихід m -го блока підсумовування є виходом пристрою $(k = 1 - (m - 1))$, пристрій містить блок керування, який містить регістр керування, перший, другий, третій регістри порядку, перший, другий елементи i , тригер керування, регістр мантиси, схему порівняння, перший, другий суматори, перший, другий вузли пам'яті, зсувач, групу елементів i , перший, другий, третій та четвертий комутатори, причому виходи першого регістру порядку, за виключенням виходу знакового розряду, а також виходи розрядів другого регістра порядку, з другого по $(\log_2 \lfloor P_{\max}/(n-1) \rfloor + 1) - 1$, де P_{\max} - максимальний порядок числа, n - розрядність мантиси, з'єднані відповідно з першою та другою групами входів схеми порівняння, виходи регістра керування, виходи знакових розрядів першого та другого регістрів порядку, виходи схеми порівняння з'єднані відповідно з адресними входами першого вузла пам'яті, виходи $(\log_2 \lfloor P_{\max}/(n-1) \rfloor + 1)$ старших розрядів другого регістру порядку з'єднані відповідно з інформаційними входами першого регістра порядку, до першої та другої груп входів першого суматора приєднані відповідно прямі виходи $(\log_2 \lfloor P_{\max}/(n-1) \rfloor + 1)$ старших розрядів другого регістра порядку та інверсні виходи першого регістра порядку, вихід першого суматора з'єднаний з першим інформаційним входом першого комутатора та з першим входом другого суматора, другий вхід котрого з'єднаний з входом коду $P_{\min}(e)$, де $P_{\min}(e)$ - мінімальний порядок числа, другий інформаційний та керуючий входи першого комутатора з'єднані відповідно з виходом третього регістра порядку та прямим виходом тригера керування, вихід першого комутатора з'єднаний з адресним входом першого вузла пам'яті, перший вихід котрого з'єднаний з першим входом першого елемента i , другий вхід котрого з'єднаний з інверсним виходом тригера керування, вихід першого елемента i з'єднаний з першим керуючим входом другого комутатора, другий керуючий вхід котрого з'єднаний з виходом другого розряду регістра керування, вихід другого комутатора підключений до тактового входу першого регістра порядку, вихід регістра мантиси з'єднаний з інформаційним входом зсувача, вихід котрого з'єднаний з першими входами елементів i групи, керуючий вхід зсувача з'єднаний з виходами $(\log_2 \lfloor P_{\max}/(n-1) \rfloor)$ молодших розрядів

другого регістра порядків, перший, другий та третій виходи першого вузла пам'яті з'єднані відповідно з керуючим входом третього комутатора, першим та другим керуючими входами четвертого комутатора, четвертий вихід першого вузла пам'яті з'єднаний з інформаційним входом тригера керування, першим входом другого елемента І та з першими входами елементів І групи, перший та другий інформаційні входи третього комутатора з'єднані відповідно з виходом другого суматора та входом $P_{\text{мн}}(\epsilon)$ пристрою, вихід першого елемента І з'єднаний з тактовими входами другого регістра порядку та регістра мантиси, вихід другого вузла пам'яті з'єднаний з інформаційним входом третього регістру порядку, перший та другий інформаційні входи четвертого комутатора з'єднані відповідно з входами кодів "100" і "000" пристрою, перший розряд третього інформаційного входу четвертого комутатора з'єднаний з входом логчного нуля пристрою, другий та третій розряди третього інформаційного входу з'єднані відповідно з двома молодшими виходами другого вузла пам'яті, тактові входи тригера керування, регістра керування та третього регістра порядку з'єднані з інформаційним входом другого комутатора та другим входом другого елемента І, інформаційні входи регістру керування, другого регістра порядку, регістра мантиси, тригера керування та другого комутатора блока керування з'єднані відповідно з входами керування, порядку, мантиси, готовності і тактовими входами мантиси пристрою, причому кожний блок підсумовування містить регістр коду операцій, четверту та п'яту групи елементів І, групу елементів АБО, елемент НІ, елемент І, причому вихід першого розряду регістра коду операції з'єднаний з першим входом елемента І, другий вхід котрого з'єднаний з виходом елемента АБО, вихід елемента І з'єднаний з другим входом суматора порядку, з першими входами елементів І четвертої групи й через елемент НІ - з другими входами елементів І другої та третьої груп, виходи регістра мантиси з'єднані з другими входами відповідних елементів І четвертої групи, виходи елементів І першої групи з'єднані із відповідними входами другої групи суматора мантис, вхід переносу котрого з'єднаний із виходом тригера переносу, виходи другого та третього розрядів регістра коду операції з'єднані відповідно з першими входами n старших і n молодших елементів І п'ятої групи, другі входи котрих з'єднані з відповідними виходами регістра молодшого розряду, виходи елементів І четвертої та п'ятої груп з'єднані відповідно з першими та другими входами відповідних елементів І групи, треті входи p старших з котрих з'єднані з виходами старшого елемента І третьої групи, виходи молодших елементів І котрої з'єднані з третіми входами відповідних молодших елементів АБО групи, тактовий вхід регістра коду операції з'єднаний з тактовим входом регістра порядку, вихід регістра коду операції і виходи елементів АБО групи, вихід переносу суматора мантис k -го блока підсумовування з'єднані відповідно з інформаційними входами регістра коду операції і регістра мантис, інформаційним входом тригера переносу $(k + 1)$ -го блока підсумовування, виходи третього та четвертого

комутаторів і вихід групи елементів І блока керування з'єднані відповідно з інформаційними входами регістра порядку, регістра коду операцій і регістра мантиси першого блока підсумовування

Основним недоліком даного пристрою є наступне при роботі в режимі "Додавання" зовнішня обчислювальна система подає доданки на вхід пристрою не на кожному такті роботи, а тільки у відповідь на виставлення сигналу "Готовність", тому що в залежності від співвідношення величини порядку наступного доданка й величини $P_{\text{мн}}(\epsilon)$ пристрою необхідні додаткові такти роботи для виконання зсуву, що знижує швидкодію пристрою

В основу винаходу поставлено задачу вдосконалити пристрій для додавання послідовності чисел з плаваючою точкою шляхом заміни т блоків підсумовування одним блоком підсумовування й введенням додатково блока формування результату зі зв'язками, що дозволяє в режимі "Додавання" подавати новий доданок на кожному такті роботи пристрою, і що забезпечує підвищення швидкодії пристрою

Поставлена задача досягається тим, що у пристрій для додавання послідовності чисел із плаваючою точкою, що містить тактовий вхід пристрою, блок керування, який містить вхід знака вхід мантиси, вхід порядку, тригер керування, регістри мантиси та порядку, перший вузол пам'яті, причому інформаційні входи регістра мантиси, регістра порядку й тригера керування приєднані відповідно до входу мантиси, входу порядку й входу знака блока керування, а тактові входи регістра мантиси й регістра порядку з'єднані з тактовим входом пристрою, та блок підсумовування, який містить регістр мантиси, тригер переносу, суматор мантиси, причому тактовий вхід пристрою з'єднаний з тактовими входами регістра мантиси та тригера переносу, згідно з винаходом, що в пристрій введено блок формування результату, який містить вхід обнулення, регістр, комутатор результату, суматор результату, першу групу із m ($n - 1$)-входових елементів "АБО", де n - розрядність ман-

тиси,
$$m = \left\lceil \frac{P_{\text{макс}}}{n-1} \right\rceil + 1,$$
 а $P_{\text{макс}}$ - максимальний порядок доданків, другий вузол пам'яті, тригер знака, регістр порядку, тригер перестановок, регістр результату, другу групу з $\lceil 0,5m \rceil$ ($n-1$)-входових елементів "АБО", третю групу з $\lceil 0,5m \rceil$ ($n-1$)-входових елементів "АБО", третій вузол пам'яті, суматор порядків, вихід знака вихід порядку, n - розрядний вихід мантиси, причому тактовий вхід пристрою з'єднаний з тактовими входами регістра, тригера знака, регістра порядку, тригера перестановок та регістра результату, а вхід обнулення зв'язаний з керуючим входом встановлення в нуль регістра, вихід якого зв'язаний із другою групою входів суматора мантиси блока підсумовування, вихід котрого приєднаний до входу регістра, вихід старшого розряду котрого з'єднаний з інформаційним входом тригера знака, з входом переносу суматора результату та з керуючим входом комутатора результату, перший та другий інформаційні входи котрого з'єднані відповідно з прямим та ін-

версним виходами $m(n-1)$ молодших розрядів регістра, а вихід комутатора результату приєднаний до першої групи входів суматора результату, на другу групу входів котрого подається сигнал "Логічний нуль", вихід суматора результату приєднаний до входів регістра результату, а також до відповідних входів першої групи $(n-1)$ - входових елементів "АБО", виходи котрих з'єднані з m - розрядним адресним входом другого вузла пам'яті, перший, другий і m - розрядний третій виходи котрого з'єднані відповідно з інформаційним входом регістра порядку, інформаційним входом тригера перестановок і з керуючими входами встановлення в нуль кожної із $m(n-1)$ - розрядних груп регістра результату, виходи усіх непарних $(n-1)$ - розрядних груп входів котрого з'єднані зі входами другої групи із $(n-1)$ $[0,5m]$ - входових елементів "АБО" таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", і аналогічно, виходи усіх парних $(n-1)$ - розрядних груп входів регістра результату з'єднані зі входами третьої групи із $(n-1)$ $(m - [0,5m])$ - входових елементів "АБО" таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", виходи другої групи елементів "АБО" та виходи третьої групи елементів "АБО" з'єднані відповідно з другим та третім адресними входами третього вузла пам'яті, перший адресний вхід якого приєднаний до виходу тригера перестановок, а перший вихід третього вузла пам'яті з'єднаний з другою групою входів суматора порядку, перша група входів котрого з'єднана з виходом регістру порядку, вихід суматора порядку з'єднаний з виходом порядку, вихід тригера знаку з'єднаний з виходом знаку, а другий вихід третього вузла пам'яті приєднаний до виходу мантиси, причому виходи регістрів мантиси та порядку блока керування з'єднані з адресними входами першого вузла пам'яті, а тактовий вхід пристрою з'єднаний з тактовим входом тригера керування, вихід котрого з'єднаний з інформаційним входом тригера переносу блока підсумовування, котрий містить комутатор, керуючий вхід якого з'єднаний з виходом тригера переносу, з входом переносу та з двома старшими розрядами першої групи входів суматора мантиси, вихід комутатора зв'язаний з молодшими розрядами першої групи входів суматора мантиси, перший та другий інформаційні входи комутатора з'єднані відповідно з прямим та інверсним виходами $(n-1) * m$ - розрядного регістра мантиси, усі непарні $(n-1)$ - розрядні групи інформаційних входів котрого з'єднані з першим $(n-1)$ - розрядним виходом першого вузла пам'яті блока керування, другий $(n-1)$ - розрядний вихід котрого зв'язаний з усіма парними $(n-1)$ - розрядними групами інформаційних входів регістра мантиси блока підсумовування, керуючі входи встановлення в нуль кожної із m груп якого приєднані до третього m - розрядного виходу першого вузла пам'яті блока керування

На кресленні представлено функціональну схему пристрою для додавання послідовності чисел із плаваючою точкою

Пристрій містить тактовий вхід 1, блок 2 керу-

вання, блок 3 підсумовування, блок 4 формування результату

Блок 2 керування містить n - розрядний вхід 5 мантиси, вхід 6 порядку та вхід 7 знака, регістр 8 мантиси, регістр 9 порядку, тригер 10 керування, перший вузол 11 пам'яті, причому вхід 5 мантиси, вхід 6 порядку та вхід 7 знака приєднані до інформаційних входів відповідно регістра 8 мантиси, регістра 9 порядку та тригера 10 керування, тактові входи котрих з'єднані з тактовим входом 1 пристрою, виходи регістра 8 мантиси та регістра 9 порядку з'єднані з адресними входами першого вузла 11 пам'яті

Блок 3 підсумовування містить тригер 12 переносу, $(n-1) * m$ - розрядний регістр 13 мантиси,

$$m = \left\lceil \frac{P_{\max}}{n-1} \right\rceil + 1,$$

де P_{\max} - максимальний порядок доданків, комутатор 14, суматор 15 мантиси, причому тактовий вхід 1 пристрою з'єднаний з тактовими входами регістра 13 мантиси та тригера 12 переносу, інформаційний вхід котрого з'єднаний з виходом тригера 10 керування блока 2 керування, перший $(n-1)$ - розрядний вихід першого вузла 11 пам'яті блока 2 керування зв'язаний з усіма непарними $(n-1)$ - розрядними групами інформаційних входів регістру 13 мантиси блока 3 підсумовування, а другий $(n-1)$ - розрядний вихід першого вузла 11 пам'яті блока 2 керування зв'язаний з усіма парними $(n-1)$ - розрядними групами інформаційних входів регістру 13 мантиси блока 3 підсумовування, керуючі входи встановлення в нуль кожної із m груп якого приєднані до третього m - розрядного виходу першого вузла 11 пам'яті блока 2 керування, вихід тригера 12 переносу з'єднано з входом переносу та з двома старшими розрядами першої групи входів суматора 15 мантиси, а також з керуючим входом комутатора 14, перший та другий інформаційні входи якого з'єднані відповідно з прямим та інверсним виходами регістра 13 мантиси, а вихід комутатора 14 з'єднано з молодшими розрядами першої групи входів суматора 15 мантиси

Блок 4 формування результату містить вхід 16 обнулення, регістр 17, комутатор 18 результату, суматор 19 результату, першу групу 20 із $m(n-1)$ - входових елементів "АБО", другий вузол 21 пам'яті, тригер 22 знака, регістр 23 порядку, тригер 24 перестановок, регістр 25 результату, другу групу 26 з $[0,5m]$ $(n-1)$ - входових елементів "АБО",

третю групу 27 $(m - [0,5m])$ $(n-1)$ - входових елементів "АБО", третій вузол 28 пам'яті, суматор 29 порядків, вихід 30 знака, вихід 31 порядку, n - розрядний вихід 32 мантиси, причому тактовий вхід 1 пристрою з'єднаний з тактовими входами регістра 17, тригера 22 знака, регістра 23 порядку, тригера 24 перестановок та регістра 25 результату, а вхід 16 обнулення зв'язаний з керуючим входом встановлення в нуль регістра 17, вихід якого зв'язаний із другою групою входів суматора 15 мантиси блока 3 підсумовування, вихід суматора 15 мантиси приєднаний до входу регістра 17, вихід старшого розряду котрого з'єднаний з інформаційним входом тригера 22 знака, з входом переносу суматора

19 результату та з керуючим входом комутатора 18 результату, перший та другий інформаційні входи котрого з'єднані відповідно з прямим та інверсним виходами $(n - 1)$ молодших розрядів регістра 17, а вихід комутатора 18 результату приєднаний до першої групи входів суматора 19 результату, на другу групу входів котрого подається "Логічний нуль", вихід суматора 19 результату приєднаний до входів регістру 25 результату, а також до першої групи 20 $(n - 1)$ - входових елементів "АБО", виходи котрих з'єднані з m - розрядним адресним входом другого вузла 21 пам'яті, перший, другий і t -розрядний третій виходи котрого з'єднані відповідно з інформаційним входом регістра 23 порядку, інформаційним входом тригера 24 перестановок і з керуючими входами встановлення в нуль кожної із m $(n - 1)$ - розрядних груп регістру 25 результату, виходи усіх непарних $(n - 1)$ - розрядних груп виходів котрого з'єднані зі входами другої групи 26 із $(n-1) \lceil 0,5m \rceil$ - входових елементів "АБО" таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", і аналогічно, виходи усіх парних $(n - 1)$ - розрядних груп виходів регістра 25 результату з'єднані зі входами третьої групи 27 із $(n-1) (m - \lceil 0,5m \rceil)$ - входових елементів "АБО" таким чином, що виходи усіх k -х розрядів цих груп приєднані до входів k -ого елемента "АБО", виходи другої групи 26 елементів "АБО" та виходи третьої групи 27 елементів "АБО" з'єднані відповідно з другим та третім адресними входами третього вузла 28 пам'яті, перший адресний вхід якого приєднаний до виходу тригера 24 перестановок, а перший вихід третього вузла 28 пам'яті з'єднаний з другою групою входів суматора 29 порядку, перша група входів котрого з'єднана з виходом регістра 23 порядку, вихід суматора 29 порядку з'єднаний з виходом 31 порядку, вихід тригера 22 знаку з'єднаний з виходом 30 знака, а другий вихід третього вузла 28 пам'яті приєднаний до виходу 32 мантиси

Примітка

$\lceil X \rceil$ - найменше ціле число, що більше або дорівнює X ,

$\lfloor X \rfloor$ - найбільше ціле число, що менше або дорівнює X

$X \bmod Y$ - залишок від ділення X на Y

Перший, другий та третій вузли 11, 21, 28 пам'яті можуть бути реалізовані на базі мікросхем постійних запам'ятовуючих пристроїв, прошитих у відповідності з таблицями 1, 2 та 3

Суматори 15, 19, 29 виконують підсумовування двох операндів із розповсюдженням переносів

Усі тригери та регістри пристрою здійснюють запис інформації по передньому фронту тактового імпульсу

Розглянемо, як працює пристрій для додавання послідовності чисел із плаваючою точкою

Пристрій для додавання послідовності чисел із плаваючою точкою має два режими роботи "Початок додавання" та "Додавання" Різниця між цими двома режимами полягає в наступному

Режим "Початок додавання" встановлюється

на протязі двох тактів роботи пристрою Після закінчення обчислення суми поточної послідовності робиться пропуск одного такту роботи, на наступному (першому) такті на вхід пристрою подається перший доданок, потім на наступному (другому) такті подається другий доданок і на вхід 16 обнуління подається відповідний сигнал, щоби на початку обчислення суми нової послідовності чисел встановити в нуль регістр 17, в якому накопичується результат підсумовування Цей сигнал обнуління встановлюється тільки на один (другий) такт роботи пристрою

В режимі роботи "Додавання" подаються тільки чергові доданки на вхід пристрою для додавання послідовності чисел із плаваючою точкою

Отже, пристрій у цих двох режимах працює за одним алгоритмом

Подача доданків здійснюється по одному за такт роботи пристрою

Нехай на i -му такті роботи на вхід пристрою подано i -й доданок В блоці 2 керування відбувається перетворення цього числа з двійкової системи обчислення у систему обчислення з основою $\epsilon = 2^{n-1}$

А саме, на вхід 5 мантиси подається нормалізована мантиса M_x доданка, що представлений в прямому коді, на вхід 6 порядку - порядок P_x доданка, на вхід 7 знака - знак доданку З приходом переднього фронту тактового імпульсу ці дані записуються відповідно у регістри 8, 9 мантиси та порядку і тригер 10 керування За допомогою першого вузла 11 пам'яті визначається $P_x \bmod (n - 1)$, і відповідно на $P_x \bmod (n - 1)$ розрядів зсовується мантиса M_x , формуючи дві цифри числа $M_x(\epsilon)$ у системі обчислення з основою ϵ , а також обчислюється $\lfloor P_x / (n-1) \rfloor$, щоби визначити, на які позиції числа $M_x(\epsilon)$ поставити отримані дві цифри (інші цифри числа дорівнюватимуть нулю) Отже, на перший вихід першого 11 вузла пам'яті подається цифра числа $M_x(\epsilon)$, що повинна потрапити на якусь непарну позицію, а на другий вихід першого 11 вузла пам'яті подається цифра числа $M_x(\epsilon)$, що повинна потрапити на якусь парну позицію числа $M_x(\epsilon)$ Третій вихід першого 11 вузла пам'яті визначає, на які саме позиції будуть записані нулі, а отже у ті позиції, що залишилися, будуть записані ці дві цифри

На $(i + 1)$ -му такті роботи у блоці 3 підсумовування відбувається перевід мантиси $M_x(\epsilon)$ у доповняльний код та підсумовування її з накопиченою сумою, що по ланцюгу зворотного зв'язку поступає з регістра 17 блока 4 формування результату (на початку обчислення нової послідовності ця накопичена сума дорівнює нулю, тому що на другому такті роботи регістр 17 був встановлений в нуль)

Спочатку, з приходом тактового імпульсу по його передньому фронту відбувається запис числа $M_x(\epsilon)$ у регістр 13 мантиси Перевід мантиси $M_x(\epsilon)$ у доповняльний код здійснюється у два етапи Спочатку комутатор 14 формує обернений код числа (інвертує число, якщо знак доданка дорівнює 1), потім при виконанні підсумовування на вхід переносу в молодший розряд суматора 15 мантиси подається знак доданка

На $(i + 2)$ -му такті роботи у блоці 4 формуван-

ня результату відбувається перевід накопиченої суми у прямий код, перевід її у двійкову систему числення та починається формування нормалізованого n - розрядного результату

Перевід результату $M_x(e)$ у прямий код здійснюється у два етапи. Спочатку комутатор 18 результату інвертує число, якщо знак результату дорівнює 1, потім при виконанні підсумовування на вхід переносу в молодший розряд суматора 19 результату подається знак доданка, а на другу групу входів суматор 19 подаються сигнали "Логічний нуль"

Формування нормалізованого n - розрядного результату теж проходить у декілька етапів. Спочатку за допомогою першої групи 20 елементів "АБО" виявляються всі нульові $(n - 1)$ - розрядні цифри результату. Потім у другому вузлі 21 пам'яті визначається, скільки старших цифр результату дорівнює нулю, і формується $((n-1) \lfloor P_x / (n-1) \rfloor)$ - частина порядку числа

Крім того, у другому вузлі 21 пам'яті формуються сигнали перестановки та сигнали встановлення в нуль регістра 25 результату

На $(i + 3)$ -му такті роботи у блоці 4 формування результату продовжується перевід результату у двійкову систему числення та формування нормалізованого n - розрядного результату

По передньому фронту тактового сигналу у регістр 25 результату записуються тільки дві старші $(n - 1)$ - розрядні групи ненульових розрядів, позаяк інші знаходилися під впливом сигналів встановлення в нуль. За допомогою другої та третьої груп 26 і 27 елементів "АБО" їх відокремлено, тим самим відокремлено дві старші цифри мантиси, представлені у системі числення з основою e . Перша відокремлена цифра може бути як на парній позиції, так і на непарній позиції. Отже, коли на другий адресний вхід третього 28 вузла пам'яті поступає непарна цифра, вона може бути молодшою. Для того, щоб знати це, на перший адресний вхід вузла пам'яті 28 подається сигнал перестановки із триггеру 24 перестановки, він дорівнює одиниці, якщо потрібно поміняти місцями старшу і молодшу цифри. Таким чином формується $2(n - 1)$ - розрядне двійкове число. За допомогою третього вузла 28 пам'яті на основі аналізу того, скільки нульових (вже двійкових) старших розрядів міститься у цьому числі, визначається $P_x \bmod (n - 1)$, це число на $P_x \bmod (n - 1)$ розрядів зсовуються уліво і формується n - розрядний результат, відкидаючи, якщо це потрібно зайві розряди. Частина порядку $P_x \bmod (n - 1)$ результату з першого виходу третього вузла 28 пам'яті поступає в суматор 29 порядку, де підсумовується з частиною порядку $((n-1) \lfloor P_x / (n-1) \rfloor)$. Отже, на $(i + 3)$ -му такті формується знак суми (вихід 30), порядок (вихід 31) та нормалізована мантиса (вихід 32). Слід відзначити, що при необхідності можна забезпечити отримання точного (тобто не обмеженого рамками розрядної сітки) $m(n - 1)$ - розрядного результату або результату заданої точності, якщо знімати результат з виходів регістру 17.

Наводимо приклад роботи пристрою для додавання послідовності чисел із плаваючою точкою

Нехай $n = 4$, $P_{\min} = 1$, $P_{\max} = 14$, обчислити $S = a + b + c + d$,

де $a = +0\ 1011$, $P_a = 0001$,

$b = -0\ 1010$, $P_b = 1110$,

$c = -0\ 1100$, $P_c = 0011$,

$d = +0\ 1010$, $P_d = 1110$

Точна сума повинна дорівнювати $S = -0\ 100101$, $P = 0011$, а якщо привести до прийнятої розрядної сітки, то $S = -0\ 1001$, $P = 0011$, якщо виходити так, як це робиться зазвичай у процесорах і без прийняття спеціальних програмних заходів підвищення точності, отримаємо $S = 0$

Обчислення, виконані пристроєм для додавання послідовності чисел із плаваючою точкою показано у таблиці 4

Отже, на $(i + 3) = 7$ -ому такті отримано правильний результат $S = -0\ 1001$, $P = 0011$

Таким чином, для підсумовування послідовності з i чисел із плаваючою крапкою потрібно $(i + 3)$ тактів роботи пристрою. Перед початком обчислення нової послідовності чисел має бути хоча б один холостий такт. При цьому, у відмінність від прототипу, запропонований пристрій для додавання послідовності чисел із плаваючою точкою більш легкий у керуванні, тому що виконує обчислення за передбачувану кількість тактів, що залежить тільки від числа доданків, потребує від зовнішньої керуючої системи завдання меншої кількості керуючих сигналів

Отже, у порівнянні з прототипом, запропонований пристрій при тій же самій точності має більшу швидкодію і простіший в керуванні, крім того має менше число блоків, розроблений з урахуванням діючих Стандарту на двійкову арифметику з плаваючою точкою (P754) та Стандарту на арифметику з плаваючою точкою (ПТ) із різними основами системи числення й словами довільної довжини (P854)

Таблиця 1- Відповідність входу та виходів першого вузла 11 пам'яті

Входи вузла 11 пам'яті		Виходи вузла 11 пам'яті		
Розряди мантиси	Розряди порядку	Напарна група розрядів (цифра)	Парна група розрядів (цифра)	Сигнали встановлення в нуль груп розрядів (цифра)
$A_1A_2A_3A_4$	0001	$00A_1$	$A_2A_3A_4$	000011
$A_1A_2A_3A_4$	0010	$0A_1A_2$	A_3A_40	000011
$A_1A_2A_3A_4$	0011	$A_1A_2A_3$	A_400	000011
$A_1A_2A_3A_4$	0100	$A_2A_3A_4$	$00A_1$	000110
$A_1A_2A_3A_4$	0101	A_3A_40	$0A_1A_2$	000110
$A_1A_2A_3A_4$	0110	A_400	$A_1A_2A_3$	000110
$A_1A_2A_3A_4$	0111	$00A_1$	$A_2A_3A_4$	001100
$A_1A_2A_3A_4$	1000	$0A_1A_2$	A_3A_40	001100
$A_1A_2A_3A_4$	1001	$A_1A_2A_3$	A_400	001100
$A_1A_2A_3A_4$	1010	$A_2A_3A_4$	$00A_1$	011000
$A_1A_2A_3A_4$	1011	A_3A_40	$0A_1A_2$	011000
$A_1A_2A_3A_4$	1100	A_400	$A_1A_2A_3$	011000
$A_1A_2A_3A_4$	1101	$00A_1$	$A_2A_3A_4$	110000
$A_1A_2A_3A_4$	1110	$0A_1A_2$	A_3A_40	110000

Примітка - комбінації адресних входів, що не відповідають на роботу, не показані

Таблиця 2- Вихідність входу та виходу другого вузла 21 пам'яті

Входи вузла 21 пам'яті	Виходи вузла 21 пам'яті		
Входи групи елементів "АБО"	Порядок $(n-1), P_n/(n-1)$	Сигнал перестановки	Сигнали встановлення в нуль груп розрядів (цифр)
000000	0	0	000000
000001	0	0	000001
00001X	0	0	000011
0001XX	11	1	000110
001XXX	110	0	001100
01XXXX	1001	1	011000
1XXXXX	1100	0	110000

Примітка - X - або 0, або 1 - комбінації адресних входів, що не впливають на роботу, не показано

Таблиця 3- Вихідність входу та виходу третього вузла 28 пам'яті

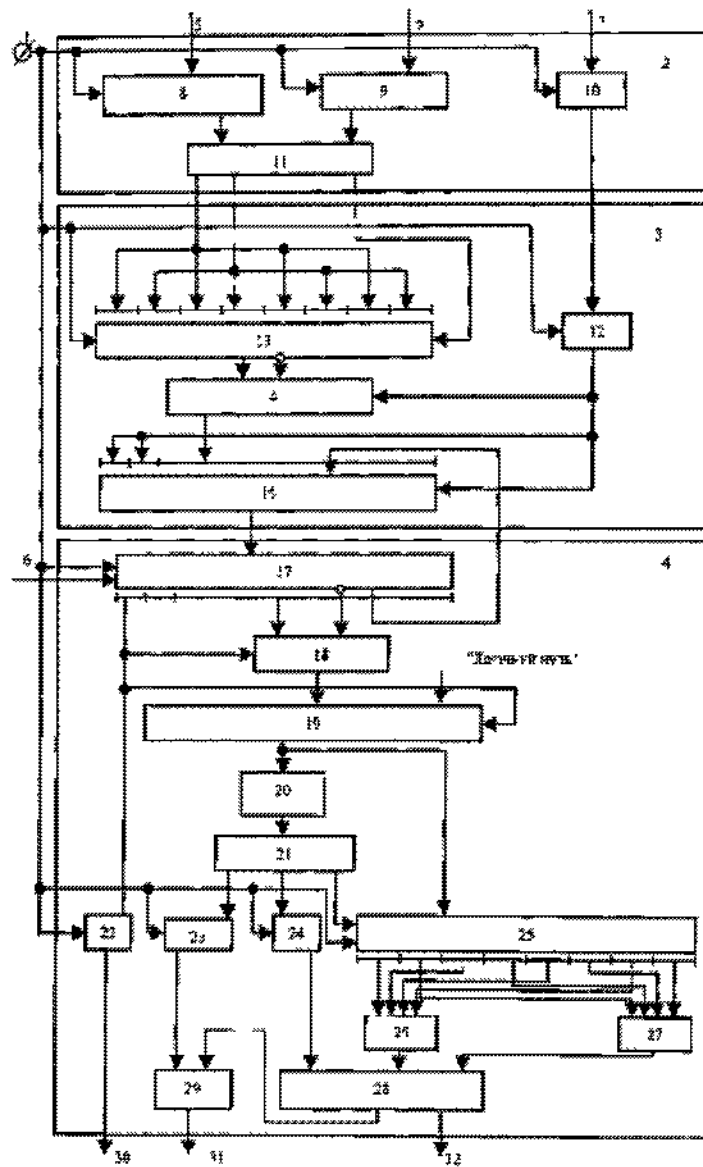
Входи вузла 28 пам'яті			Виходи вузла 28 пам'яті	
Сигнал перестановки	Непарна група розрядів (цифра)	Парна група розрядів (цифра)	Порядок $P_n \bmod (n-1)$	Маска
0	1A ₃ A ₂	A ₆ A ₅ A ₄	0011	A ₁ A ₂ A ₃ A ₄
0	01A ₃	A ₆ A ₅ A ₄	0010	A ₂ A ₃ A ₄ A ₅
0	001	A ₆ A ₅ A ₄	0001	A ₃ A ₄ A ₅ A ₆
1	A ₁ A ₂ A ₃	1A ₅ A ₄	0011	A ₆ A ₅ A ₄ A ₁
1	A ₁ A ₂ A ₃	01A ₅	0010	A ₂ A ₃ A ₄ A ₁
1	A ₁ A ₂ A ₃	001	0001	A ₆ A ₁ A ₃ A ₂
X	000	000	0000	0000

Примітка - X - або 0, або 1, комбінації адресних входів, що не впливають на роботу, не показано

Таблиця 4 - Обчислення $S = a + b + c + d$

№ такту	Виходи елементів			Примітки
	8	9	10	
1	1011	0001	0	На кожному такті поступає черговий операнд
2	1010	1110	1	
3	1100	0011	1	
4	1010	1110	0	
5	X	X	X	

№ такту	Виходи елементів		Примітки
	13	12	
2	000 000 000 000 001 011	0	Цифри мантиси розташовуються на належному місці регістра 13 мантиси
3	010 100 000 000 000 000	1	
4	000 000 000 000 110 000	1	
5	010 100 000 000 000 000	0	
6	X	X	
№ такту	Виходи елементу 17		Примітки
2	00 000 000 000 000 000 000		Почалося обчислення суми нової послідовності тому на другому такті відбулося встановлення в нуль регістра 17, в якому накопичується результат представлений у доповненому коді
3	00 000 000 000 000 001 011		
4	11 101 100 000 000 001 011		
5	11 101 011 111 111 011 011		
6	11 111 111 111 111 011 011		
7	X		
№ такту	Вихід елемента 19		У суматорі 19 результату здійснений перевід результату у прямий код
6	000 000 000 000 100 101		
№ такту	Вихід елемента 20		За допомогою першої групи елементів "АБО" визначається, сигнали груп розрядів містять тільки нулі
6	000011		
№ такту	Вихід елемента 21		У другому вузлі 21 пам'яті визначається $(n-1), P_n/(n-1)$, сигнал перестановки, сигнали встановлення в нуль усіх цифр $M_i(a)$ крім $M_0(a)$
6	0000 0 000011		
№ такту	Вихід елемента 23		У регістрі 25 результату залишилося тільки два десяткові цифри, які за допомогою другої та третьої груп "АБО" будуть викорислені.
7	000 000 000 000 100 101		
№ такту	Вихід елемента 28		У вузлі 28 на дві цифри не були представлені мислями (показав сигнал перестановки доповнює 0), відняти усі нулі на початку нової мантиси, щоб оформувати нормалізоване число, число відхонуте нулів ($P_n \bmod (n-1)$) подіється у суматор 29 порядків
7	0 011 1001		
№ такту	Вихід блоку 4 формування результату		
	30	31	32
7	1	0011	100 1



Фіг.

ДП «Український інститут промислової власності» (Укрпатент)
 вул. Сим'ї Хохлових, 15, м. Київ, 04119, Україна
 (044) 456 – 20 – 90

ТОВ «Міжнародний науковий комітет»
 вул. Артема, 77, м. Київ, 04050, Україна
 (044) 216 – 32 – 71