



УКРАЇНА

(19) UA (11) 14282 (13) U
(51) МПК (2006)
G06F 15/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ МНОЖЕННЯ МАТРИЦЬ

1

(21) u200509953

(22) 24.10.2005

(24) 15.05.2006

(46) 15.05.2006, Бюл. № 5, 2006 р.

(72) Єлфімова Лариса Дмитрівна, Капітонова Юлія Володимирівна

(73) ІНСТИТУТ КІБЕРНЕТИКИ ІМ. В.М.ГЛУШКОВА НАН УКРАЇНИ

(57) 1. Пристрій для множення матриць, який містить N обчислювальних модулів (N - розмір матриць), блоки регістрів, блок синхронізації, при цьому перший і другий входи блока синхронізації є відповідно першим та другим керуючими входами пристрою, перший і другий виходи блока синхронізації підключені відповідно до першого та другого керуючих входів першого обчислювального модуля, третій інформаційний вихід якого є першим інформаційним виходом пристрою, перший та другий інформаційні виходи i-го обчислювального модуля ($i=1,2,\dots,N/2-1$) підключені відповідно до першого і другого інформаційних входів (i+1)-го обчислювального модуля, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих входів i-го обчислювального модуля, третій інформаційний вхід якого підключений до третього інформаційного виходу (i+1)-го обчислювального модуля через i-ий блок регістрів, який відрізняється тим, що у пристрій введено два мультиплексори і два блока елементів I, при цьому перший і другий інформаційні виходи j-го обчислювального модуля ($j=N/2+2,\dots,N$) підключені відповідно до першого і другого інформаційних входів (j-1)-го обчислювального модуля, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих входів j-го обчислювального модуля, третій інформаційний вхід якого підключений до третього інформаційного виходу (j-1)-го обчислювального модуля через j-ий блок регістрів, третій вхід блока синхронізації є третім керуючим входом пристрою, третій вихід блока синхронізації підключений до керуючих входів першого і другого блоків елементів I, перші інформаційні входи першого і другого мультиплексорів є відповідно першим і четвертим інформаційними входами пристрою, другий і третій інформаційні входи якого підключені відповідно до інформаційних входів першого і другого блоків

2

елементів I, виходи яких підключені відповідно до других інформаційних входів першого і N-го обчислювальних модулів, перші інформаційні виходи N/2-го та (N/2+1)-го обчислювальних модулів підключені відповідно до других інформаційних входів другого і першого мультиплексорів, виходи яких підключені відповідно до перших інформаційних входів N-го та першого обчислювальних модулів, перший і другий керуючі входи N-го обчислювального модуля підключені відповідно до першого і другого виходів блока синхронізації та першого і другого керуючих входів першого обчислювального модуля, третій інформаційний вихід N-го обчислювального модуля є другим інформаційним виходом пристрою.

2. Пристрій за п. 1, який відрізняється тим, що кожний обчислювальний модуль містить два регістри, два тригери, блок множення, суматор, блок регістрів і мультиплексор, при цьому перший і другий інформаційні входи обчислювального модуля підключені відповідно до інформаційних входів першого і другого регістрів, інформаційні виходи яких підключені відповідно до першого та другого входів блока множення, вихід якого підключений до першого входу суматора, другий вхід та вихід якого підключені відповідно до виходу та інформаційного входу блока регістрів, інформаційний вхід якого підключений до першого інформаційного входу мультиплексора, другий інформаційний вхід та інформаційний вихід якого є відповідно третім інформаційним входом та третім інформаційним виходом обчислювального модуля, перший і другий керуючі входи якого підключені відповідно до інформаційних входів першого і другого тригерів, виходи яких є відповідно першим та другим керуючими виходами обчислювального модуля, перший інформаційний вихід якого з'єднаний з інформаційним виходом першого регістра, другий інформаційний вихід обчислювального модуля з'єднаний з його другим інформаційним входом та інформаційним входом другого регістра, керуючий вхід якого підключений до першого керуючого входу обчислювального модуля та інформаційного входу першого тригера, вихід другого тригера підключений до керуючого входу мультиплексора та другого керуючого входу обчислювального модуля.

UA (19) 14282 (13) U

3. Пристрій за п. 1, який **відрізняється** тим, що блок синхронізації містить три лічильники і три дешифратори, при цьому перший, другий і третій входи блока синхронізації підключені відповідно до виходів першого, другого і третього лічильників,

виходи яких підключені відповідно до входів першого, другого і третього дешифраторів, виходи яких є відповідно першим, другим та третім виходами блока синхронізації.

Корисна модель відноситься до обчислювальної техніки, зокрема, до класу НВІС-орієнтованих локально зв'язаних процесорних масивів із системою організацією обчислень.

Корисна модель може бути застосована при проектуванні спеціалізованих обчислювальних машин та систем, в першу чергу, систем обробки сигналів та зображень, де однією із базових операцій є матричне множення. В цих системах швидкість обчислень має пріоритетне значення.

Відомий пристрій для множення матриць [патент Росії №1837321. Пристрій для множення матриць, Кл. G06F15/347, Л.Д. Єлфімова, І.Г. Мороз-Подворчан, В.В. Коломейко, В.Д. Петущак, - БВ №32, 1993], що містить N послідовно зв'язаних обчислювальних модулів (N - розмір матриць) і блок синхронізації, а кожний обчислювальний модуль містить вихідний регістр, блок множення, суматор, блок регістрів, мультиплексори.

Загальними ознаками аналога і запропонованого пристрою є наявність N обчислювальних модулів та блока синхронізації, при цьому перший та другий інформаційні виходи i-го обчислювального модуля ($i=1,2,\dots,N/2-1$) підключені відповідно до першого і другого інформаційних входів (i+1)-го обчислювального модуля, третій інформаційний вихід першого обчислювального модуля є першим інформаційним виходом пристрою, перший, другий та третій входи блока синхронізації є відповідно першим, другим та третім керуючими входами пристрою, перший вихід блока синхронізації підключений до першого керуючого входу першого обчислювального модуля.

Причиною, що заважає досягненню поставленої технічної задачі - підвищенню швидкодії пристрою, - є довжина конвеєру, яка складає N послідовно зв'язаних між собою обчислювальних модулів.

Найбільш близьким по технічній сутності до запропонованого пристрою є пристрій для множення матриць, що обрано нами як прототип [патент Росії №1839262. Пристрій для множення матриць, Кл. G06F15/347, Р. Вижиговські, Ю.С. Канєвський, М.К. Клименко, С.Г. Овраменко. - БВ №2, 1994]. Прототип, містить N обчислювальних модулів (N - розмір матриць), блоки регістрів, блок синхронізації, при цьому кожний обчислювальний модуль містить чотири регістри, два мультиплексори, чотири тригери, блок регістрів, блок множення і суматор, при цьому перший та другий інформаційні входи першого обчислювального модуля є відповідно першим та другим інформаційними входами пристрою, входи синхронізації вводу та виводу елементів матриць якого підключені відповідно до однойменних входів блока синхронізації, перший та другий виходи якого підключені відповідно до

першого та другого керуючих входів першого обчислювального модуля, перший та другий інформаційні виходи i-го обчислювального модуля ($i=1,2,\dots,N-1$) підключені відповідно до першого і другого інформаційних входів (i+1)-го обчислювального модуля, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих виходів i-го обчислювального модуля, третій інформаційний вихід першого обчислювального модуля є виходом пристрою, у кожному обчислювальному модулі перший інформаційний вхід підключено до інформаційного входу першого регістру і першого входу блоку множення, другий вхід якого підключено до другого інформаційного входу обчислювального модуля, інформаційного входу другого регістру і першого інформаційного входу першого мультиплексора, другий інформаційний вхід і керуючий вхід якого підключені відповідно до виходу другого регістра і першого керуючого входу обчислювального модуля, об'єднаного з керуючим другим регістром, і з інформаційним входом першого тригера, вихід якого підключено до інформаційного входу другого тригера, вихід якого є першим керуючим виходом обчислювального модуля, третій інформаційний вхід i-го обчислювального модуля підключено до третього інформаційного виходу (i+1)-го обчислювального модуля через i-ий блок регістрів, у кожному обчислювальному модулі перший та другий інформаційні виходи підключені відповідно до виходів третього та четвертого регістрів, інформаційні входи яких підключені відповідно до виходів перших регістра і мультиплексора, вихід блоку множення підключено до першого входу суматора, другий вхід і вихід якого підключені відповідно до виходу і інформаційного входу блоку регістрів, інформаційний вхід якого підключено до першого інформаційного входу другого мультиплексора, другий інформаційний вхід якого є третім інформаційним входом обчислювального модуля, третій інформаційний вихід якого підключено до виходу другого мультиплексора, керуючий вхід якого підключено до виходу четвертого тригера і другого керуючого виходу обчислювального модуля, другий керуючий вхід якого підключено до інформаційного входу третього тригера, вихід якого підключено до інформаційного входу четвертого тригера.

Причиною, що заважає досягненню поставленої технічної задачі - підвищенню швидкодії пристрою, - є довжина конвеєру, яка складає N послідовно зв'язаних між собою обчислювальних модулів.

В основу корисної моделі покладено завдання створити пристрій для множення матриць з новою архітектурою, яка дає можливість завдяки новим елементам та зв'язкам розпаралелити процес об-

числювання добутку двох матриць і, в наслідок чого, підвищити швидкодію пристрою.

Поставлене завдання вирішується тим, що в пристрій для множення матриць, який містить N обчислювальних модулів (N - розмір матриць), блоки регістрів, блок синхронізації, при цьому перший і другий входи блока синхронізації є відповідно першим та другим керуючими входами пристрою, перший і другий виходи блока синхронізації підключені відповідно до першого та другого керуючих входів першого обчислювального модуля, третій інформаційний вихід якого є першим інформаційним виходом пристрою, перший та другий інформаційні виходи i -го обчислювального модуля ($i=1,2,\dots,N/2-1$) підключені відповідно до першого і другого інформаційних входів $(i+1)$ -го обчислювального модуля, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих входів i -го обчислювального модуля, третій інформаційний вхід якого підключений до третього інформаційного виходу $(i+1)$ -го обчислювального модуля через i -ий блок регістрів, введено два мультиплексори і два блока елементів I , при цьому перший і другий інформаційні виходи j -го обчислювального модуля ($j=N/2+2,\dots,N$) підключені відповідно до першого і другого інформаційних входів $(j-1)$ -го обчислювального модуля, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих входів j -го обчислювального модуля, третій інформаційний вхід якого підключений до третього інформаційного виходу $(j-1)$ -го обчислювального модуля через j -ий блок регістрів, третій вхід блока синхронізації є третім керуючим входом пристрою, третій вихід блока синхронізації підключений до керуючих входів першого і другого блоків елементів I , перші інформаційні входи першого і другого мультиплексорів є відповідно першим і четвертим інформаційними входами пристрою, другий і третій інформаційні входи якого підключені відповідно до інформаційних входів першого і другого блоків елементів I , виходи яких підключені відповідно до других інформаційних входів першого і N -го обчислювальних модулів, перші інформаційні виходи $N/2$ -го та $(N/2+1)$ -го обчислювальних модулів підключені відповідно до других інформаційних входів першого і другого блоків елементів I , виходи яких підключені відповідно до других інформаційних входів першого і N -го обчислювальних модулів, перший і другий керуючі входи N -го обчислювального модуля підключені відповідно до першого і другого виходів блока синхронізації та першого і другого керуючих входів першого обчислювального модуля, третій інформаційний вихід N -го обчислювального модуля є другим інформаційним виходом пристрою.

Відмітними ознаками пристрою є два мультиплексори і два блока елементів I , при цьому перший і другий інформаційні виходи j -го обчислювального модуля ($j=N/2+2,\dots,N$) підключені відповідно до першого і другого інформаційних входів $(j-1)$ -го обчислювального модуля, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих входів j -го обчислювального модуля, третій інформаційний вхід якого підключений до третього інформаційного виходу $(i+1)$ -го обчислювального модуля через i -ий блок регістрів $2.I$, третій інформаційний вихід 12 першого обчислювального

модуля через j -ий блок регістрів, третій вхід блока синхронізації є третім керуючим входом пристрою, третій вихід блока синхронізації підключений до керуючих входів першого і другого мультиплексорів та керуючих входів першого і другого блоків елементів I , перші інформаційні входи першого і другого мультиплексорів є відповідно першим і четвертим інформаційними входами пристрою, другий і третій інформаційні входи якого підключені відповідно до інформаційних входів першого і другого блоків елементів I , виходи яких підключені відповідно до других інформаційних входів першого і N -го обчислювальних модулів, перші інформаційні виходи $N/2$ -го та $(N/2+1)$ -го обчислювальних модулів підключені відповідно до других інформаційних входів першого і другого мультиплексорів, виходи яких підключені відповідно до перших інформаційних входів N -го та першого обчислювальних модулів, перший і другий керуючі входи N -го обчислювального модуля підключені відповідно до першого і другого виходів блока синхронізації та першого і другого керуючих входів першого обчислювального модуля, третій інформаційний вихід N -го обчислювального модуля є другим інформаційним виходом пристрою.

Пристрій для множення матриць, який наведено на Фіг.1, містить N обчислювальних модулів $OM\ 1.i$ та $OM\ 1.j$ ($i=1,\dots,N/2$; $j=N/2+1,\dots,N$), $N-2$ блоків регістрів $2.i$ та $2.j$ ($i=1,\dots,N/2-1$; $j=N/2+2,\dots,N$), блок синхронізації 3 , два мультиплексори 4 та 5 , два блока елементів I 6 та 7 . Перший 8 та четвертий 9 інформаційні входи призначені для вводу елементів відповідно першої A_1 та другої A_2 підматриць вхідної матриці A , другий 10 та третій 11 інформаційні входи призначені для вводу елементів відповідно першої B_1 та другої B_2 підматриць вхідної матриці B , перший 12 та другий 13 інформаційні виходи призначені для виводу відповідно елементів першої C_1 та другої C_2 підматриць результуючої матриці C . Блоки пристрою з'єднані між собою наступним чином. Перший 8 та четвертий 9 інформаційні входи пристрою з'єднані відповідно з першими інформаційними входами мультиплексорів 4 та 5 , другі інформаційні входи яких з'єднані відповідно з інформаційними виходами $OM\ 1.N/2+1$ та $OM\ 1.N/2$. Виходи мультиплексорів 4 та 5 з'єднані відповідно з першими інформаційними входами першого та N -го обчислювальних модулів $OM\ 1.1$ та $OM\ 1.N$. Другий 10 та третій 11 інформаційні входи пристрою з'єднані відповідно з інформаційними входами блоків 6 та 7 елементів I , виходи яких з'єднані відповідно із другими інформаційними входами першого та N -го обчислювальних модулів $OM\ 1.1$ та $OM\ 1.N$. Перший та другий інформаційні виходи i -го обчислювального модуля $OM\ 1.i$ ($i=1,2,\dots,N/2-1$) підключені відповідно до першого і другого інформаційних входів $(i+1)$ -го обчислювального модуля $OM\ 1.i+1$, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих входів i -го обчислювального модуля $OM\ 1.i$, третій інформаційний вхід якого підключений до третього інформаційного виходу $(i+1)$ -го обчислювального модуля $OM\ 1.i+1$ через i -ий блок регістрів $2.I$, третій інформаційний вихід 12 першого обчислювального

модуля ОМ 1.1 є першим інформаційним виходом пристрою, перший і другий інформаційні виходи j -го обчислювального модуля ОМ 1. j ($j=N/2+2, \dots, N$) підключені відповідно до першого і другого інформаційних входів ($j-1$)-го обчислювального модуля ОМ 1. $j-1$, перший і другий керуючі входи якого підключені відповідно до першого і другого керуючих виходів j -го обчислювального модуля ОМ 1. j , третій інформаційний вхід якого підключений до третього інформаційного виходу ($j-1$)-го обчислювального модуля ОМ 1. $j-1$ через j -ий блок регістрів, третій інформаційний вихід 13 N -го обчислювального модуля ОМ 1. N є другим інформаційним виходом пристрою.

I -ий та j -ий обчислювальні модулі зображені відповідно на Фіг.2 та Фіг.3 і містять перший 17 та другий 18 регістри, перший 19 та другий 20 тригери, блок множення 21, суматор 22, блок регістрів 23 та мультиплексор 24.

Перший 25 і другий 26 інформаційні входи обчислювальних модулів ОМ 1. i та ОМ 1. j підключені відповідно до інформаційних входів першого 17 і другого 18 регістрів, інформаційні виходи яких підключені відповідно до першого та другого входів блока множення 21, вихід якого підключений до першого входу суматора 22, другий вхід та вихід якого підключені відповідно до виходу та інформаційного входу блока регістрів 23, інформаційний вхід якого підключений до першого інформаційного входу мультиплексора 24, другий інформаційний вхід та інформаційний вихід якого є відповідно третім інформаційним входом 33 та третім інформаційним виходом 28 обчислювальних модулів ОМ 1. i та ОМ 1. j , перший 27 і другий 29 керуючі входи яких підключені відповідно до інформаційних входів першого 19 і другого 20 тригерів, виходи яких є відповідно першим 32 та другим 34 керуючими виходами обчислювальних модулів, перший інформаційний вихід 30 яких з'єднаний з інформаційним виходом першого регістра 17, другий інформаційний вихід 31 обчислювальних модулів з'єднаний з їх другим інформаційним входом 26 та інформаційним входом другого регістра 18, керуючий вхід якого підключений до першого керуючого входу 27 обчислювальних модулів та інформаційного входу першого тригера 19, вихід другого тригера 20 підключений до керуючого входу мультиплексора 24 та другого керуючого входу 34 обчислювальних модулів ОМ 1. i та ОМ 1. j .

Блок синхронізації 3, що зображений на Фіг.4, містить перший 35, другий 36 і третій 37 лічильники, а також перший 38, другий 39 і третій 40 дешифратори. Перший 14, другий 15 і третій 16 входи блока синхронізації є відповідно першим, другим і третім керуючими входами пристрою і з'єднані вони відповідно із входами першого 35, другого 36 і третього 37 лічильників, виходи яких підключені відповідно до входів першого 38, другого 39 і третього 40 дешифраторів, виходи яких є відповідно першим 41, другим 42 та третім 43 виходами блока синхронізації 3, які підключені відповідно до першого та другого керуючих входів першого 1.1 та N -го 1. N обчислювальних модулів, а також до керуючих входів першого 4 та другого 5 мультиплексорів і першого 6 та другого 7 блоків елементів I .

Пристрій реалізує процедуру множення двох матриць A і B згідно виразу виду (1):

$$c_{ij} = \sum_{k=1}^k a_{ik} b_{kj}, \quad (1)$$

де $\{a_{ik}\}$ - елементи вхідної матриці A розміру $N \times K$;

$\{b_{kj}\}$ - елементи вхідної матриці B розміру $K \times N$;

$\{c_{ij}\}$ - елементи результуючої матриці C розміру $N \times N$;

$i=1, 2, \dots, N$; $j=1, 2, \dots, K$.

Кожна із вхідних матриць A і B поділяється відповідно на дві підматриці однакового розміру. Матриця A декомпозиється на підматриці A_1 та A_2 розміром $N/2 \times K$ кожна, а матриця B декомпозиється на підматриці B_1 та B_2 розміром $K \times N/2$ кожна. Якщо N приймає непарне значення, то матриця A доповнюється фіктивним рядком з нульовими елементами, а матриця B доповнюється фіктивним стовпцем з нульовими елементами.

Розглянемо роботу пристрою у випадку квадратних матриць. З метою простоти опису покладемо $N=K=4$. У цьому випадку у блоках регістрів 2. i та 2. j буде три регістри, а у блоці регістрів 23 - чотири регістри, які з'єднані послідовно, та інформація до них надходить із вхідного регістра до наступного. На перший 8 та четвертий 9 інформаційні входи пристрою надходять стовпцями елементи a_{ik} відповідно підматриць A_1 та A_2 , а на другий та третій інформаційні входи 10 і 11 пристрою надходять рядками відповідно елементи b_{kj} підматриць B_1 та B_2 .

На виході 43 блока синхронізації 3 формується активний сигнал, який надходить кожні два такти (див. діаграму роботи пристрою на Фіг.8). При надходженні зазначеного сигналу на керуючі входи мультиплексорів 4 і 5 та блоків 6 і 7 елементів I відбувається передача даних відповідно на перші 25 та другі 26 інформаційні входи першого ОМ 1.1 та четвертого ОМ 1.4 обчислювальних модулів. Активний керуючий сигнал, що формується на виході 41 блока синхронізації 3, надходить на перші керуючі входи 27.1 і 27.4 відповідно обчислювальних модулів ОМ 1.1 та ОМ 1.4 і дозволяє запис даних у регістри з керуючим записом 18.1 і 18.4. Зазначений сигнал записується відповідно до тригерів 19.1 і 19.4. Цей сигнал надходить на керуючі входи регістрів 18.1 і 18.4 кожні чотири такти на п'ятий (див. діаграму роботи пристрою на Фіг.8).

Перший такт. У ОМ 1.1 та ОМ 1.4. До регістрів 17.1 і 18.1 ОМ 1.1 та регістрів 17.4 і 18.4 ОМ 1.4 одночасно надходять елементи відповідно a_{11} , b_{11} та a_{31}, b_{14} вхідних підматриць A_1 , B_1 та A_2 , B_2 . Значення елементів b_{11} та b_{14} записуються у регістри 18.1 та 18.4 і залишаються фіксованими до появи наступного сигналу дозволу запису, який надходить кожні чотири такти.

Другий такт. У ОМ 1.1 та ОМ 1.4. У блоках множення 21.1 та 21.4 відбуваються операції множення відповідно $a_{11} b_{11}$ та $a_{31} b_{14}$, а до вхідних регістрів 17.1 та 17.4 записуються нові елементи відповідно a_{21} та a_{41} . У ОМ 1.2 та ОМ 1.3. До регістрів 17.2 і 18.2 ОМ 1.2 та регістрів 17.3 і 18.3 ОМ 1.3 одночасно записуються елементи відповідно a_{11} , b_{12} та a_{31} , b_{13} . Керуючий сигнал із виходів тригерів 19.1 та 19.4 через вихід 32.1 і 32.4 ОМ 1.1 та

ОМ 1.4 надходить на керуючі входи 27.2 і 27.3 і дозволяє запис наступних елементів b_{12} та b_{13} відповідно до регістрів 18.2 та 18.3. Зазначений сигнал фіксується у тригерах 19.2 та 19.3.

Третій такт. У ОМ 1.1 та ОМ 1.4. Добутки $a_{11} b_{11}$ та $a_{31} b_{14}$ з виходів блоків множення 21.1 та 21.4 складаються з нулями у суматорах 22.1 та 22.4, а результати записуються до блоків регістрів 23.1 та 23.4. У блоках множення 21.1 та 21.4 відбуваються операції множення відповідно $a_{21} b_{11}$ та $a_{41} b_{14}$. На цьому такті сигнали на керуючих входах мультиплексорів 4 та 5 відсутні, отже здійснюється передача елементів a_{11} та a_{31} з перших інформаційних виходів 30 відповідно ОМ 1.N/2 та ОМ 1.N/2+1 через другі інформаційні входи мультиплексорів 4 і 5 відповідно до регістрів 17.1 та 17.4. Сигнали на керуючих входах блоків 6 і 7 елементів І також відсутні, отже блокується передача даних на другі інформаційні входи ОМ 1.1 та ОМ 1.4. У ОМ 1.2 та ОМ 1.3. У блоках множення 21.2 та 21.3 відбуваються операції множення відповідно $a_{11} b_{12}$ та $a_{31} b_{13}$. До вхідних регістрів 17.2 та 17.3 записуються елементи відповідно a_{21} та a_{41} .

Четвертий такт. У ОМ 1.1 та ОМ 1.4. Добутки $a_{21} b_{11}$ та $a_{41} b_{14}$ складаються з нулями відповідно у суматорах 22.1 та 22.4, а результати записуються до блоків регістрів відповідно 23.1 та 23.4. У блоках множення 21.1 та 21.4 відбуваються операції множення $a_{31} b_{11}$ та $a_{11} b_{14}$. До вхідних регістрів 17.1 та 17.4 записуються елементи відповідно a_{41} та a_{21} . У ОМ 1.2 та ОМ 1.3. Добутки $a_{11} b_{12}$ та $a_{31} b_{13}$ складаються з нулями відповідно у суматорах 22.2 та 22.3, а результати надходять до блоків регістрів 23.2 та 23.3. У блоках множення 21.2 та 21.3 відбуваються операції множення відповідно $a_{21} b_{12}$ та $a_{41} b_{14}$, а до вхідних регістрів 17.2 та 17.3 записуються відповідно елементи a_{31} та a_{11} .

П'ятий такт. У ОМ 1.1 та ОМ 1.4. Добутки $a_{31} b_{11}$ та $a_{11} b_{14}$ складаються з нулями відповідно у суматорах 22.1 та 22.4, а результати записуються до блоків регістрів відповідно 23.1 та 23.4. У блоках множення 21.1 та 21.4 відбуваються операції множення $a_{41} b_{11}$ та $a_{21} b_{14}$. До вхідних регістрів 17.1 та 17.4 записуються елементи відповідно a_{12} та a_{32} через перші інформаційні входи мультиплексорів 4 та 5. У вхідні регістри 18.1 та 18.4 записуються відповідно елементи b_{21} та b_{24} . Сигнал дозволу запису у ці регістри надходить через кожні чотири такти на п'ятий і записуються відповідно у тригери 19.1 та 19.4. У ОМ 1.2 та ОМ 1.3. Добутки $a_{21} b_{12}$ та $a_{41} b_{13}$ складаються з нулями відповідно у суматорах 22.2 та 22.3, а результати надходять до блоків регістрів 23.2 та 23.3. У блоках множення 21.2 та 21.3 відбуваються операції множення відповідно $a_{31} b_{12}$ та $a_{11} b_{13}$. До вхідних регістрів 17.2 та 17.4 записуються відповідно елементи a_{41} та a_{21} .

Шостий такт. У ОМ 1.1 та ОМ 1.4. Добутки $a_{41} b_{11}$ та $a_{21} b_{14}$ складаються відповідно у суматорах 22.1 та 22.4 з нулями, а результати записуються до блоків регістрів відповідно 23.1 та 23.4. У блоках множення 21.1 та 21.4 формуються добутки відповідно $a_{12} b_{21}$ та $a_{32} b_{24}$. До вхідних регістрів 17.1 та 17.4 записуються елементи відповідно a_{22} та a_{42} . У ОМ 1.2 та ОМ 1.3. Добутки $a_{31} b_{12}$ та $a_{11} b_{13}$ складаються з нулями відповідно у суматорах

22.2 та 22.3, а результати надходять до блоків регістрів 23.2 та 23.3. У блоках множення 21.2 та 21.3 формуються добутки відповідно $a_{41} b_{12}$ та $a_{21} b_{13}$. До вхідних регістрів 17.2 та 18.2 ОМ 1.2, регістрів 17.3 та 18.3 ОМ 1.3 одночасно надходять відповідно елементи a_{12} , b_{22} та a_{32} , b_{23} . Сигнал дозволу запису інформації до регістрів 18.2 та 18.3 фіксується відповідно у тригерах 19.2 та 19.3.

Сьомий такт. У ОМ 1.1 та ОМ 1.4. У суматорах 22.1 та 22.4 виконуються підсумовування відповідно добутків $(a_{11} b_{11} + a_{12} b_{21})$ та $(a_{31} b_{14} + a_{32} b_{24})$, а результати записуються відповідно до блоків регістрів 23.1 та 23.4. У блоках множення 21.1 та 21.4 формуються відповідно добутки $a_{22} b_{21}$ та $a_{42} b_{24}$. До вхідних регістрів 17.1 та 17.4 записуються відповідно елементи a_{32} та a_{12} . У ОМ 1.2 та ОМ 1.3. Добутки $a_{41} b_{12}$ та $a_{21} b_{13}$ складаються з нулями відповідно у суматорах 22.2 та 22.3, а результати надходять до блоків регістрів 23.2 та 23.3. У блоках множення 21.2 та 21.3 формуються добутки відповідно $a_{41} b_{12}$ та $a_{32} b_{23}$. До вхідних регістрів 17.2 та 17.3 надходять відповідно елементи a_{22} та a_{42} .

Восьмий такт. У ОМ 1.1 та ОМ 1.4. У суматорах 22.1 та 22.4 виконуються підсумовування відповідно добутків $(a_{21} b_{11} + a_{22} b_{21})$ та $(a_{41} b_{14} + a_{42} b_{24})$, а суми записуються відповідно до блоків регістрів 23.1 та 23.4. У блоках множення 21.1 та 21.4 формуються відповідно добутки $a_{32} b_{21}$ та $a_{12} b_{24}$. До вхідних регістрів 17.1 та 17.4 записуються відповідно елементи a_{42} та a_{22} . У ОМ 1.2 та ОМ 1.3. У суматорах 22.2 та 22.3 виконуються підсумовування відповідно добутків $(a_{11} b_{12} + a_{12} b_{22})$ та $(a_{31} b_{13} + a_{32} b_{23})$, а суми записуються відповідно до блоків регістрів 23.2 та 23.3. У блоках множення 21.2 та 21.3 формуються відповідно добутки $a_{22} b_{22}$ та $a_{42} b_{23}$. До регістрів 17.2 та 17.3 записуються відповідно елементи a_{32} та a_{12} .

Дев'ятий такт. У ОМ 1.1 та ОМ 1.4. У суматорах 22.1 та 22.4 виконуються підсумовування відповідно добутків $(a_{31} b_{11} + a_{32} b_{21})$ та $(a_{11} b_{14} + a_{12} b_{24})$, а суми записуються відповідно до блоків регістрів 23.1 та 23.4. У блоках множення 21.1 та 21.4 формуються відповідно добутки $a_{42} b_{21}$ та $a_{22} b_{24}$. До вхідних регістрів 17.1 та 17.4 записуються відповідно елементи a_{13} та a_{33} . До регістрів 18.1 та 18.4 надходять відповідно b_{31} та b_{34} , оскільки активний сигнал надходить до керуючих входів зазначених регістрів через кожні чотири такти на п'ятий. Далі він фіксується відповідно у тригерах 19.1 та 19.4. У ОМ 1.2 та ОМ 1.3. У суматорах 22.2 та 22.3 виконуються підсумовування відповідно добутків $(a_{21} b_{12} + a_{22} b_{22})$ та $(a_{41} b_{13} + a_{42} b_{23})$, а суми записуються відповідно до блоків регістрів 23.2 та 23.3. У блоках множення 21.2 та 21.3 формуються відповідно добутки $a_{32} b_{22}$ та $a_{12} b_{23}$. До регістрів 17.2 та 17.3 записуються відповідно елементи a_{42} та a_{22} .

Десятий такт. У ОМ 1.1 та ОМ 1.4. У суматорах 22.1 та 22.4 виконуються підсумовування відповідно добутків $(a_{41} b_{11} + a_{42} b_{21})$ та $(a_{21} b_{14} + a_{22} b_{24})$, а суми записуються відповідно до блоків регістрів 23.1 та 23.4. У блоках множення 21.1 та 21.4 формуються відповідно добутки $a_{13} b_{31}$ та $a_{33} b_{34}$. До вхідних регістрів 17.1 та 17.4 записуються відповідно елементи a_{23} та a_{43} . У ОМ 1.2 та ОМ 1.3. У суматорах 22.2 та 22.3 виконуються підсумовуван-

$a_{14} b_{43}$. До регістрів 17.2 та 17.3 записуються відповідно елементи a_{44} та a_{24} .

Вісімнадцятий такт. У ОМ 1.1 та ОМ 1.4. У суматорах 22.1 та 22.4 відбувається підсумовування відповідно добутоків $(a_{41} b_{11} + a_{42} b_{21} + a_{43} b_{31} + a_{44} b_{41}) = C_{41}$ та $(a_{21} b_{14} + a_{22} b_{24} + a_{23} b_{34} + a_{24} b_{44}) = C_{24}$, а результати надходять відповідно до першого 12 та другого 13 інформаційних виходів пристрою. У ОМ 1.2 та ОМ 1.3. У суматорах 22.2 та 22.3 виконуються підсумовування відповідно добутоків $(a_{31} b_{12} + a_{32} b_{22} + a_{33} b_{32} + a_{34} b_{42}) = C_{32}$ та $(a_{11} b_{13} + a_{12} b_{23} + a_{13} b_{33} + a_{14} b_{43}) = C_{13}$, а результати через мультимплексори відповідно 24.2 та 24.3 записуються відповідно до блоків регістрів 2.1 та 2.4. У блоках множення 21.2 та 21.3 формуються відповідно добуток $a_{44} b_{42}$ та $a_{24} b_{43}$.

Дев'ятнадцятий такт. У ОМ 1.1 та ОМ 1.4. З виходів блоків регістрів 2.1 та 2.4 через мультимплексори відповідно 24.1 та 24.4 надходять елементи C_{12} та C_{33} відповідно на перший 12 та другий 13 інформаційні виходи пристрою. У ОМ 1.2 та ОМ 1.3. У суматорах 22.2 та 22.3 виконуються підсумовування добутоків відповідно $(a_{41} b_{12} + a_{42} b_{22} + a_{43} b_{32} + a_{44} b_{42}) = C_{42}$ та $(a_{21} b_{13} + a_{22} b_{23} + a_{23} b_{33} + a_{24} b_{43}) = C_{23}$, а результати через мультимплексори відповідно 24.2 та 24.3 записуються відповідно до блоків регістрів 2.1 та 2.4.

Двадцятий такт. У ОМ 1.1 та ОМ 1.4. З виходів блоків регістрів 2.1 та 2.4 через мультимплексори відповідно 24.1 та 24.4 надходять елементи C_{22} та C_{43} відповідно на перший 12 та другий 13 інформаційні виходи пристрою.

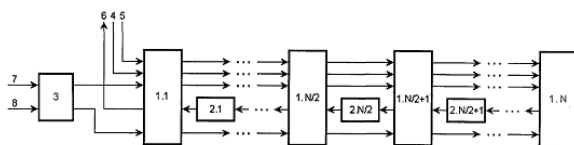
Двадцять перший такт. У ОМ 1.1 та ОМ 1.4. З виходів блоків регістрів 2.1 та 2.4 через мультимп-

лексори відповідно 24.1 та 24.4 надходять елементи C_{32} та C_{13} відповідно на перший 12 та другий 13 інформаційні виходи пристрою.

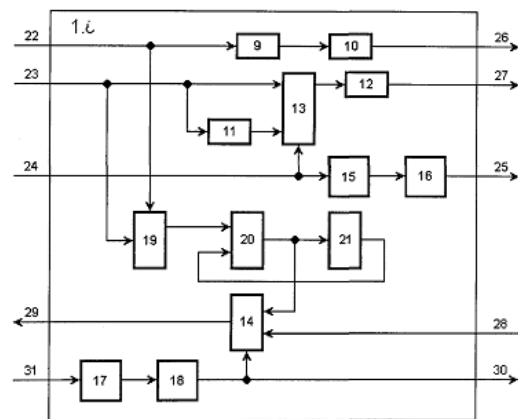
Двадцять другий такт. У ОМ 1.1 та ОМ 1.4. З виходів блоків регістрів 2.1 та 2.4 через мультимплексори відповідно 24.1 та 24.4 надходять останні елементи C_{42} та C_{23} результуючої матриці C відповідно на перший 12 та другий 13 інформаційні виходи пристрою.

Таким чином, у запропонованому пристрої добуток двох матриць обчислюється за $1,5 N^2$ тактів в однозадачному режимі та за $0,5 N^2$ тактів у режимі потоку задач з урахуванням вивантаження результатів. Час обчислювання добутку двох матриць у прототипа складає $2 N^2$ тактів в однозадачному режимі та N^2 тактів у багатозадачному режимі з урахуванням вивантаження результатів. Отже, запропонований пристрій має перед прототипом перевагу, оскільки забезпечує підвищення швидкодії на 25 відсотків у режимі вирішення однієї задачі та на 100 відсотків у режимі потоку задач. Ця перевага відбувається за рахунок нової петлеобразної структури міжмодульного зв'язку, яка забезпечує можливість розпаралелювання процесу обробки інформації.

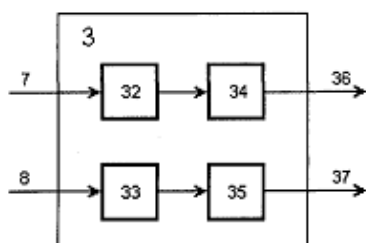
Запропонований пристрій для множення матриць з новою петлеподібною архітектурою є ефективним при НВІС-реалізації, оскільки враховує обмеження мікроелектронної технології по кількості зовнішніх виводів мікросхеми, а саме, має незалежну ширину каналу вводу-виводу даних від розміру матриць. Як бачимо з опису запропонований пристрій може бути реалізованим на серійних мікросхемах, що випускаються промисловістю.



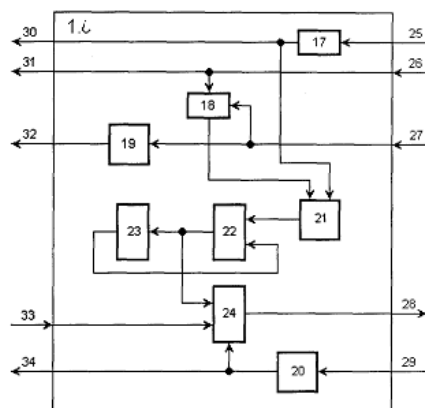
Фиг. 1



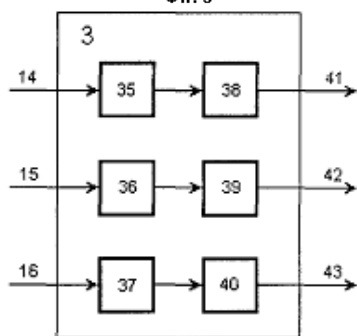
Фиг. 2



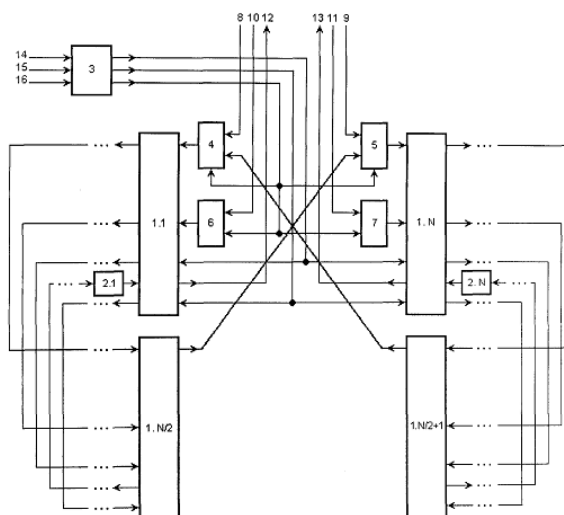
Фиг. 3



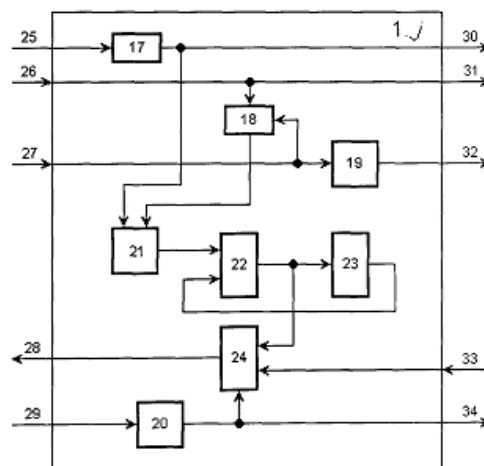
Фиг. 5



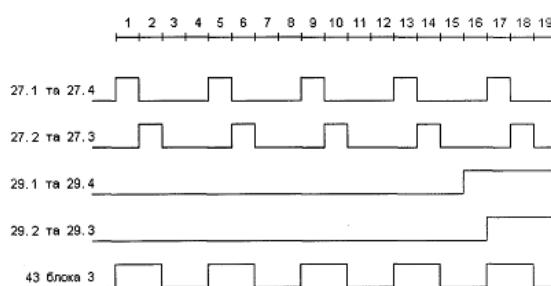
Фиг. 7



Фиг. 4



Фиг. 6



Фиг. 8