



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1430970 A1

(51) 4 G 06 G 7/14

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4190070/24-24

(22) 30.01.87

(46) 15.10.88. Бюл. № 38

(71) Винницкий политехнический институт

(72) В.П. Кожемяко, С.Н. Белан,  
А.И. Короновский и Л.В. Белан

(53) 681.335(088.8)

(56) Майоров С.А. и др. Узлы вычислительной техники - Вычислительная техника, 1976, № 6, с. 83-89.

Авторское свидетельство СССР  
№ 951330, кл. G 06 G 7/14, 1980.

(54) УСТРОЙСТВО ДЛЯ СУММИРОВАНИЯ ДЛИТЕЛЬНОСТЕЙ ИМПУЛЬСОВ

(57) Изобретение относится к автоматике и вычислительной технике и может быть использовано в ЦЕМ. Целью изобретения является повышение быстродействия и расширение области при-

менения за счет параллельного суммирования или вычитания длительностей импульсов. Устройство содержит К блоков суммирования, каждый из которых содержит n бистабильных элементов, группы элементов ИЛИ, группы элементов И, сформирователи импульсов, элементы запрета, шины сложения, вычитания, переноса, заема. Кроме того, устройство содержит блок формирования длительностей импульсов, импульсные входы, вход управления режимами сложения и вычитания, а первый блок суммирования дополнительно содержит группы элементов И, элемент И-НЕ и два элемента НЕ. Информация в устройстве представляется в единично-нормальном коде. Сложение и вычитание длительностей импульсов может производиться как параллельно, так и последовательно. 1 з.п. ф-лы, 2 ил.

(19) SU (11) 1430970 A1

ИЗВ. В. 11.88. П

Изобретение относится к автоматике и вычислительной технике и может быть использовано в ЦВМ.

Цель изобретения - повышение быстродействия и расширение области применения устройства за счет параллельного суммирования или вычитания длительностей импульсов.

На фиг. 1 изображена блок-схема предлагаемого устройства; на фиг. 2 - схема блока формирования длительностей импульсов.

Устройство содержит  $K$  блоков  $1_1 - 1_K$  суммирования, каждый из которых содержит  $n$  бистабильных элементов  $2_1, 2_2 - 2_n$  с входами 3 и 4 установки в "1" и "0" соответственно, первую группу элементов ИЛИ 5, вторую группу элементов ИЛИ 6, первую группу элементов И 7, вторую группу элементов И 8, два формирователя 9 импульсов, первый 10 и второй 11 элементы запрета, шину 12 сложения, шину 13 вычитания, шину 14 переноса, шину 15 заема, блок 16 формирования длительностей импульсов, первый 17 и второй 18 импульсные входы и вход 19 управления режимами сложения и вычитания.

В первый блок  $1_1$  суммирования дополнительно входят третья группа элементов И 20, четвертая группа из элементов И 21-24, элемент И-НЕ 25 и два элемента НЕ 26 и 27. Блок 16 формирования длительностей импульсов, содержит с первого по третий выходы 28-30, сигнальные входы 31 и 32, управляющий вход 33, четвертый выход 34, элементы НЕ 35 и 36, элементы И 37-40 и элементы ИЛИ 41 и 42.

Устройство работает следующим образом.

Каждый блок  $1_1 - 1_K$  содержит четное количество бистабильных элементов, т.е.  $n = 2i$  ( $i = 1, K$ ).

Информация в устройстве представляется в единично-нормальном коде.

Сложение и вычитание длительностей импульсов может производиться как параллельно, так и последовательно.

Для последовательного сложения длительностей импульсов на вход 19 устройства подается логический "0", а на первый 17 либо второй 18 входы устройства подаются первый импульс, поступающий на первый 31 или второй 32 входы блока 16 формирования длительностей импульсов и проходящий на его

выход 34, поступающий оттуда на шину 12 сложения, при этом сигнал с выхода элемента 10 запрета через элемент ИЛИ 5 поступает на вход 3 установки в единичное состояние бистабильного элемента  $2_1$ , вызывая его установку в состояние логической "1", которая появляется на единичном выходе, давая разрешение на переключение следующего бистабильного элемента и т.д.

Последний бистабильный элемент  $2_n$  при установке в состояние логической "1" дает разрешение на формирование импульса переноса с выхода схемы второго формирователя 9 импульсов, этим же импульсом все бистабильные элементы, кроме первого в первой группе, устанавливаются в состояние логического "0" воздействием на входы 4 установки в нулевое состояние через элементы ИЛИ 6, при этом длительность  $t_{\text{ср макс}}$  импульса определяется максимальным временем переключения бистабильных элементов  $2_1 - 2_n$ . Первый бистабильный элемент  $2_1$  не устанавливается в состояние логического "0", только в том случае, когда входной импульс продолжает присутствовать на одном из двух входов 17 или 18 устройства и по окончании времени установки в состояние логической "1" последнего бистабильного элемента  $2_n$  первой группы, через время  $t_{\text{ср макс}}$  первый бистабильный элемент  $2_1$  следующей группы перейдет в состояние логической "1", а первый бистабильный элемент  $2_1$  первой группы останется в состоянии логической "1" лишь только в том случае, если

$$t > n \cdot t_{\text{ср ср}}$$

где  $t$  - длительность импульса на входе 17 или 18 устройства;

$t_{\text{ср ср}}$  - среднее время срабатывания одного бистабильного элемента.

Первый бистабильный элемент  $2_1$  первой группы остается в состоянии логической "1", так как с выхода 30 блока 16 на вход первого элемента НЕ 26 поступает сигнал логической "1", который преобразуется в логический "0" и поступает на первый вход третьего элемента И 23, на выходе которого также будет присутствовать логический "0", поступающий через второй элемент ИЛИ 6 на нулевой вход первого бистабильного элемента  $2_1$ .

который, в свою очередь, не переходит в состояние логического "0". Для последовательного вычитания длительностей импульсов в устройство заносят импульс уменьшаемый. Процесс записи импульса уменьшаемого аналогичен вышеописанному режиму последовательного сложения.

При поступлении информации на шину 13 вычитания сигнал с выхода элемента 11 запрета поступает на элементы И 8 и появляется на выходах тех элементов И 8, на вторые входы которых с нулевых выходов бистабильных элементов поступает сигнал логической "1", т.е. эти бистабильные элементы находятся в состоянии логического "0".

Допустим, в декаде в состоянии логической "1" находится  $i$  бистабильных элементов  $2_1-2_i$ , следовательно, в состоянии логического "0" находится  $n-i$  бистабильных элементов  $2_{i+1}-2_n$ . С нулевого выхода  $(i+1)$ -го бистабильного элемента  $2_{i+1}$  через элемент И 8 сигнал логической "1" поступает через элемент ИЛИ 6 на вход 4 установки в нулевое состояние бистабильного элемента  $2_i$ , вызывая его установку в состояние логического "0", т.е. на его нулевом выходе появляется логическая "1", давая разрешение на переключение следующего бистабильного элемента  $2_{i-1}$  и т.д. При этом на единичном выходе  $i$ -го бистабильного элемента  $2_i$  появляется логический "0" и т.д.

Первый бистабильный элемент  $2_1$  при установке в состояние логического "0" разрешает формирование импульса переноса с выхода схемы первого формирователя импульсов, этим же импульсом все бистабильные элементы  $2_1-2_n$  устанавливаются в состояние логической "1" воздействием на входы 3 установки в единичное состояние через элементы ИЛИ 6, при этом длительность импульса определяется максимальным временем переключения.

Последний бистабильный элемент  $2_n$  устанавливается в состояние логической "1" лишь в том случае, если с шины 13 вычитания в этот момент не подается единичный сигнал. На выходе второго элемента НЕ 27 присутствует сигнал логической "1", который через четвертый элемент И 24 и элемент ИЛИ 5 поступает на единичный вход 3 последнего бистабильного элемента  $2_n$ .

Через шину 15 заема в нулевое состояние переходит старший бистабильный элемент второй группы, находящийся в состоянии логической "1".

Для одновременного сложения двух длительностей импульсов на вход 19 устройства подается логический "0", а на первый 17 и второй 18 входы - суммируемые импульсы. Все они поступают на входы 31-33 блока 16. В результате на выходе 34 блока 16 будет присутствовать импульс с длительностью, равной наибольшей длительности одного из суммируемых импульсов.

Таким образом, устройство может суммировать длительности импульсов, совпадающие по передним фронтам, а суммирование происходит за время, равное времени импульса с большей длительностью.

Если на первые два входа 17 и 18 устройства одновременно подаются суммируемые импульсы, то первых два бистабильных элемента  $2_1$  и  $2_2$  первой группы одновременно устанавливаются в единичное состояние за счет того, что с двух выходов 28 и 29 блока 16 на входы элемента И 21 подаются логические "1", а с выхода элемента И 21 через элементы ИЛИ 5 единичный сигнал поступает на единичные входы 3 первых двух бистабильных элементов  $2_1$  и  $2_2$ , вызывая их установку в состояние логической "1", которая появляется на единичных выходах, давая разрешение на переключение следующих двух бистабильных элементов  $2_3$  и  $2_4$ . Единичный сигнал с выхода элемента И 7, первый вход которого подключен к единичному выходу бистабильного элемента  $2_2$  поступает на третий вход второго элемента И 20, сигнал с выхода которого через элементы ИЛИ 5 поступает на единичные входы 3 бистабильных элементов  $2_3$  и  $2_4$ , тем самым вызывая их установку в состояние логической "1" и т.д.

Последний бистабильный элемент  $2_n$  при установке в состояние логической "1" дает разрешение на формирование импульса переноса с выхода второго формирователя 9 импульсов. Этим же импульсом все бистабильные элементы устанавливаются в состояние логического "0" воздействием на входы 4 установки в нулевое состояние через элементы ИЛИ 6, при этом длительность импульса определяется максимальным

временем переключения бистабильных элементов.

Если на первых двух входах 17 и 18 устройства продолжают присутствовать два импульса, то в состоянии логической "1" переходит бистабильный элемент следующей группы, а в первой группе остаются в том же единичном состоянии первые бистабильные элементы  $2_1$  и  $2_2$ , так как с выходов 28-30 блока 16 на входы элемента И-НЕ 25 и элемента НЕ 26 подаются сигналы логической "1". На выходах элементов НЕ 26 и И-НЕ 25 появляются логические "0", поступающие через элементы И 23 и 22 и элементы ИЛИ 6 на нулевые входы 4 первых двух бистабильных элементов  $2_1$  и  $2_2$ , тем самым не вызывая их переключения. В дальнейшем процесс сложения происходит аналогичным образом.

С момента времени, когда импульс с меньшей длительностью заканчивается, сложение происходит так же, как и сложение при последовательном суммировании, до окончания импульса с большей длительностью.

Для параллельного вычитания двух длительностей импульсов на вход 19 устройства подает сигнал логической "1", а на первый 17 и второй 18 входы устройства соответственно подает импульс-уменьшаемого и импульс вычитаемого, причем моменты присутствия обоих импульсов должны соответствовать условиям

$$t_2 \leq t_1;$$

$$t_2 = \begin{cases} 1, & \text{при } t_1 = 1 \\ 0, & \text{при } t_1 = 0, \end{cases}$$

где  $t_2$  - время присутствия импульса вычитаемого;

$t_1$  - время присутствия импульса уменьшаемого.

Таким образом, время присутствия вычитаемого импульса не выходит за рамки времени присутствия уменьшаемого импульса.

Блок 16 на выходе 34 формирует импульс, длительность которого соответствует времени  $t_3 = t_1 - t_2$  присутствия только уменьшаемого импульса. Время присутствия одновременно двух импульсов не учитывается. Если импульсы по передним фронтам не совпадают,

то на выходе блока 16 будет присутствовать два импульса с длительностями, соответственно равными длительности от переднего фронта уменьшаемого импульса до переднего фронта вычитаемого импульса и от заднего фронта вычитаемого импульса до заднего фронта уменьшаемого импульса, т.е. блок 16 вырезает длительность импульса (двух импульсов), полученного в результате вычитания. Полученный импульс поступает на шину сложения и в дальнейшем процесс записи происходит аналогично процессу последовательного суммирования, описанного выше.

Таким образом, устройство может последовательно и параллельно суммировать и вычитать длительности импульсов.

Блок 16 формирования импульса сложения и вычитания работает следующим образом.

В режимах сложения на вход 33 подается логический "0", а на входы 31 и 32 подаются логические "1", поступающие через элементы И 38 и 39 (за счет присутствия на выходе элемента НЕ логического "0") на входы элемента ИЛИ 41 и на выходы 28 и 29. С выхода элемента ИЛИ 41 единичный сигнал поступает на выход 30 и через элемент ИЛИ 42 - на выход 34 блока 16. Если присутствует один импульс на одном из двух входов блока 16, то на выходе элемента ИЛИ 41 также будет присутствовать логическая "1".

В режиме параллельного вычитания на вход 32 блока 16 подается логическая "1", поступающая также на вход элемента И 37. С выхода элемента НЕ 35 на вторые выходы первого и второго элементов И 38 и 39 поступает логический "0". Следовательно, на выходе элемента ИЛИ 41 и выходах 28 и 29 присутствует логический "0". Если на выходе 30 присутствует импульс, а на входе 31 импульс не присутствует, то на первый вход элемента И 40 с первого выхода 30 блока 16 и на второй вход с выхода второго элемента НЕ 36 поступает логическая "1". С выхода элемента И 40 через элемент И 37 и второй элемент ИЛИ 42 единичный сигнал поступает на выход 34 блока 16. Если импульсы присутствуют на первых двух входах 31 и 32 блока 16, то на выходе элемента И 40 будет присутствовать логический

"0", который также поступает на выход 34 блока 16.

# Ф о р м у л а и з о б р е т е н и я 5

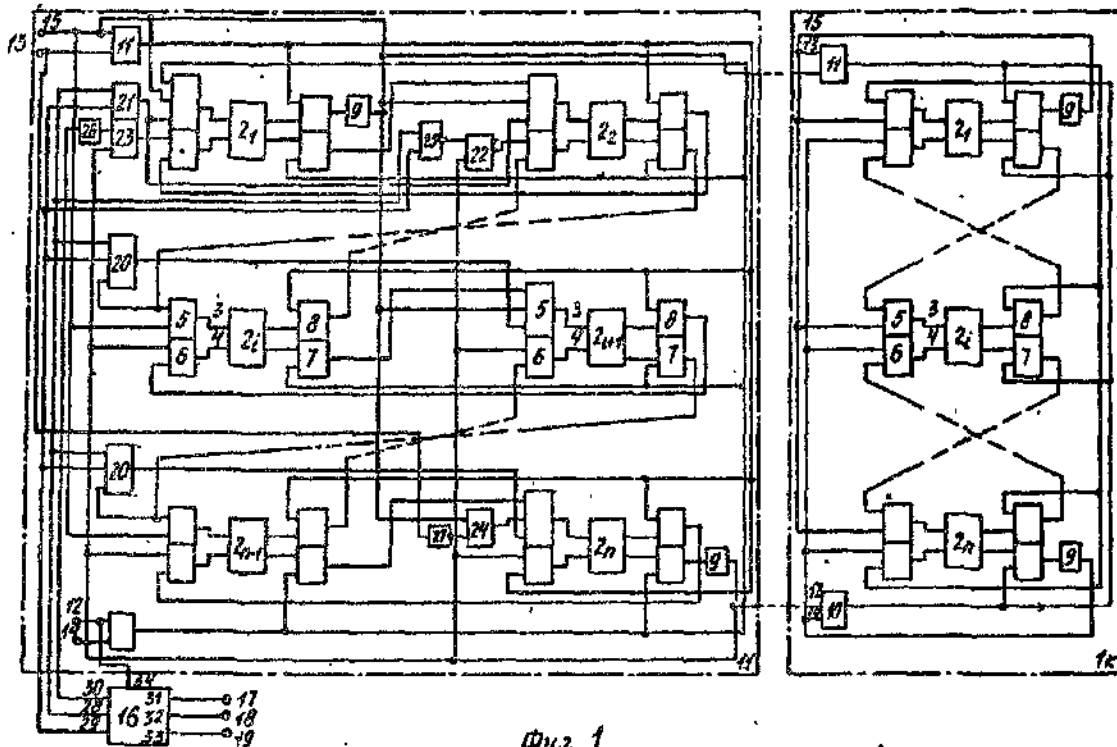
1. Устройство для суммирования длительностей импульсов, содержащее К блоков суммирования, каждый из которых содержит п бистабильных элементов, два элемента запрета, два формирователя импульсов, две группы по п элементов И и две группы по п элементов ИЛИ, причем в каждом j-м ( $j=1, K$ ) блоке суммирования единичный выход i-го ( $i=1, n$ ) бистабильного элемента подключен к первому входу i-го элемента И первой группы, соединенного выходом с первым входом (i+1)-го элемента ИЛИ первой группы, выход которого подключен к входу установки в "1" (i+1)-го бистабильного элемента, соединенного нулевым выходом с первым входом (i+1)-го элемента И второй группы, подключенного выходом к первому входу i-го элемента ИЛИ второй группы, выход которого соединен с входом установки в "0" i-го бистабильного элемента, причем выход первого элемента ИЛИ первой группы подключен к входу установки в "1" первого бистабильного элемента, соединенного нулевым выходом с первым входом первого элемента И второй группы, подключенного выходом к входу первого формирователя импульсов, причем вторые входы элементов И первой группы и первый вход первого элемента ИЛИ первой группы соединены с выходом первого элемента запрета, подключенного первым входом к вторым входам с третьего по n-й элементов ИЛИ второй группы и выходу второго формирователя импульсов, соединенного входом с выходом n-го элемента И первой группы, а вторые входы элементов И второй группы и второй вход n-го элемента ИЛИ второй группы подключены к выходу второго элемента запрета, соединенного первым входом с выходом первого формирователя импульсов и вторыми входами с первого по (n-1)-й элементов ИЛИ первой группы, причем в каждом j-м блоке суммирования, за исключением первого блока, выход первого формирователя импульсов подключен к второму входу n-го элемента ИЛИ первой группы, выход второго формирователя импульсов соединен с вто-

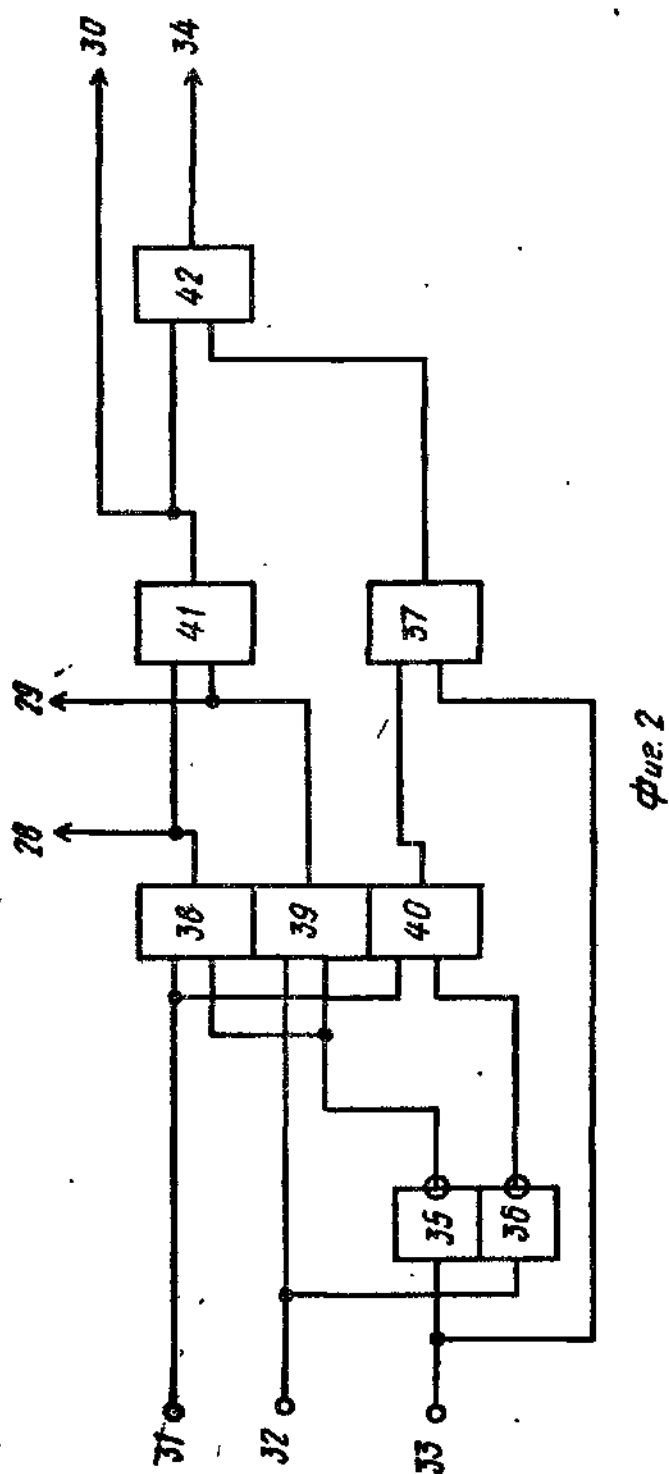
рыми входами первого и второго элементов ИЛИ второй группы, вторые входы первого и второго элементов запрета j-го блока суммирования подключены к выходам второго и первого формирователей импульсов (j-1)-го блока суммирования соответственно, а вторые входы первого и второго элементов запрета первого блока суммирования соединены с шинами сложения и вычитания устройства соответственно, отсюда следует, что, с целью повышения быстродействия и расширения области применения за счет параллельного суммирования или вычитания длительностей импульсов, в него введен блок формирования длительностей импульсов, а первый блок суммирования дополнительно содержит третью группу из  $(n-2)/2$  элементов И, четвертую группу из четырех элементов И, два элемента НЕ и элемент И-НЕ, при этом блок формирования длительностей импульсов подключен первым и вторым сигнальными входами к первому и второму импульсным входам устройства, управляющим входом - к входу управления режимами сложения и вычитания устройства, первым и вторым выходами соответственно к первым и вторым входам элементов И третьей группы, первому и второму входам первого элемента И четвертой группы и первому и второму входам элемента И-НЕ, третьим выходом - к входу первого элемента НЕ, а четвертым выходом - к второму входу первого элемента запрета первого блока суммирования, причем в первом блоке суммирования выход первого элемента И четвертой группы соединен с третьими входами первого и второго элементов ИЛИ первой группы, второй элемент И четвертой группы подключен выходом к второму входу второго элемента ИЛИ второй группы, первым входом - к выходу элемента И-НЕ, а вторым входом - к выходу второго формирователя импульсов и первому входу третьего элемента И четвертой группы, соединенного вторым входом с выходом первого элемента НЕ, а выходом - с вторым входом первого элемента ИЛИ второй группы, при этом четвертый элемент И четвертой группы подключен выходом к второму входу n-го элемента ИЛИ первой группы, первым входом - к выходу первого формирователя импульсов, а вторым входом - к выходу

второго элемента НЕ, соединенного входом с шиной вычитания устройства, при этом каждый 1-й  $[1 \leq 1 \leq (n-2) \cdot 2]$  элемент И третьей группы подключен третьим входом к выводу  $(2-1)$ -го элемента И первой группы, а выходом - к третьему входу  $2 \cdot (1+1)$ -го элемента ИЛИ первой группы.

2. Устройство по п. 1, отличающееся тем, что блок формирования длительностей импульсов содержит четыре элемента И, два элемента ИЛИ и два элемента НЕ, причем первый элемент НЕ подключен входом к управляющему входу блока формирования длительностей импульсов и первому входу первого элемента И, а выходом - к первым входам второго и третьего элементов И, причем второй элемент И соединен вторым входом с первым сигнальным входом блока формирования длительностей импульсов и первым вхо-

дом четвертого элемента И, а выходом - с первым выходом блока формирования длительностей импульсов и первым входом первого элемента ИЛИ, подключенного вторым входом к выходу третьего элемента И и второму выходу блока формирования длительностей импульсов, а выходом - к первому входу второго элемента ИЛИ, соединенного вторым входом с выходом первого элемента И, второй вход которого подключен к выходу четвертого элемента И, соединенного вторым входом с выходом второго элемента НЕ, подключенного входом к второму входу третьего элемента И и второму сигнальному входу блока формирования длительностей импульсов, а выходы первого и второго элементов ИЛИ соединены соответственно с третьим и четвертым выходами блока формирования длительностей импульсов.





Редактор А. Ревин

Составитель С. Казинов  
Техред Л. Сердюкова

Корректор Л. Патай

Заказ 5344/51

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

