



УКРАЇНА

(19) UA

(11) 47521

(13) C2

(51) 6 G06F7/52

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ НА ВІНАХІД

(54) ШВИДКОДІЮЧИЙ ПОМНОЖУВАЧ

1

2

(21) 99116224

(22) 16 11 1999

(24) 15 07 2002

(46) 15 07 2002, Бюл. № 7, 2002 р.

(72) Паулін Олег Миколайович, Синегуб Микола
Іванович(73) ОДЕСЬКИЙ ДЕРЖАВНИЙ ПОЛІТЕХНІЧНИЙ
УНІВЕРСИТЕТ

(56) SU 1156066, G06F 7/52, 15 05 1985

SU 1206773, G06F 7/52, 23 01 1986

US 5253195, G06F 7/52, 11/00, 12 10 1993

(57) Швидкодійний помножувач, що має m ($m = 16n^2$, $n = 2^t$, $t = 1, 2, \dots$) елементів I , який відрізняється тим, що в нього введені блок суматорів сум першого рангу, блок суматорів сум другого рангу, блок суматорів результатуючих, блок суматорів переносів першого рангу, блок суматорів переносів другого рангу, блок суматорів переносів третього рангу, перша та друга шини, при цьому виходи елементів I об'єднані в групи по $4n$ та виходи кожної групи з'єднані з відповідними $4n$ входами блока суматорів сум першого рангу, перша група виходів розрядів сум S якого з'єднана з відповідними розрядами входу блока суматорів сум другого рангу, друга група виходів розрядів переносів P_1 блока суматорів сум першого рангу з'єднана з відповідними розрядами першого входу

блока суматорів переносів другого рангу, третя група виходів розрядів переносів P_2 блока суматорів сум першого рангу з'єднана з відповідними розрядами входу блока суматорів переносів першого рангу, перша група виходів розрядів сум S та друга група виходів розрядів переносів P якого з'єднані відповідно з відповідними розрядами другого та третього входів блока суматорів переносів другого рангу, перша група виходів розрядів сум S та друга група виходів розрядів переносів P якого з'єднані відповідно з відповідними розрядами першого та другого входів блока суматорів переносів третього рангу, перша група виходів розрядів сум S та друга група виходів розрядів переносів P якого з'єднані відповідно з відповідними розрядами третього та четвертого входів блока суматорів результатуючих, перша група виходів розрядів сум S та друга група виходів розрядів переносів P блока суматорів сум другого рангу з'єднані відповідно з відповідними розрядами першого та другого входів блока суматорів результатуючих, вхід пристрою через виходи першої шини з'єднаний відповідно з першими входами, а через виходи другої шини – відповідно з другими входами елементів I , розряди виходу пристрою з'єднані з відповідними розрядами виходу блока суматорів результатуючих

Запропонований винахід відноситься до області обчислювальної техніки та може бути використаний в цифрових пристроях та системах цифрової обробки сигналів

Відомий пристрій для перемноження (а с СССР № 1206773, кл. G06F 7/52, БИ № 3, 1986 г.), що вміщує реєстр множного та реєстр множника, комутатор, накопичуючий суматор, вузол керування комутатором, інформаційні входи розрядів першої, другої та третьої груп комутатора з'єднані з прямими виходами відповідних розрядів реєстра множного, прямими виходами розрядів реєстра множного із зсувом на один розряд вліво та з інверсними виходами відповідних розрядів реєстра множника, виходи комутатора приєднані до входів розрядів накопичуючого суматора, перший, другий

та третій керуючі входи комутатора з'єднані відповідно з першим, другим та третім виходами вузла керування комутатором, виходи двох молодших розрядів накопичуючого суматора з'єднані з входами відповідно двох старших розрядів реєстра множника, виходи двох молодших розрядів котрого та вихід знакового розряду накопичуючого суматора з'єднані з входами вузла керування комутатором, третій вихід якого приєднано до входу переносу накопичуючого суматора, вузол визначення знаку операції, що вміщує елемент I та елемент АБО, а накопичуючий суматор вміщує реєстр та комбінований суматор, виходи розрядів котрого з'єднані із зсувом на два розряди вправо з входами розрядів реєстра накопичуючого суматора, вихід знакового розряду якого є виходом знакового

(13) C2

(11) 47521

(19) UA

розряду накопичуючого суматора та приєднаний до першого входу елемента І вузла визначення знаку операцій, перша група входів комбінаційного суматора є входом розрядів накопичуючого суматора, друга група входів комбінаційного суматора з'єднана з виходами розрядів накопичуючого суматора, другий та третій входи елемента І вузла визначення знаку операції з'єднані з виходами молодших розрядів реєстра множника, а вихід приєднано до першого входу елемента АБО вузла визначення знаку операції, другий вхід якого з'єднаний з третім входом вузла керування комутатором, вихід елемента АБО вузла визначення знаку операції приєднано до входу знакового розряду реєстра накопичуючого суматора, вхід переносу комбінаційного суматора є входом переносу накопичуючого суматора, виходи розрядів реєстра \sim множника з'єднані зсувом на два розряди вправо з виходами розрядів реєстра множника.

Перемноження чисел за допомогою цього пристрою виконується програмно-апаратним способом в декілька тактів і, отже, у цього пристрою низька швидкодія.

Найбільш близьким за технічною суттю та досягаемому результату до пропонуемого винаходу є пристрій для перемноження двійкових чисел (а с СССР № 1156066, кл. G06F 7/52, БИ № 18, 1985 г.), що містить m ($m = 16n^2$, $n = 2^t$, $t = 1, 2, \dots$) тривходових суматорів, m елементів затримки та m елементів І, при цьому перші входи елементів І з'єднані з входом множного пристрою, другий вхід i -го елемента І з'єднаний з входом i -го розряду множника пристрою відповідно ($i = 1, 2, \dots, m$), а виходи елементів І з'єднані з першими входами відповідних тривходових суматорів, другі входи котрих, крім останнього тривходового суматора, з'єднані з виходами відповідних елементів затримки, вхід i -го елемента затримки, крім останнього, з'єднано з виходом суми $(i + 1)$ -го тривходового суматора, вхід m -го елемента затримки з'єднано з виходом порозрядного переносу m -го тривходового суматора, вихід суми першого тривходового суматора з'єднано з виходом пристрою, вхід логічного нуля пристрою з'єднано з третім входом першого тривходового суматора, вихід порозрядного переносу j -го тривходового суматора ($j = 1, 2, \dots, m - 1$) з'єднано з третім входом $(j + 1)$ -го тривходового суматора, вихід m -го елемента затримки з'єднаний з другим входом m -го тривходового суматора.

Недоліком прототипу є застосування в його схемі лише однорозрядних тривходових суматорів з послідовним переносом із розряду в розряд, що приводить до низької швидкодії.

В основу винаходу поставлено задачу створення такого швидкодіючого помножувача, в якому шляхом введення нових елементів та взаємозв'язків зменшується число рангів, що приводить до підвищення швидкодії.

Поставлена задача розв'язується тим, що в пристрій, що має m ($m = 16n^2$, $n = 2^t$, $t = 1, 2, \dots$) елементів І, відповідно до винаходу введені блок суматорів сум першого рангу, блок суматорів сум другого рангу, блок суматорів результатуючих, блок суматорів переносів першого рангу, блок суматорів переносів другого рангу, блок суматорів переносів третього рангу, перша та друга шини, при

цьому виходи елементів І об'єднані в групи по $4n$ та виходи кожної групи з'єднані з відповідними $4n$ входами блока суматорів сум першого рангу, перша група виходів розрядів сум S котрого з'єднана з відповідними розрядами входу блока суматорів сум другого рангу, друга група виходів розрядів переносів P_1 блока суматорів сум першого рангу з'єднана з відповідними розрядами першого входу блока суматорів переносів другого рангу, третя група виходів розрядів переносів P_2 блока суматорів сум першого рангу з'єднана з відповідними розрядами першого входу блока суматорів переносів першого рангу, перша група виходів розрядів сум S та друга група виходів розрядів переносів P котрого з'єднані відповідно з відповідними розрядами другого та третього входів блока суматорів переносів другого рангу, перша група виходів розрядів сум S та друга група виходів розрядів переносів P котрого з'єднані відповідно з відповідними розрядами першого та другого входів блока суматорів переносів третього рангу, перша група виходів розрядів сум S та друга група виходів розрядів переносів P котрого з'єднані відповідно з відповідними розрядами третього та четвертого входів блока суматорів результатуючих, перша група виходів розрядів сум S та друга група виходів розрядів переносів P блока суматорів сум другого рангу з'єднані відповідно з відповідними розрядами першого та другого входів блока суматорів результатуючих, вхід пристрою крізь виходи першої шини з'єднаний відповідно з першими входами, а крізь виходи другої шини — відповідно з другими входами елементів І, розряди виходу пристрою з'єднані з відповідними розрядами виходу блока суматорів результатуючих.

В даному пристрої на основі введених нових елементів та взаємозв'язків в усіх блоках, крім останнього блока суматорів результатуючих, виконується нарізне підсумовування значень сум та одержаних при підсумовуванні переносів на базі швидкодіючих три і чотиристовних чотирохрозрядних суматорів, що приводить до скорочення рангів та підвищення швидкодії.

Суть винаходу пояснюється наступними фігурами.

фіг 1 — структурна схема швидкодіючого помножувача,

фіг 2 — розбиття паралелограму часткових добуток,

фіг 3 — трикутня підматриця для суматора SMH,

фіг 4 — функціональне позначення суматора SMH,

фіг 5 — таблиця переносу P_3 суматора SMH,

фіг 6 — таблиця переносу P_4 суматора SMH,

фіг 7 — таблиця переносу P_5 суматора SMH,

фіг 8 — таблиця переносу P_6 суматора SMH,

фіг 9 — трикутня підматриця для суматора SML,

фіг 10 — функціональне позначення суматора SML,

фіг 11 — таблиця переносу P_2 суматора SML,

фіг 12 — таблиця переносу P_3 суматора SML,

фіг 13 — таблиця переносу P_4 суматора SML,

фіг 14 — структура швидкодіючого помножувача 32×32 .

Схема пристрою, що заявляється, приведена на фіг 1 Тут позначено 1,1, 1,2, ..., 1,16n² — елементи I (n = 2^t, t = 1, 2, ...), 2 — блок суматорів сум першого рангу ΣII, 3 — блок суматорів сум другого рангу ΣΣI, 4 — блок суматорів результуючих ΣR, 5 — блок суматорів переносів першого рангу ΣPI, 6 — блок суматорів переносів другого рангу ΣΣPII, 7 — блок суматорів переносів третього рангу ΣPIII, 8 — перша шина 4n-розрядного множення A, 9 — друга шина 4n-розрядного множення B

Перелічені компоненти схеми з'єднані наступним чином

Вихідні елементи $1\ 11 - 1\ 16n^2$ об'єднані в групи по 4п та виходи кожної групи з'єднані з відповідними 4п входами блока 2, перша група виходів розрядів сум S котрого з'єднана з відповідними розрядами входу блока 3, друга група виходів розрядів переносів P_1 блока 2 з'єднана з відповідними розрядами першого входу блока 6, третя група виходів розрядів переносів P_2 блока 2 з'єднана з відповідними розрядами входу блока 5, перша група виходів розрядів сум S та друга група виходів розрядів переносів P котрого з'єднані відповідно з відповідними розрядами другого та третього входів блока 6, перша група виходів розрядів сум S та друга група виходів розрядів переносів P котрого з'єднані відповідно з відповідними розрядами першого та другого входів блока 7, перша група виходів розрядів сум S та друга група виходів розрядів переносів P котрого з'єднані відповідно з відповідними розрядами третього та четвертого входів блока 4, перша група виходів розрядів сум S та друга група виходів розрядів переносів P блока 3 з'єднані відповідно з відповідними розрядами першого та другого входів блока 4, вхід пристрою крізь виходи першої шини 8 з'єднаний відповідно з першими входами, а крізь виходи другої шини 9 — відповідно з другими входами елементів $1\ 1$, розряди виходу пристрою з'єднані з відповідними розрядами виходу блока 4

Працює пристрій наступним чином

Значення i -х ($i = \overline{1, 4n}$) розрядів множного A надходять на відповідні перші входи $(i + 4n(j - 1))$ -х елементів $1I$, де j - номер групи елементів $1I$ ($j =$

1.4n) (при кожному фіксованому значенні j значення i змінюється від 1 до 4n), а значення j-х розрядів множника В надходять на друп входи усіх елементів 1 і j-ї групи. Таким чином, на виходах елементів 1 і j формуються часткові добутки розрядністю 4n так, що кожна j-та група із 4n елементів 1 і j формує j-й частковий добуток. Часткові добутки створюють матрицю у вигляді паралелограма. На фіг 2 приведено розбиття цієї матриці на n груп по 4 доданки (часткові добутки). Крім того, кожна група розбивається на блоки (тетради) по 4 розряди, крім півних (старших) блоків. При цьому молодші (праві) та старші (ліві) тетради в групі створюють трикутні (верхню та нижню відповідно) підматриці, а останні тетради — квадратні підматриці часткових добутків.

групи ($g = \overline{1,4}$) k -ї групи входів ($k = \overline{1,n}$) так, що $j = g + 4(k - 1)$ (при кожному фіксованому значенні k значення g змінюється від 1 до 4). Значення g -х часткових добутків k -ї групи надходять далі на входи складових k -ї лінійки суматорів 1-го підрангу блока 2, при цьому для k -ї лінійки суматорів кожен даний g -й доданок за допомогою відповідної комутації зсувається вліво на один розряд відносно попереднього ($g - 1$)-го доданку. Кожна тетрада в групі обробляється у відповідній лінійці суматорів окремим чотирирозрядним суматором, кожен із котрих видає на свої виходи сигнали значень часткових сум S та переносів P .

Всі квадратні підматриці обробляються суматорами, що уявляють собою спрощений варіант (відсутні входні переноси) пристрою для підсумовування M чисел (див. а с СССР № 1545216, кл. G06F 7/52, БИ № 7, 1990 г.) Трикутні підматриці обробляються спеціалізованими суматорами SMH та SML відповідно для молодшої та старшої тетради. На фіг. 3, , фіг. 8 приведені підматриця, функціональне зображення та таблиці значень розрядних індексів функцій переносів у відповідний розряд для спеціалізованого суматора SMH, на фіг. 9, , фіг. 13 приведені підматриця, функціональне зображення та таблиці значень розрядних індексів функцій переносів у відповідний розряд для спеціалізованого суматора SML незалежно від значення p . Таблиці значень розрядних індексів функцій переносів описують (аналогічно як і у пристрої для підсумовування M чисел) схеми паралельних переносів всередині груп розрядів даних суматорів у термінах симетричних булевих функцій.

Число паралельно функціонуючих лінійок суматорів k в 1-му підранзі блока 2 дорівнює $k = n$. Загальне число підрангів φ в цьому блоці визначається як $\varphi = 1,4 \lceil \log_4 n \rceil$. Число паралельно функціонуючих лінійок суматорів в кожному наступному підранзі в 4 рази менше, ніж в попередньому підранзі. Дані послідовно проходять із відповідним зсувом між собою через всі підранги та доданки на всіх лінійках суматорів обробляються потетрадно. При цьому переноси, що виникають на всіх підрангах при підсумовуванні чисел, з частковими сумами не додаються.

При $t = 1, 8, 5$, на першу групу виходів розрядів сум S блока 2 надходять дві результуючі суми розрядністю $(4n + 2)^{(t-1)}$ розрядів кожна, зсунуті одна відносно другої на $2^{(t-1)}$ розрядів. При $t = 2, 4, 6$, на вихід S цього блока надходить одна результуюча сума розрядністю $8n$. Переноси, що створюються в блоці 2 при підсумовуванні чисел на кожній лінійці суматорів підрангів з 1-го до $(\varphi - 1)$ -й надходять на третю групу виходів розрядів переносів P_2 , а переноси, що виникають на суматорах останнього, φ -го підрангу цього блока, надходять на його другу групу виходів розрядів переносів P_1 . Усі переноси підсумовуються окремо від часткових сум у блоках 5 та 6.

Переноси, що формуються на лінійках суматорів 1-го підрангу блока 2 з розрядністю часткових сум, які формуються на цих суматорах, надходять на відповідні лінійки суматорів 1-го підрангу блока 5. Переноси, що формуються на лінійках

суматорів 2-го підрангу блока 2 з розрядністю часткових сум, що формуються на цих суматорах, надходять на відповідні лінійки суматорів 2-го підрангу блока 5 і т. д. Переноси, що формуються на лінійках суматорів $(\varphi - 1)$ -го підрангу блока 2 з розрядністю часткових сум, що формуються на цих суматорах, надходять на відповідні суматори останнього, μ -го, підрангу блока 5. Таким чином, загальне число підрангів μ в блоці 5 дорівнює $\mu = \varphi - 1$. Число паралельно функціонуючих лінійок суматорів k_j в 1-му підранзі цього блока дорівнює $k' = n/4$, а число паралельно функціонуючих лінійок суматорів в кожному наступному підранзі в 4 рази менше, ніж в попередньому підранзі. Дані послідовно проходять через відповідні підранги і на всіх лінійках суматорів обробляються потетрадно. При цьому переноси, що виникають на суматорах даного підрангу, підсумовуються окремо від часткових сум на суматорах наступного підрангу.

Результуючі суми переносів з двох лінійок суматорів при $t = 1, 3, 5$ або результуючі суми переносів з однієї лінійки суматорів при $t = 2, 4, 6$, останнього підрангу блока 5 надходять на першу групу виходів розрядів сум S цього блока, а переноси, що виникають на суматорах останнього підрангу, надходять на другу групу виходів розрядів переносів P цього ж блока.

У випадку, коли з виходу S блока 2 надходять дві суми, вони підсумовуються на лінійці суматорів лише на одному підранзі блока 3 та обробляються потетрадно. Виникаючи при цьому на суматорах блока 3 переноси надходять на другу групу виходів розрядів переносів P цього блока та підсумовуються окремо від часткових сум в блоці 4. Результуюча сума розрядністю 8п з виходів суматорів блока 3 надходить на першу групу виходів розрядів сум S цього блока. У випадку, коли з виходу S блока 2 надходить одна сума, вона передається на вихід S блока 3 без зміни. При цьому переноси в блоці 3 не формуються та на вихід P цього блока видаються логічні нулі.

Всі переноси та суми переносів, що надходять на входи блока 6, підсумовуються в ньому на лінійці суматорів єдиного підрангу. При цьому доданки на лінійці суматорів обробляються потетрадно і переноси, що виникають на суматорах, надходять на другу групу виходів розрядів переносів P та підсумовуються окремо від часткових сум в блоці 7. Результуюча сума переносів надходить на першу групу виходів розрядів сум S блока 6.

Всі переноси та суми переносів, що надходять на входи блока 7, обробляються в ньому на лінійках суматорів потетрадно. При $t = 1, 3, 5$, число підрангів λ , в блоці дорівнює $\lambda = \varphi - 2$. При $t = 2, 4, 6$, $\lambda = \varphi - 3$.

Кожен підранг має одну лінійку суматорів і дані послідовно проходять через відповідні підранги. При цьому переноси, що виникають на суматорах даного підрангу, підсумовуються окремо від часткових сум на лінійці суматорів наступного підрангу. Переноси, що виникають на суматорах останнього підрангу, надходять на другу групу виходів розрядів переносів P . Результуюча сума переносів надходить на першу групу виходів розрядів сум S цього блока.

У блоці 4 число підрангів дорівнює двом. Пер-

ший підранг складається із двох паралельно функціонуючих лінійок двословних суматорів розрядністю 8п кожен з паралельними переносами, на котрих підсумовуються відповідно на першій лінійці суматора — результуюча суми, що надходять з виходів S блоків 3 та 7, на другій лінійці суматора — переноси, що надходять з виходів P блоків 3 та 7. На лінійці двословного суматора другого підрангу розрядністю 8п з паралельним переносом формується добуток двох співмножників із результуючою сум, що надходять з лінійок суматорів першого підрангу. Добуток двох співмножників розрядністю 8п з виходу блока 4 надходить на вихід пристрою.

Таким чином, підвищення швидкодії в пристрої досягається за рахунок одночасного підсумовування до чотирьох доданків, а також за рахунок того, що переноси, які одержуються при додаванні даних, не підсумовуються з частковими сумами на всіх підрангах пристрою за винятком підрангів, що входять до блоку 4.

Як приклад розглянемо структуру швидкодіючого помножувача 32×32 ($t = 3$, $n = 8$) (фіг. 14).

На вхід блока ΣI надходять 32 часткових добутоків (елементи 1 і на фіг. 14 не показані). Число підрангів φ в блоці ΣI дорівнює $\varphi = 1 + \lceil \log_4 8 \rceil = 2$. Число паралельно функціонуючих лінійок суматорів k в 1-му підранзі цього блока дорівнює $k = 8$, в другому підранзі — в 4 рази менше, тобто 2 лінійки суматорів. Доданки на всіх лінійках суматорів обробляються потетрадно. Переноси (P) з кожної лінійки суматорів 1-го підрангу надходять до блока ΣPI , а переноси з кожної лінійки суматорів 2-го підрангу — в блок ΣPII .

Загальне число підрангів μ в блоці ΣPI дорівнює $\mu = 2 - 1 = 1$. Число паралельно функціонуючих лінійок суматорів k' в цьому підранзі дорівнює $k' = 8 - 4 = 2$. Дані на всіх лінійках суматорів обробляються потетрадно. Відмітимо особливість блока ΣPI при $t = 3$. Він має лише один підранг, на котрому підсумовуються лише переноси. При цьому на лінійках суматорів виникають одні часткові суми (Σ), Переноси відсутні, і ось чому. При підсумовуванні чисел за допомогою пристрою для підсумовування M чисел на виході даного пристрою формуються значення чотирьохрозрядних часткових сум S та дворозрядних переносів в старші розряди P . Отже, максимальне значення переносів може дорівнювати $(11)_2$ або $(3)_{10}$. При підсумовуванні на пристрої для підсумовування M чисел, із котрих складаються лінійки суматорів підрангу блока ΣPI , чотирьох максимальних значень переносів, на виході цього пристрою формується значення часткової суми, яка дорівнює $(1100)_2$ або $(12)_{10}$ при цьому умови для виникнення переносів відсутні і вони дорівнюють нулю. (Але при підсумовуванні сум переносів виникають як часткові суми, так і переноси.) В результаті цього вихід P блока ΣPI на фіг. 14 показано умовно пунктирною лінією.

Блоки ΣII та ΣPII мають по одному підрангу, кожен із котрих складається із однієї лінійки суматорів. Доданки на цих лінійках суматорів обробляються потетрадно та переноси, що виникають на суматорах, додаються окремо від часткових сум в блоці ΣR .

Число підрангів λ , в блоці $\Sigma PIII$ дорівнює $\lambda = 2 -$

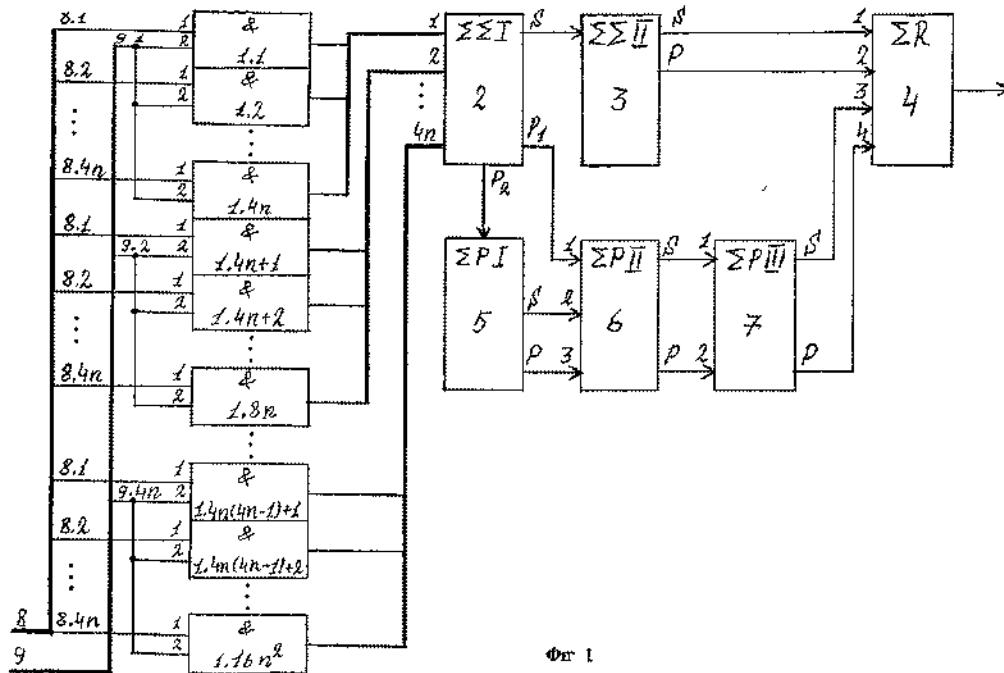
$2 = 0$ Тому підранг в блоці ІРІП показано умовно пунктирною лінією. Підранги в цьому блоці з'являються при великих значеннях t .

В блоці Ш число підрангів дорівнює двом. Перший підранг складається із двох паралельно функціонуючих лінійок двословних суматорів розрядністю 54 розряди кожний з паралельними переносами, на котрих підсумовуються відповідно на першій лінійці суматора — результати суми, що надходять з виходів S блоків $\Sigma\Sigma II$ та $\Sigma P II$, на другій лінійці суматора — переноси, ще надходять з виходів P блоків $\Sigma\Sigma II$ та $\Sigma P II$. На лінійці двослов-

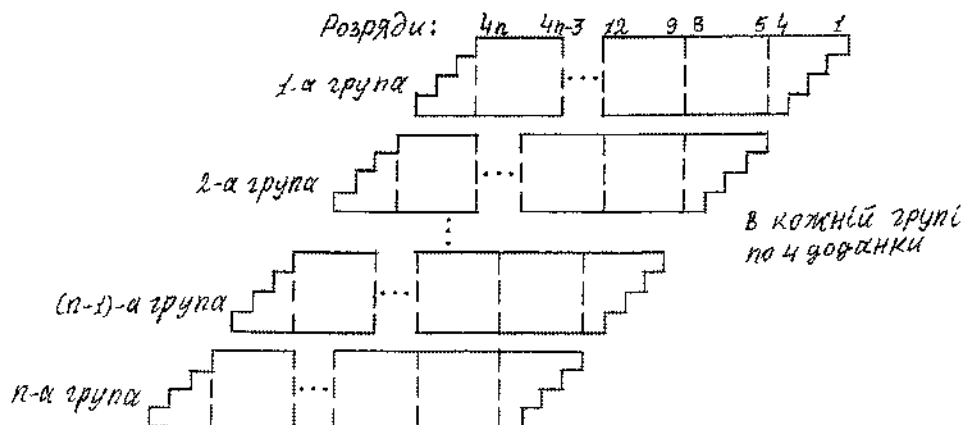
ного суматора другого підрангу розрядністю 64 розряди з паралельним переносом формується добуток двох співмножників із результативних сум (11, 12), що надходять з лінійок суматорів першого підрангу.

Добуток двох співмножників розрядністю 64 розряди з виходу блока ΣR надходить на вихід пристрою $F(1 \ 64)$.

При $t = 2, 4, 6$, блок $\Sigma\Sigma II$ в структурі пристрою відсутній.



Фиг. 1



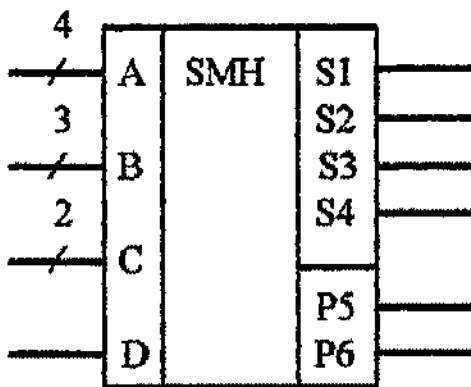
Фиг. 2

Доданки	Розряди			
	4	3	2	1
A	*	*	*	*
B	*	*	*	—
C	*	*	—	—
D	*	—	—	—

Фиг. 3

№ п/п	Розряди			
	4	3	2	1
1	0	3	2	X
2	1	1-3	2	X
3	1	3	X	X
4	2	0-2	X	X
5	2	X	0-1	X
6	3	0	X	X
7	3	1	0-1	X

Фиг. 7



Фиг. 4

№ п/п	Розряди			
	4	3	2	1
1	2	3	2	X
2	3	1-2	2	X
3	3	2-3	X	X
4	4	X	X	X

Фиг. 8

№ п/п	Розряди	
	2	1
1	2	X

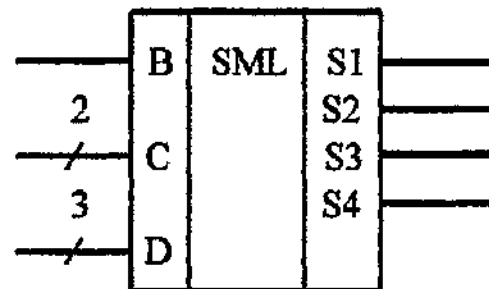
Фиг. 5

Доданки	Розряди		
	3	2	1
B	—	—	*
C	—	*	*
D	*	*	*

Фиг. 9

№ п/п	Розряди		
	3	2	1
1	1-2	2	X
2	2-3	0-1	X

Фиг. 6



Фиг. 10

№ п/п	Розряд
	I
1	2-3

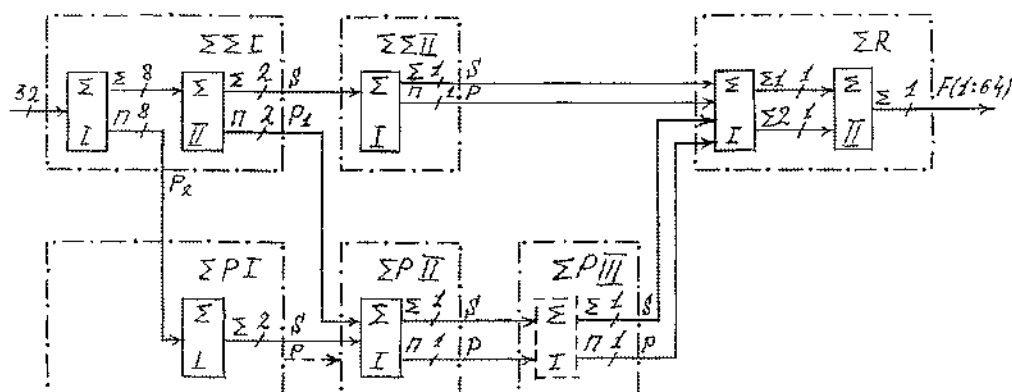
Фіг. 11

№ п/п	Розряди	
	2	1
1	1	2-3
2	2	X

Фіг. 12

№ п/п	Розряди		
	3	2	1
1	1	1	2-3
2	1	2	X

Фіг. 13



Фіг. 14

ДП «Український інститут промислової власності» (Укрпатент)

вул. Сим'ї Хохлових, 15, м. Київ, 04119, Україна

(044) 456 – 20 – 90

ТОВ «Міжнародний науковий комітет»

вул. Артема, 77, м. Київ, 04050, Україна

(044) 216 – 32 – 71