



УКРАЇНА

(19) UA (11) 38129 (13) A

(51) 7 G06F17/00, G06F19/00

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ  
НА ВИНАХІДвидається під  
відповідальність  
власника  
патенту

## (54) ПРИСТРІЙ ДЛЯ ВИЗНАЧЕННЯ ЕКСТРЕМУМІВ СИГНАЛУ

(21) 2000063133

(22) 01.06.2000

(24) 15.05.2001

(33) UA

(46) 15.05.2001, Бюл. № 4, 2001 р.

(72) Ханецький Володимир Сергійович, Пащенко  
Володимир Олександрович, Матвєєва Наталія  
Олександрівна

(73) Дніпропетровський державний університет

(57) 1. Пристрій для визначення екстремумів сигналу, який містить аналого-цифровий перетворювач, схему порівняння, блок пам'яті, перша вихідна шина якого підключена до першої групи входів схеми порівняння, блок керування і блок формування номерів порівнюваних дискрет, перша група входів якого поєднана з першою групою виходів блока керування, який містить три послідовно з'єднані лічильники та елемент збігу, причому виходи першого, другого та третього лічильників утворюють, відповідно, першу, другу та третю групи виходів блоку, а вихід елемента збігу, підключеного входами до виходу перенесення першого лічильника та лінії синхронізації, зв'язаний з виходом відбору дискрет блоку керування, який **відрізняється** тим, що у пристрій введено блок формування номера екстремальної дискрети, інформаційний і дві групи керуючих входів якого підключені, відповідно, до виходу схеми порівняння та першої і другої груп виходів блоку керування, які, відповідно, є першою групою виходів усього пристрою і другою групою входів блоку формування номерів порівнюваних дискрет, крім того, вхід при-

строю через аналого-цифровий перетворювач підключено до інформаційних входів блоку пам'яті, перша та друга адресні шини якого підключені до відповідних груп виходів блоку формування номерів порівнюваних дискрет, третя адресна шина - до другої групи виходів блоку керування, а друга інформаційна вихідна шина підключена до другої групи входів схеми порівняння, вихід відбору дискрет блоку керування підключено до керуючого входу аналого-цифрового перетворювача та до синхровходу блоку пам'яті, а вихід скидання блоку керування - до керуючого входу блоку формування номера екстремальної дискрети, третя група виходів блоку керування служить другою групою виходів усього пристрою.

2. Пристрій за п. 1, який **відрізняється** тим, що блок формування номеру екстремальної дискрети містить послідовно з'єднані дешифратор, регістр і постійний запам'ятовуючий пристрій, виходи якого утворюють першу групу виходів блоку, причому перша та друга групи керуючих входів блоку підключені до, відповідно, інформаційних та стробувальних входів дешифратора, виходи якого поєднані зі входами дозволу запису відповідних D-тригерів регістра, інформаційні входи яких зв'язані з інформаційним входом блоку, а інформаційні виходи - зі входами постійного запам'ятовуючого пристрою, до того ж, інформаційні виходи всіх D-тригерів регістра, окрім найстаршого, утворюють другу групу виходів блоку, а їхній спільний вхід обнуління є керуючим входом блоку.

Винахід відноситься до обчислювальної та інформаційно-вимірювальної техніки, зокрема, до пристроїв з обробки інформації, які відрізняються сполученням функцій та застосовуються для аналізу статистичних даних, та може бути використаний у автоматизованих системах контролю якості продукції та керування технологічними процесами, наприклад, для пошуку дефектів (тріщин) у виробках.

Відомо пристрій для визначення екстремумів, який містить суматор, схему порівняння, регістр поточного значення функції, регістр екстремального значення функції, комутатор (Див. авторське свідоцтво СРСР № 402001; кл. G06F 15/36, кл.

G06F 1/02, 1971).

Недолік цього пристрою полягає у недостатньо високій швидкості пошуку екстремуму й необхідності мати безперервні, всі без виключення, вибірки, а також у обмеженні динамічного діапазону, котрий задається встановленням початкових порогових значень.

Найбільш близьким до винаходу за технічною сутністю є пристрій, який містить комутатор, схему порівняння, виходи якої з'єднані, відповідно, зі входами регістра екстремумів, вихід якого підключено до першого виходу пристрою, блок формування чисел Фібоначчі, блок пам'яті, блок керування, перетворювач аналог-код, вхід якого з'єднано з

першим виходом блоку пам'яті, другий вихід блоку пам'яті та вихід перетворювача аналог-код за допомогою комутатора поєднані зі входом схеми порівняння, керуючий вихід якої підключено до входу блоку керування, перший вихід блоку формування чисел Фібоначчі підключено до другого виходу пристрою, а другий вихід поєднано з керуючими входами блоку пам'яті й перетворювача аналог-код, вхід блоку формування чисел Фібоначчі підключено до пристрою, керуючий вхід регістра екстремумів, перший та другий керуючі входи схеми порівняння, перший та другий керуючі входи блоку формування чисел Фібоначчі поєднані з відповідними виходами блоку керування (Див.: авторське свідоцтво СРСР № 736111, кл. G06F 15/34, 1980).

Головний недолік даного пристрою - це виключно послідовне читування з пам'яті порівнюваних між собою дискретних значень (дискрет) сигналу, причому із переміщенням носія дискрет тільки в одну з двох можливих сторін, що принципово робить неможливою організацію швидкого пошуку, особливо у реальному масштабі часу, з метою задоволення сучасних вимог до систем контролю якості продукції й керування технологічними процесами на виробництві.

До того ж, застаріла елементно-конструктивна база дозволяє здійснювати черговий крок пошуку лише протягом декількох тактів, що суттєво обмежує швидкодію.

Задача винаходу - підвищення ефективності шляхом збільшення як швидкодії, так і коефіцієнта використання залученого обладнання.

Ця задача досягається завдяки тому, що в пристрій, який містить аналого-цифровий перетворювач, схему порівняння, блок пам'яті, перша вихідна шина якого підключена до першої групи входів схеми порівняння, блок керування і блок формування номерів порівнюваних дискрет, перша група входів якого поєднана з першою групою виходів блоку керування, додатково введено блок формування номеру екстремальної дискрети, інформаційний і дві групи керуючих входів якого підключені, відповідно, до виходу схеми порівняння та першої і другої груп виходів блоку керування, які, відповідно, є першою групою виходів усього пристрою і другою групою входів блоку формування номерів порівнюваних дискрет, крім того, вхід пристрою через аналого-цифровий перетворювач підключено до інформаційних входів блоку пам'яті, перша та друга адресні шини якого підключені до відповідних груп виходів блоку формування номерів порівнюваних дискрет, третя адресна шина - до другої групи виходів блоку керування, а друга інформаційна вихідна шина підключена до другої групи входів схеми порівняння, вихід відбору дискрет блоку керування підключено до керуючого входу аналого-цифрового перетворювача та до синхровходу блоку пам'яті, а вихід скидання блоку керування - до керуючого входу блока формування номеру екстремальної дискрети, третя група виходів блоків керування служить другою групою виходів усього пристрою.

Крім того, блок формування номеру екстремальної дискрети містить послідовно з'єднані дешифратор, регістр й постійний запам'ятовуючий пристрій, виходи якого утворюють першу групу виходів блоку, причому перша та друга групи керуючих

входів блоку підключені до, відповідно, інформаційних та стробувальних входів дешифратора, виходи якого поєднані зі входами дозволу запису відповідних D-тригерів паралельного регістра, інформаційні входи яких пов'язані з інформаційним входом блоку, а інформаційні виходи - зі входами постійного запам'ятовуючого пристрою, до того ж інформаційні виходи всіх D-тригерів регістра, окрім найстаршого, утворюють другу групу виходів блоку, а їхній спільний вхід обнуління є керуючим входом блоку.

На фіг. 1 наведена схема пристрою, на фіг. 2 - всі можливі алгоритмічні реалізації  $m$ -крокового пошуку ( $m = 5$ ) у межах  $2^n$ -компонентної вибірки ( $n = 4$ ).

Пристрій містить аналого-цифровий перетворювач 1, блок 2 формування номерів порівнюваних дискрет, блок 3 пам'яті, схему 4 порівняння, блок 5 формування номеру екстремальної дискрети, який складається з дешифратора 6, паралельного регістра 7 і постійного запам'ятовуючого пристрою 8 та блок керування 9, до складу котрого входять лічильник 10 за модулем  $m$  числа кроків пошуку,  $n$ -розрядний двоїстий лічильник 11 обсягу  $2^n$  дискрет чергової вибірки та двоїстий лічильник 12 номеру вибірки.

Блок 2 формування номерів порівнюваних дискрет реалізований за допомогою постійних запам'ятовуючих пристроїв ПЗП<sub>1</sub> та ПЗП<sub>2</sub> з  $(m-1)+\delta$  адресними входами, причому  $\delta = \lceil \log_2 m \rceil$ , де  $\lceil x \rceil$  - найбільше до  $x$  зверху ціле число, та  $n$  інформаційними виходами. У табл. 1 наведений приклад програмування вмісту ПЗП<sub>1</sub> і ПЗП<sub>2</sub> у випадку пошуку максимальної з  $2^n = 16$  ( $n = 4$ ) дискрет чергової вибірки, що реалізується із залученням  $m = 5$  кроків, причому за допомогою  $(y)_2$  вказується значення у двоїстій системі лічення.

Блок 3 пам'яті являє собою регістровий файл (див. стор. 232 у книзі: Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах. Справ очник. - М.: Радио и связь, 1990. - 304 с.) з одним портом введення даних  $DI_1 \div DI_k$  та двома портами виведення даних  $DOA_1 \div DOA_k$  і  $DOB_1 \div DOB_k$ . Адресація регістрів пам'яті файлу при записуванні призводиться сигналами  $AW_1 \dots AW_n$ , а при читанні порту  $DOA_1 \div DOA_k$  (або  $DOB_1 \div DOB_k$ ) - сигналами  $ARA_1 \div ARA_n$  (або  $ARB_1 \div ARB_n$ ); запис даних до регістрового файлу синхронна (за встановленою попередньою адресою), а зчитування даних - асинхронне (при зміні адреси читання нові дані відразу ж з'являються на виході).

Блок 5 формування номера екстремальної дискрети містить послідовно з'єднані дешифратор 6 із  $\delta$  інформаційними та  $n$  стробовими входами й  $m$  виходами,  $m$ -розрядний паралельний регістр 7 на D-тригерах зі входами Е дозволу доступу, постійний запам'ятовуючий пристрій 8 із  $m$  адресними входами та  $n$  інформаційними виходами, приклад програмування якого наведений у табл. 2 для  $n = 4$  та  $m = 5$ .

Блок 9 керування складається з послідовно з'єднаних: лічильника 10 за модулем  $m$  числа кроків пошуку, лічильника 11 дискрет чергової вибірки обсягом  $2^n$ , лічильника 12 номера поточної вибірки у діапазоні  $0 \div 2^f - 1$ . Елемент збігу 13 призначений для формування сигналу відбору чергової дискре-

ти аналізованої вибірки.

Запропонований пристрій реалізує модифікацію відомого алгоритму пошуку Фібоначчі, яка принципово відрізняється кількістю дискрет в складі аналізованих інтервалів невизначеності місцезнаходження екстремуму на кожному кроці, і передусім, на першому, де досліджується унімодальний сигнал, який зображений не  $F_k$ , а  $2^n$  своїми дискретами (відліками), причому  $F_k > 2^n$ , ( $n$  - ціле число, а  $F_k$  -  $k$ -й член числової послідовності Фібоначчі 1, 2, 3, 5, 8, 13, 21, 34,...)

Ступінь двійки являє собою типове значення багатьох конструктивних параметрів засобів цифрової обробки сигналів, визначаючи, зокрема, інформаційну місткість сегментів, сторінок, блоків та мікросхем пам'яті, а також ширину інтерфейсних шин, кількість входів у мультиплексорів та виходів у демультимплексорів і т.д. Тому обране число дискрет в аналізованій вибірці вимірювального сигналу дозволяє, з одного боку, скоротити обсяг залученого обладнання, а відповідно, і його вартість практично вдвічі, а, з іншого боку, - досягти 100%-го використання залученого обладнання, що особливо важливо у випадку портативних засобів контролю.

Зменшення кількості відліків у складі аналізованої вибірки вимірювального сигналу, призводить до необхідності модифікувати, для кожного із послідовних кроків, кількість дискрет у складі залишкового інтервалу невизначеності локалізації максимуму унімодального сигналу. При цьому, число кроків пошуку зберігається і навіть скорочується на одиницю в декількох випадках.

У таблиці 3 запропоновані рекомендовані значення для кількості дискрет у складі інтервалів невизначеності на кожному кроці пошуку у випадку найбільш типових довжин початкової вибірки.

Для випадку  $2^n = 16$  відліків у початковій вибірці на фіг. 2 надані всі можливі алгоритмічні реалізації процедури пошуку із залученням запропонованої модифікації алгоритму Фібоначчі.

На першому кроці вибірка, що аналізується (з урахуванням довільності її вигляду), зображена номерами відліків з 0-го до  $(2^n-1)$ -й; порівнювальні між собою відліки показані жирними вертикальними стрілками. Якщо більшим виявляється лівий відлік, наприклад, з номером 6 на фіг. 2, то вибірка відтинається справа, починаючи з другого із порівнюваних відліків, наприклад, з номером 9, як на фіг. 2. Якщо більшим є правий відлік, наприклад, з номером 9 на фіг. 2, то вибірка відтинається зліва, включаючи перший відлік, наприклад, з номером 6, як на фіг. 2.

На другому кроці ця усічена вибірка відліків може аналізуватися на одному з двох, отриманих вказаним вище способом, підінтервалів, маючи, наприклад, по 9 відліків на фіг. 2. При цьому, порівнюються між собою: залучений на попередньому кроці старий відлік (вказаний звичайною вертикальною стрілкою) та новий відлік (вказаний жирною вертикальною стрілкою), розташований симетрично у межах аналізованого підінтервалу.

За результатами порівняння здійснюється відтинання аналізованого підінтервалу зліва чи справа, завдяки чому подвоюється число підінтервалів для наступного кроку.

На третьому кроці аналізується один з чоти-

рьох, знов отриманих підінтервалів, що містять, наприклад, по 6 відліків, як на фіг. 2. Для кожного з підінтервалів використовується старий відлік і симетрично йому обирається новий відлік, потім вони порівнюються і, за результатами порівняння, підінтервал відтинається зліва чи справа.

На четвертому кроці може аналізуватися вже один з восьми підінтервалів, що мають, наприклад, 3 відліки, як на фіг. 2.

При відтинанні I-го та III-го підінтервалів зліва, а II-го та IV-го - справа, отримуємо по два однакових підінтервали, наприклад, [3,5] та [10,12], як на фіг. 2. Тому, незважаючи на подвоєння кількості інтервалів, оригінальних серед них на четвертому кроці буде тільки 6.

Якщо позначити номер кроку через  $i$  ( $i = 1, \dots, m$ ), то загальна кількість отриманих підінтервалів на кожному кроці дорівнює  $2^{i-1}$ .

З підвищенням номера кроку зростає і кількість підінтервалів, котрі формуються двічі: шляхом відтину зліва чи справа різних, але частково накладених початкових інтервалів.

На останньому,  $m$ -му кроці ( $m = 5$  для випадку початкової вибірки з  $2^4 = 16$  дискрет як на фіг. 2) кожний з потенційно можливих підінтервалів має лише два відліки, котрі й порівнюються між собою з метою вибору найбільшого.

Функціонування пристрою на фіг. 1 здійснюється наступним чином.

Перед початком чергового циклу роботи виконується скид у нуль усіх тригерів регістру 7, а також лічильника 10 за  $\text{mod } m$  та двоїстих лічильників 11 та 12.

Функціонування запропонованого пристрою полягає у повторенні  $m$ -крокової процедури пошуку для послідовних вибірок вимірювального сигналу, які містять по  $2^n$  дискрет.

Накопичення чергової вибірки в блоці пам'яті 3 здійснюється наступним чином. Після надходження  $(m-1)$  синхроімпульсів до лічильника 10 за модулем  $m$  на його виході перенесення  $P$  з'являється логічна одиниця, котра дозволяє проходженню  $m$ -го синхроімпульсу через елемент збігу 13 на керуючий вхід паралельного аналого-цифрового перетворювача (АЦП) 1 та на синхровхід  $C$  порту запису блоку пам'яті 3. При цьому АЦП 1 формує чергову  $k$ -розрядну дискрету вимірювального сигналу, котра й завантажується до відповідного з  $2^n$  регістрів блоку пам'яті 3 по завершенню  $m$ -го такту. Одночасно інкримінується вміст лічильника 11, який вказує номер записаної дискрети у вибірці.

При досягненні лічильником 11 стану  $(11\dots 1)$ , котрий вказує на останню дискрету у вибірці, на його виході перенесення  $P$  з'являється логічна одиниця, котра обнулює паралельний регістр 7, а також забезпечує інкримент вмісту лічильника 12, котрий містить номер аналізованої вибірки.

Після занесення до блоку пам'яті 3 всієї вибірки з  $2^n$  дискрет, лічильник 11 опиняється у нульовому стані, в якому й перебуває протягом  $m$  періодів синхропослідовності, котрі використовуються з метою реалізації  $m$ -крокової процедури пошуку. Нульовий вміст лічильника 11, надходячи на входи стробування дешифратора 6, дозволяє роботу останнього, котрий на основі аналізу номера кроку пошуку, що зберігається в лічильнику 10, дозволяє запис до відповідного D-тригера паралельного ре-

гістру 7.

У процесі  $m$ -крокової процедури пошуку номера екстремальної дискретності у межах вибірки з номером, що міститься у регістрі 12, виконуються такі дії.

У першому такті, коли реалізується перший крок пошуку, нульовими є вміст паралельного регістру 7, котрий надходить на молодші адресні входи ПЗП<sub>1</sub> та ПЗП<sub>2</sub> блоку формування номерів порівнювальних дискрет 2, та вміст лічильника 10 за  $\text{mod } m$ , який подається на старші адресні входи ПЗП<sub>1</sub> та ПЗП<sub>2</sub>. Тому прочитується вміст комірок ПЗП<sub>1</sub> та ПЗП<sub>2</sub> з нульовою адресою, які є двоїстими номерами порівнювальних дискрет, наприклад,  $(6)_2$  та  $(9)_2$  як на фіг. 2, а також у нульовому рядку таблиці 1. Ці номери потрапляють на адресні входи  $ARA_1 \dots ARA_n$  та  $ARB_1 \dots ARB_n$ , відповідно, першого та другого портів виводу блока пам'яті 3, завдяки чому забезпечується читання з блоку 3 обраних  $k$ -розрядних двоїстих кодів відліків, та передача їх на входи схеми порівняння 4.

Якщо логічна одиниця формується на виході " $\leq$ " схеми порівняння 4, то вона потрапляє на інформаційний вхід D всіх тригерів регістра 7. Проте, завдяки надходженню на адресні входи дешифратора 6 нульового вмісту лічильника 10 за  $\text{mod } m$ , ця логічна одиниця заноситься по завершенні такту до першого тригера паралельного регістру 7.

Якщо логічна одиниця формується на виході ">" схеми порівняння 4, то перший тригер регістру 7 зберігає свій нульовий стан.

Вміст першого тригера паралельного регістру 7 надходить на старший адресний вхід ПЗП<sub>3</sub> 8, обираючи при цьому нижню чи верхню половину таблиці програмування ПЗП<sub>3</sub>, яка наведена у таблиці 2.

На другому такті лічильник 10 за  $\text{mod } m$  містить комбінацію 001, а паралельний регістр 7 - комбінацію 0000 або 1000. У своїй сукупності ці комбінації утворюють 7-розрядну адресу для ПЗП<sub>1</sub> та ПЗП<sub>2</sub>, наведену у другому чи в третьому рядках таблиці 1, де також вказані двоїсті номери дискрет, які будуть порівнюватися. Ці номери, надходячи на адресні входи  $ARA_1 \dots ARA_n$  та  $ARB_1 \dots ARB_n$  портів виводу регістрового файлу 3, забезпечують передавання відповідних відліків із блоку пам'яті 3 на входи схеми порівняння 4. Сформований за результатами порівняння біт надходить на входи D тригерів паралельного регістру 7. Завдяки присутності комбінації 001 у лічильнику 10, цей біт, по закінченні такту, фіксується у другому тригері паралельного регістра 7, зазначаючи, спільно із вмістом першого тригера 7, одну з чотирьох чвертей таблиці програмування ПЗП<sub>3</sub>, наданої у таблиці 2.

Протягом останнього,  $m$ -го такту, на якому виконується  $m$ -й крок пошуку, лічильник 10 містить двоїсту комбінацію  $(m-1)_2$ , а в  $(m-1)$  молодших тригерах паралельного регістра 7 зберігається певна комбінація з нулів та одиниць. Обидві ці двоїсті комбінації у своїй сукупності утворюють адресу конкретної комірки ПЗП<sub>1</sub> та ПЗП<sub>2</sub>, яка знаходиться в останній частині таблиці програмування, напри-

клад, для  $i = 5$  у таблиці 1.

Адреси порівнювальних комірок ПЗП<sub>1</sub> та ПЗП<sub>2</sub> визначають: які з сусідніх відліків, котрі зберігаються в блоці 3 пам'яті, передаються на схему 4 порівняння. Сформований за результатами порівняння біт надходить до старшого,  $m$ -го тригера паралельного регістра 7, де по закінченні такту, з'являється  $m$ -розрядна комбінація, яка вказує на адресу комірки ПЗП<sub>3</sub>, де й зберігається номер екстремальної дискретності.

Вміст регістру 7 зберігається на виходах пристрою протягом  $m(2^n-1)$  тактів синхропослідовності (протягом котрих у блоці 3 пам'яті накопичується наступна вибірка дискрет), тому надається достатній час для прочитування зовнішніми пристроями номеру екстремальної дискретності спільно з номером її вибірки з регістру 12.

Аналогічним чином може бути організовано пошук і мінімального відліку унімодального вимірювального сигналу.

Техніко-економічна ефективність від використання винаходу, що пропонується, полягає у тому, що модифікація відомого алгоритму пошуку Фібоначчі зробила його дієздатним у відношенні до вибірок вимірювального сигналу, який має  $2^n$  дискрет, де  $2^n$  - найближча зверху до  $F_k$  ступінь двійки.

Це дозволяє, з одного боку, зменшити обсяг використовованого обладнання, а відповідно, і його вартість, практично вдвічі, а з іншого боку - досягти майже 100%-го використання залученого обладнання.

Дійсно, оскільки ступінь числа два є типовим значенням багатьох конструктивних параметрів засобів цифрової обробки сигналів (наприклад, значення місткості пам'яті, кількості інформаційних входів у мультимплексорів, а також виходів у дешифраторів, тощо), то безпосередня реалізація відомого алгоритму пошуку Фібоначчі здійснювалась би із залученням обладнання з обсягом, пропорційним найближчому зверху до  $F_k$  ступіневі числа  $2^n+1$ , причому коефіцієнт використання залученого обладнання складав би, приблизно,  $F_k/2^n+1 = 0,531 \dots 0,964$ , у найкращому випадку.

Застосування запропонованої модифікації алгоритму пошуку призводить до необхідності залучати обсяг обладнання, пропорційний  $2^n$ , тобто вдвічі менший, причому досягається практично 100% його використання, оскільки відсутні незадіяні (вільні) комірки пам'яті або розряди у цих комірках, використовуються всі розряди схеми порівняння, лічильників, ПЗП, майже всі виходи стандартного дешифратора тощо.

Крім того, використання технічного рішення, що пропонується, надало можливість здійснювати черговий крок пошуку протягом лише одного такту, підвищуючи швидкість до рівня, якого достатньо для пошуку в реальному масштабі часу екстремальної з дискрет, котрі надходять від, наприклад, механічно переміщуваного датчика, що сканує виріб, який контролюється на наявність дефектів (тріщин).

Таблиця 1

Крок пошуку, i	$(i-1)_2$	ТТ 1 2 3 4	ПЗП <sub>1</sub>	ПЗП <sub>2</sub>
1	Адреси			
	000	0000	$(6)_2$	$(9)_2$
2	001	0000	$(2)_2$	$(6)_2$
	001	1000	$(9)_2$	$(13)_2$
3	010	0000	$(2)_2$	$(3)_2$
	010	0100	$(5)_2$	$(6)_2$
	010	1000	$(9)_2$	$(10)_2$
	010	1100	$(12)_2$	$(13)_2$
4	011	0000	$(0)_2$	$(2)_2$
	011	0010	$(3)_2$	$(5)_2$
	011	0100	$(3)_2$	$(5)_2$
	011	0110	$(6)_2$	$(8)_2$
	011	1000	$(7)_2$	$(9)_2$
	011	1010	$(10)_2$	$(12)_2$
	011	1100	$(10)_2$	$(12)_2$
	011	1110	$(13)_2$	$(15)_2$
5	100	0000	$(0)_2$	$(1)_2$
	100	0001	$(1)_2$	$(2)_2$
	100	0010	$(3)_2$	$(4)_2$
	100	0011	$(3)_2$	$(4)_2$
	100	0100	$(4)_2$	$(5)_2$
	100	0101	$(4)_2$	$(5)_2$
	100	0110	$(6)_2$	$(7)_2$
	100	0111	$(7)_2$	$(8)_2$
	100	1000	$(7)_2$	$(8)_2$
	100	1001	$(8)_2$	$(9)_2$
	100	1010	$(10)_2$	$(11)_2$
	100	1011	$(10)_2$	$(11)_2$
	100	1100	$(11)_2$	$(12)_2$
	100	1101	$(11)_2$	$(12)_2$
	100	1110	$(13)_2$	$(14)_2$
	100	1111	$(14)_2$	$(15)_2$

Таблиця 2

ТТ 1 2 3 4 5	ПЗП <sub>3</sub>
00000	$(0)_2$
00001	$(1)_2$
00010	$(1)_2$
00011	$(2)_2$
00100	$(3)_2$
00101	$(4)_2$
00110	$(3)_2$
00111	$(4)_2$
01000	$(4)_2$
01001	$(5)_2$
01010	$(4)_2$
01011	$(5)_2$
01100	$(6)_2$
01101	$(7)_2$
01110	$(7)_2$
01111	$(8)_2$
10000	$(7)_2$
10001	$(8)_2$
10010	$(8)_2$
10011	$(9)_2$
10100	$(10)_2$
10101	$(11)_2$
10110	$(10)_2$
10111	$(11)_2$
11000	$(11)_2$
11001	$(12)_2$
11010	$(11)_2$
11011	$(12)_2$
11100	$(13)_2$
11101	$(14)_2$
11110	$(14)_2$
11111	$(15)_2$

Таблиця 3

Рекомендовані значення для кількості дискрет у складі інтервалів невизначеності

Довжина Вибірки	Номер кроку пошуку														Кількість кроків алгоритму Фібоначчі
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	
$2^4=16$	16	9	6	3	2	-	-	-	-	-	-	-	-	-	6
$2^5=32$	32	18	13	8	4	3	2	-	-	-	-	-	-	-	7
$2^6=64$	64	40	23	16	9	6	3	2	-	-	-	-	-	-	9
$2^7=128$	128	78	49	28	20	12	7	4	2	-	-	-	-	-	10
$2^8=256$	256	180	104	75	46	28	17	10	6	3	2	-	-	-	12
$2^9=512$	512	300	211	122	88	54	33	20	12	7	4	2	-	-	13
$2^{10}=1024$	1024	721	418	302	186	115	70	44	25	18	11	8	4	2	15

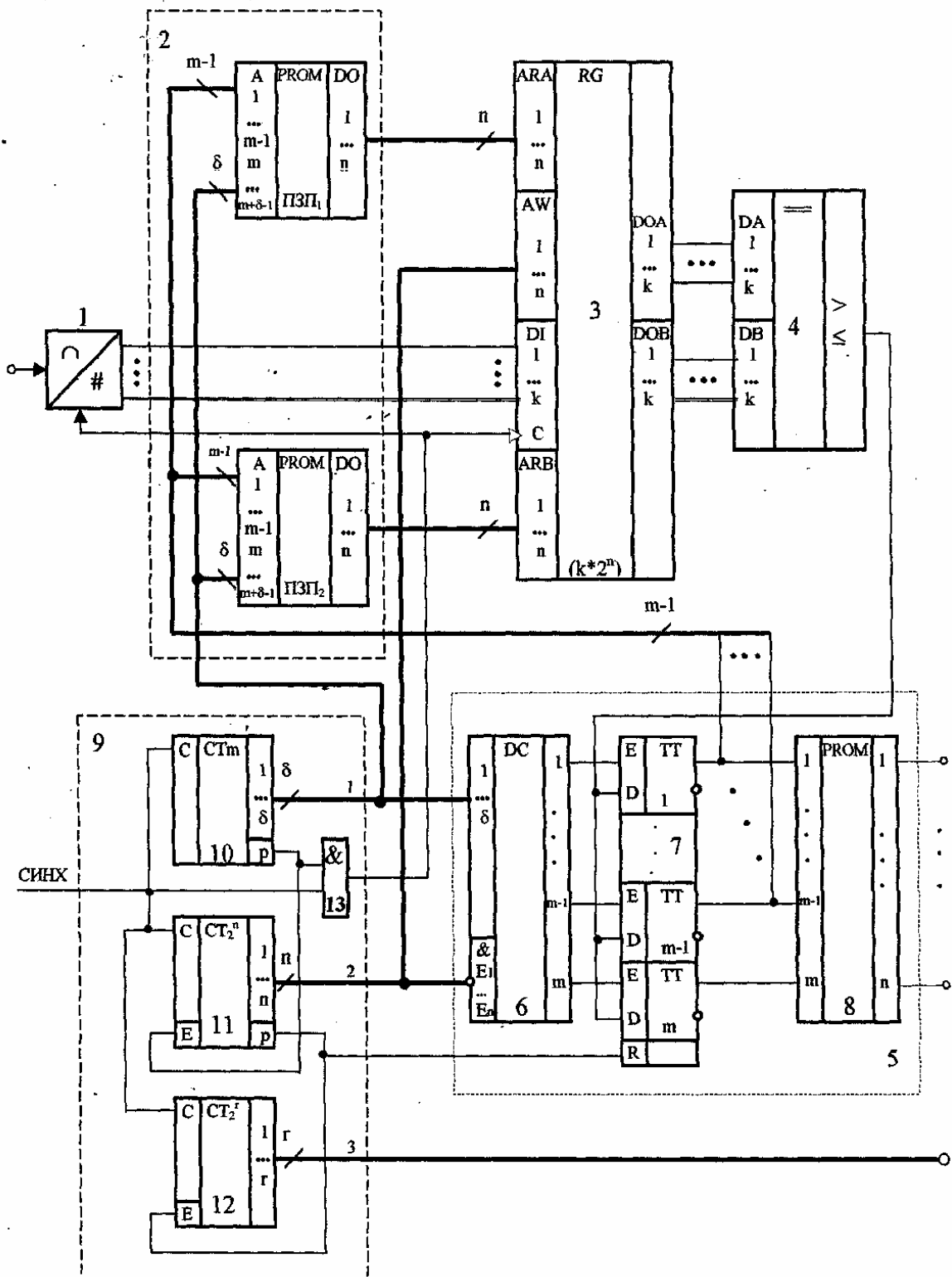
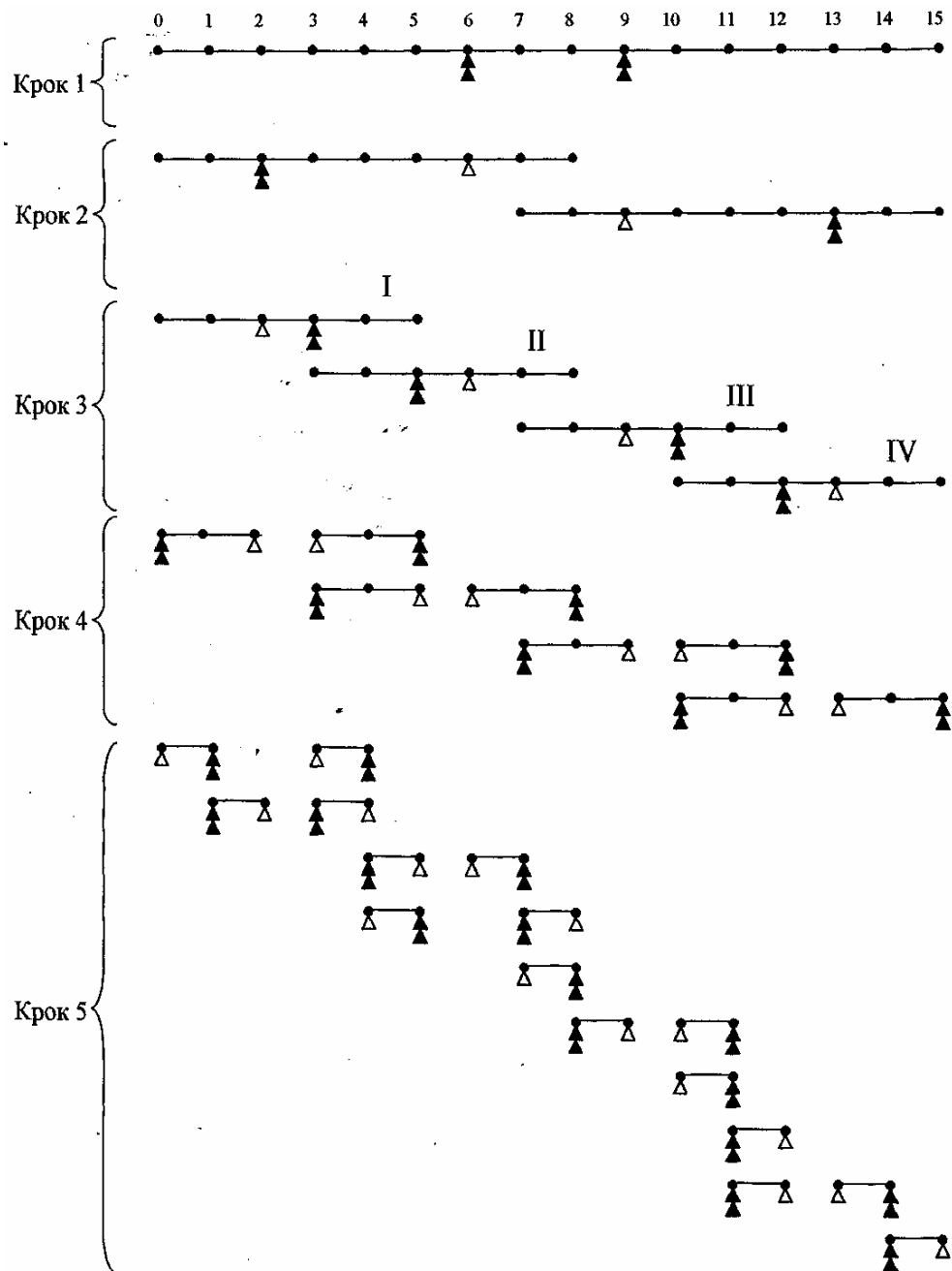


Fig. 1



Фіг.2

ДП "Український інститут промислової власності" (Укрпатент)  
 Україна, 01133, Київ-133, бульв. Лесі Українки, 26  
 (044) 295-81-42, 295-61-97

Підписано до друку \_\_\_\_\_ 2001 р. Формат 60x84 1/8.  
 Обсяг \_\_\_\_\_ обл.-вид. арк. Тираж 50 прим. Зам. \_\_\_\_\_

УкрІНТЕІ, 03680, Київ-39 МСП, вул. Горького, 180.  
 (044) 268-25-22