



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1660116 A1

(51)5 H 02 M 7/12

ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

2

(21) 4418638/07

(22) 03.05.88

(46) 30.06.91. Бюл. № 24

(71) Харьковский политехнический институт
им. В.И.Ленина

(72) Е.И.Сокол, А.В.Кипенский, Ю.И.Колес-
ник и Д.Е.Орлов

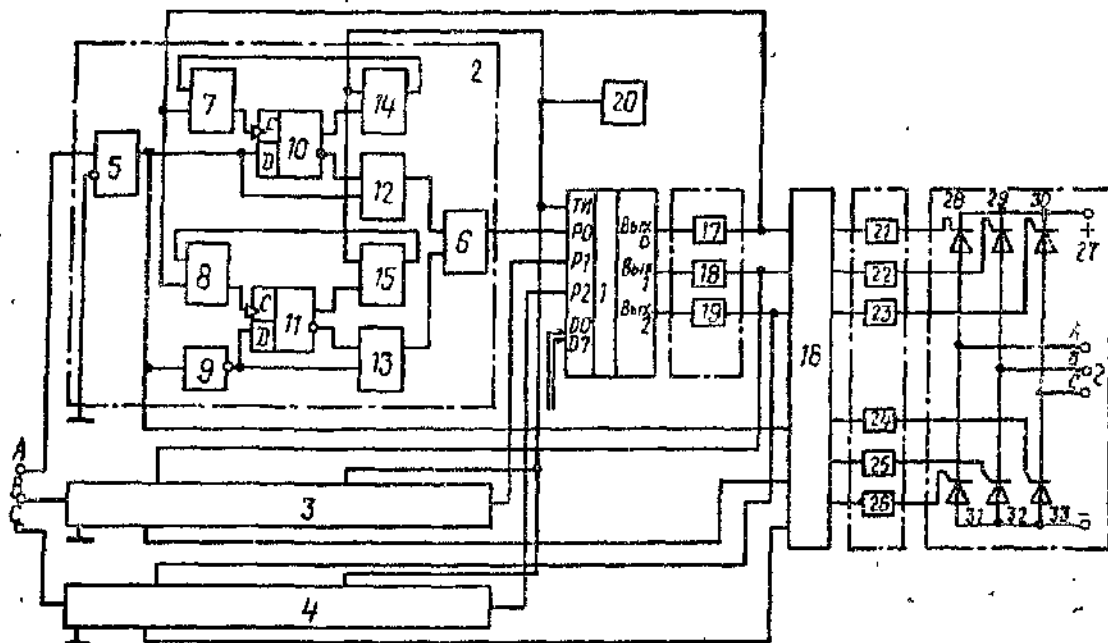
(53) 621.316.727 (088.8)

(56) Перельмутер В.М., Соловьев А.К. Цифро-
вые системы управления тиристорным электр-
оприводом: - Киев: Техника, 1983, с.55, 56.

(54) ЦИФРОВОЕ УСТРОЙСТВО ДЛЯ УП-
РАВЛЕНИЯ ВЕНТИЛЬНЫМ ПРЕОБРАЗО-
ВАТЕЛЕМ

(57) Изобретение относится к электротехнике
и может быть использовано для управления
преобразователями переменного напряже-
ния в постоянное. Целью изобретения является

расширение функциональных возможно-
стей. Устройство содержит таймер 1, блоки
связи с сетью 2, 3, 4 по числу фаз преобра-
зователя, тактовый генератор 20, одновибрато-
ры 17, 18, 19, распределитель 16 управляющих
импульсов, выходы которого предназна-
чены для подключения к управляющим электр-
одам вентилей преобразователя через
формирователи 21 - 26 управляющих им-
пульсов. Схема соединения элементов блоков
связи с сетью 2, 3, 4 позволяет использовать
таймер во 2-м и 3-м режимах работы, что повы-
шает помехоустойчивость устройства управле-
ния. Блоки связи с сетью позволяют расширить
функциональные возможности устройства, а
именно возможность использования устрой-
ства для управления преобразователя-
ми переменного напряжения в постоянное.
5 ил.



Фиг. 1

РПФ-К

(19) SU (11) 1660116 A1

Изобретение относится к электротехнике и может быть использовано для управления преобразователями переменного напряжения в постоянном.

Цель изобретения – расширение функциональных возможностей.

На фиг.1 приведена схема устройства; на фиг.2 – схема распределителя управляющих импульсов; на фиг.3 – 5 – диаграммы сигналов иллюстрирующие работу устройства.

Устройство содержит таймер 1 (в данной схеме один на три фазосдвигающих блока, благодаря интегральному исполнению), блоки 2 – 4 связи с сетью по числу фаз преобразователя, каждый из которых содержит компаратор 5, первый 6, второй 7 и третий 8 элементы ИЛИ, инвертирующий элемент 9, первый 10 и второй 11 D-триггеры, первый 12, второй 13, третий 14 и четвертый 15 элементы И. К прямому и инверсному входам компараторов подключены соответствующие фазы сети. Выход компаратора 5 соединен с D-входом первого D-триггера 10, первым входом первого элемента И 12, первым соответствующим входом распределителя 16 управляющих импульсов, а также через инвертирующий элемент 9 с D-входом второго D-триггера 11 и первым входом второго элемента И 13. С-вход первого D-триггера 10 подключен к выходу второго элемента ИЛИ 7, а С-вход второго D-триггера 10 подключен к выходу элемента ИЛИ 8. Первые входы второго 7 и третьего 8 элементов ИЛИ объединены и подключены к выходу одновибратора 17. Аналогичные выходы блоков 3 и 4 связи с сетью подключены соответственно к выходам одновибраторов 18 и 19. Вторые входы второго 7 и третьего 8 элементов ИЛИ подключены соответственно к выходам третьего 14 и четвертого 15 элементов И. Первые входы третьего 14 и четвертого 15 элементов И соединены соответственно с прямыми выходами первого и второго D-триггеров 10 и 11, а вторые входы объединены и подключены к выходу тактового генератора 20. Инверсные выходы первого и второго D-триггеров 10 и 11 соединены соответственно с вторыми входами первого и второго элементов И 12 и 13. Выходы первого 12 и второго 13 элементов И соединены соответственно с первым и вторым входом первого элемента ИЛИ 6, выход которого подключен к РО-установочному входу таймера 1.

Выходы одновибраторов 17 – 19 соединены с соответствующими первыми входами распределителя 16 управляющих импульсов, выходы которого через формирователи 21 – 26 управляющих импульсов предназначены

для подключения к управляющим входам преобразователя 27, выполненного на тиристорах 28 – 33. D-входы (D0, D7) таймера 1 предназначены для подключения к задатчику управляющего сигнала.

На фиг.2 приведена схема возможного варианта реализации распределителя 16 управляющих импульсов, состоящего из шести элементов 34 – 39 ЗАПРЕТА и шести двухвходовых элементов ИЛИ 40 – 45.

Устройство работает следующим образом.

Фазосдвигающий блок включает в себя таймер 1, который содержит m-каналов по числу фаз сети.

На вход тактирования ТИ таймера 1 тактовые импульсы с периодом $T_{ти}$ подаются от генератора 20 тактовых импульсов.

До начала процесса управления по шине данных D0, D7 таймера 1 последовательно подается код управляющего слова, в соответствии с которым задается режим работы таймера (2 или 3), и начальное содержимое каналов таймера – сигналы Uy на фиг.1.

Принцип действия поясним на примере работы первого канала.

В момент перехода фазного напряжения (фаза А, фиг.3а) через нуль на выходе компаратора 5 появляется сигнал U5 (фиг.3б), поступающий на D-вход первого триггера 10, первый вход первого элемента И 12, на вход инвертирующего элемента 9, а также на соответствующий из трех вторых входов распределителя 16 импульсов. В исходном состоянии на прямом выходе первого D-триггера 10 напряжение U10пр соответствует уровню "0" (фиг.3е), а на инверсном – уровню "1" (фиг.3ж).

Совпадение на входах первого элемента И 12 двух напряжений, соответствующих "1", приводит к появлению на выходе этого элемента сигнала, соответствующего "1", который через первый элемент ИЛИ 6 поступает на РО-вход таймера 1.

С поступлением этого сигнала в первом канале таймера 1, с приходом каждого тактирующего импульса от генератора тактовых 20 импульсов, ранее записанное содержимое канала уменьшается на единицу. По окончании счета, когда содержимое канала становится равным нулю, при $t = nT_{ти}$, где n – содержимое канала, сигнал на выходе (вых.0) таймера 1 из состояния "0" переходит в состояние "1" (фиг.4а, фиг.5а). По фронту этого сигнала формирователь импульсов 17 формирует импульс U17 (фиг.4г, фиг.5г) длительностью, необходимой для отпирания тиристора выпрямителя 27.

С выхода формирователя 17 сигнал поступает на первый из трех первых входов распределителя 16 импульсов и через элементы ИЛИ 7 и 8 на С-входы D-триггеров 10 и 11 (фиг.3а,д).

Совпадение на входах первого D-триггера 10 двух напряжений, соответствующих уровню "1" (U_5 и U_7 фиг.3) приводит к переходу триггера 9 во второе устойчивое состояние, при котором напряжение на его прямом выходе соответствует уровню "1" (фиг.3е), а на его инверсном выходе — уровню "0" (фиг.3ж).

Присутствие "0" ($U_{10инв}$) на втором входе первого элемента И 12 запрещает прохождение сигнала уровня "1" от компаратора 5 через третий элемент ИЛИ 6 на РО-вход таймера 1, на котором устанавливается напряжение, соответствующее "0" (фиг.3м). Наличие сигнала нулевого уровня на РО-входе таймера 1 запрещает дальнейшую работу первого канала таймера.

Поступление сигнала U_{17} на С-вход второго D-триггера 11 (фиг.3д) не изменяет его состояние, так как на D-входе второго D-триггера 11 напряжение при этом соответствует уровню "0" (фиг.3г).

Наличие напряжения $U_{10пр}$, соответствующего уровню "1" на втором входе третьего элемента И 14, разрешает прохождение импульсов от генератора 20 на С-вход первого D-триггера 10 через элементы 14 и 7.

До тех пор, пока напряжение U_5 на выходе компаратора 5 (фиг.3б) соответствует уровню "1", поступление импульсов на С-вход первого D-триггера 10 не изменяет его состояния, однако после изменения напряжения U_5 с уровня "1" до уровня "0" первый следующий за этим импульс генератора 20 тактовых импульсов переводит первый D-триггер 10 в исходное состояние, при котором напряжение на его прямом выходе соответствует уровню "0", а на инверсном — уровню "1" (фиг.3е, ж).

В момент времени, когда напряжение U_5 на выходе компаратора 5 становится равным уровню "0", напряжение на выходе инвертирующего элемента 9 становится равным уровню "1" (фиг.3г). Работа второго D-триггера 11, а также логических элементов 8, 15 и 13 аналогична работе первого D-триггера 10 и логических элементов 7, 14 и 12.

Таким образом, блок 2 связи с сетью обеспечивает на РО-входе таймера 1 напряжение, соответствующее уровню "1" в те временные интервалы, когда в первом канале таймера производится отсчет числа n , и уровню "0" в те временные интервалы, когда необходим запрет на работу этого канала таймера (фиг.3, позиция м).

Это исключает срабатывание таймера 1 и выдачу управляющего сигнала через узлы формирования и распределения на управляющие электроды тиристоров выпрямителя 27 при попадании на управляющий вход таймера сигнала помехи.

Блоки связи 3 и 4 с сетью выполнены аналогично блоку связи с сетью, а синхронизация их работы осуществляется соответственно напряжениями фаз В и С (фиг.3а, н, о).

Таким образом, на первые три входа распределителя импульсов 16 поступает три последовательности импульсов U_{17} , U_{18} , U_{19} , сдвинутые между собой на 120 эл.град. (фиг.4г,д,е; фиг.5 г, д,е).

В распределителе 16 импульсов (фиг.2) происходит формирование пар импульсов управления со сдвигом между импульсами в 60 эл.град. (фиг.3 ж-м; фиг.5 ж-м), необходимых для управления тиристорами в трехфазной мостовой схеме выпрямителя 27.

С выхода распределителя 16 импульсов сигналы управления поступают на входы формирователей 21 — 26 импульсов управления, где осуществляется усиление сигналов управления по мощности, придание им оптимальной формы и обеспечение гальванической развязки преобразователя 27 и устройства управления. Сформированные импульсы управления поступают на управляющие электроды тиристоров 28 — 33 преобразователя 27.

На фиг.4н и фиг.5 и приведены кривые выпрямленного напряжения U_{27} на выходе преобразователя 27 для углов управления, соответствующих начальному содержимому n каналов таймера 1 при чисто активной нагрузке выпрямителя в режимах 2 и 3 работы таймера соответственно.

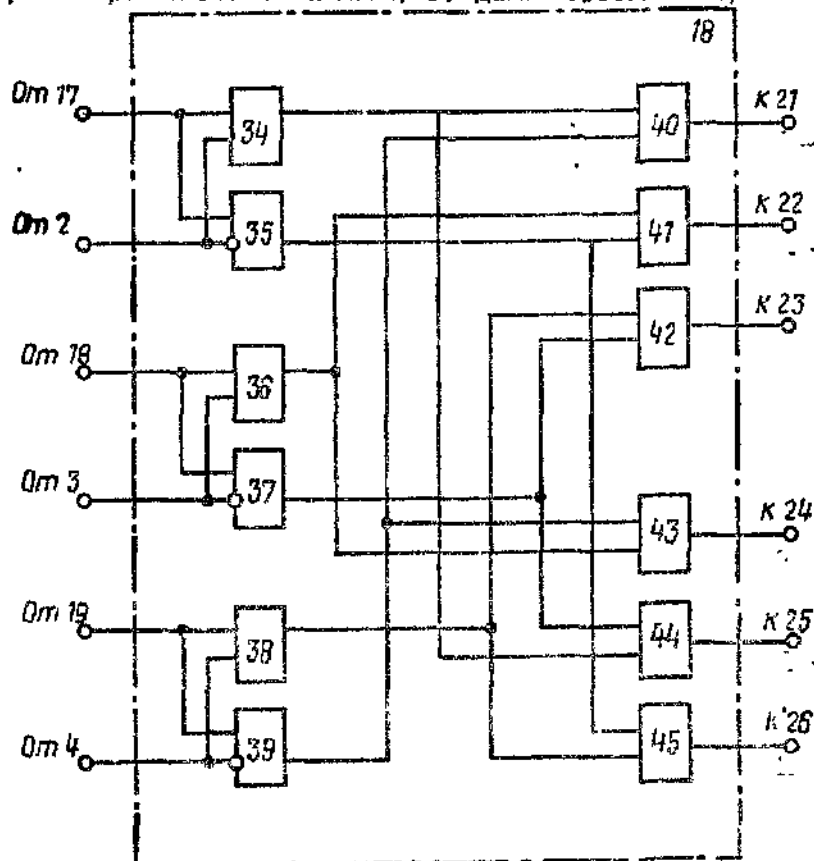
Предлагаемая схема блока связи с сетью позволяет использовать режимы 2 и 4 работы таймера в цифровом устройстве для управления вентильным преобразователем. В этих режимах начало отсчета числа n , соответствующего узлу управления, определяется фронтом сигнала, поступающего от блока связи с сетью, а для продолжения процесса счета необходимо наличие на управляющем входе таймера напряжения, соответствующего уровню "1". Таким образом исключается возможность срабатывания таймера от сигнала помехи, так как, имея кратковременный характер действия, помеха после начала счета не поддерживает на управляющем входе таймера напряжение, соответствующее уровню "1". Следовательно, использование режимов 2 и 3 работы таймера в предлагаемом устройстве повышает помехозащищенность системы импульсно-фазового управления и надежность работы всего преобразователя.

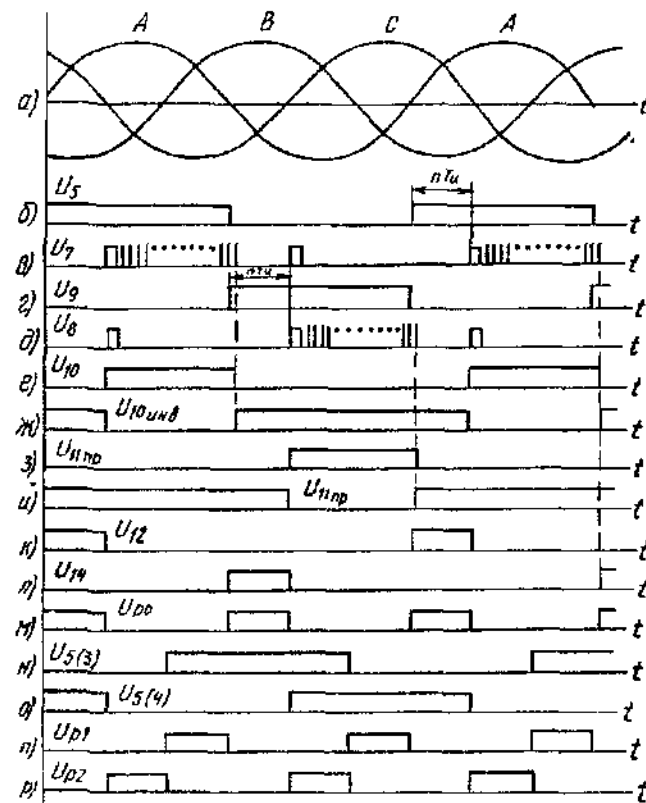
Таким образом, в результате введения в устройство элементов, входящих в блоки связи с сетью, можно использовать его для управления преобразователями переменного напряжения в постоянное, что расширяет его функциональные возможности. Кроме того, использование таймера в интегральном исполнении в режимах 2 и 3 позволяет повысить помехоустойчивость устройства управления за счет предлагаемой схемы блока связи с сетью.

Формула изобретения

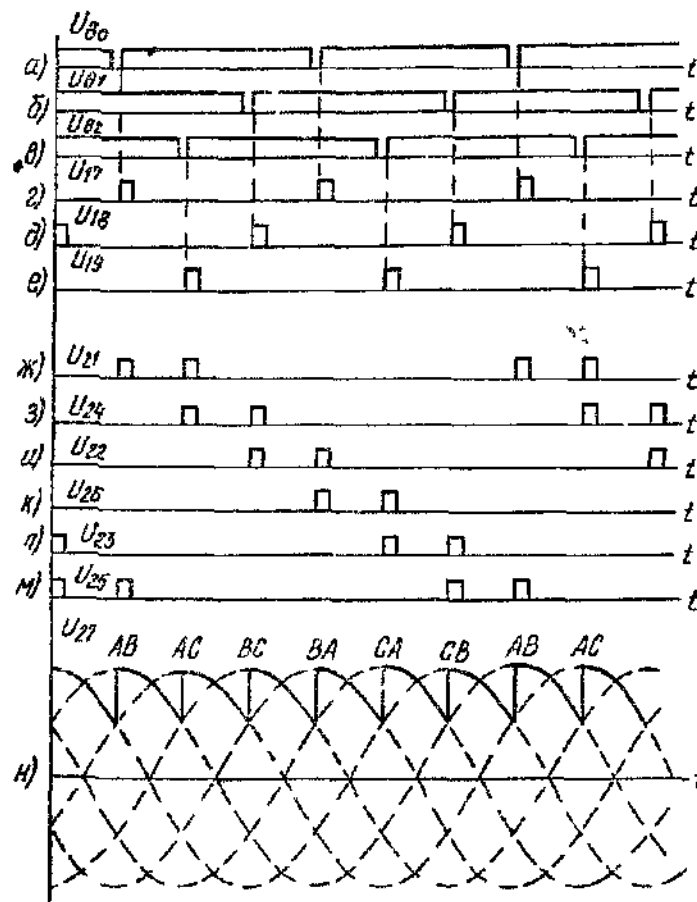
Цифровое устройство для управления вентиляльным преобразователем, содержащее тактовый генератор, трехканальный таймер, тактовый вход которого подключен к выходу тактового генератора, а выход соответствующего канала через соответствующий одновибратор соединен с соответствующим входом распределителя управляющих импульсов, первый элемент ИЛИ, выходом соединенный с установочным входом трехканального таймера, D-входы которого предназначены для подключения к задатчику сигнала управления, отличающееся тем, что, с целью расширения функциональных возможностей, введены блоки связи с сетью по числу фаз преобразователя, каждый из которых содержит второй и третий элементы ИЛИ,

первый и второй D-триггеры, инвертирующий элемент, первый, второй, третий и четвертый элементы И и компаратор, прямой и инверсный входы которого предназначены для подключения к соответствующему фазному напряжению сети, выход компаратора соединен с D-входом первого D-триггера, первым входом первого элемента И, вторым соответствующим входом распределителя управляющих импульсов, через инвертирующий элемент с D-входом второго D-триггера и с первым входом второго элемента И, вторые входы первого и второго элементов И соединены соответственно с инверсными выходами первого и второго D-триггеров, а выходы соответственно соединены с первым и вторым входами первого элемента ИЛИ, первые входы второго и третьего элементов ИЛИ объединены и подключены к выходу соответствующего одновибратора, вторые входы второго и третьего элементов ИЛИ соединены соответственно с выходами третьего и четвертого элементов И, вторые входы которых объединены и соединены с выходом задающего генератора, а первые входы соединены соответственно с прямыми выходами первого и второго D-триггеров, выходы второго и третьего элементов ИЛИ соединены соответственно с С-выходами первого и второго D-триггеров.

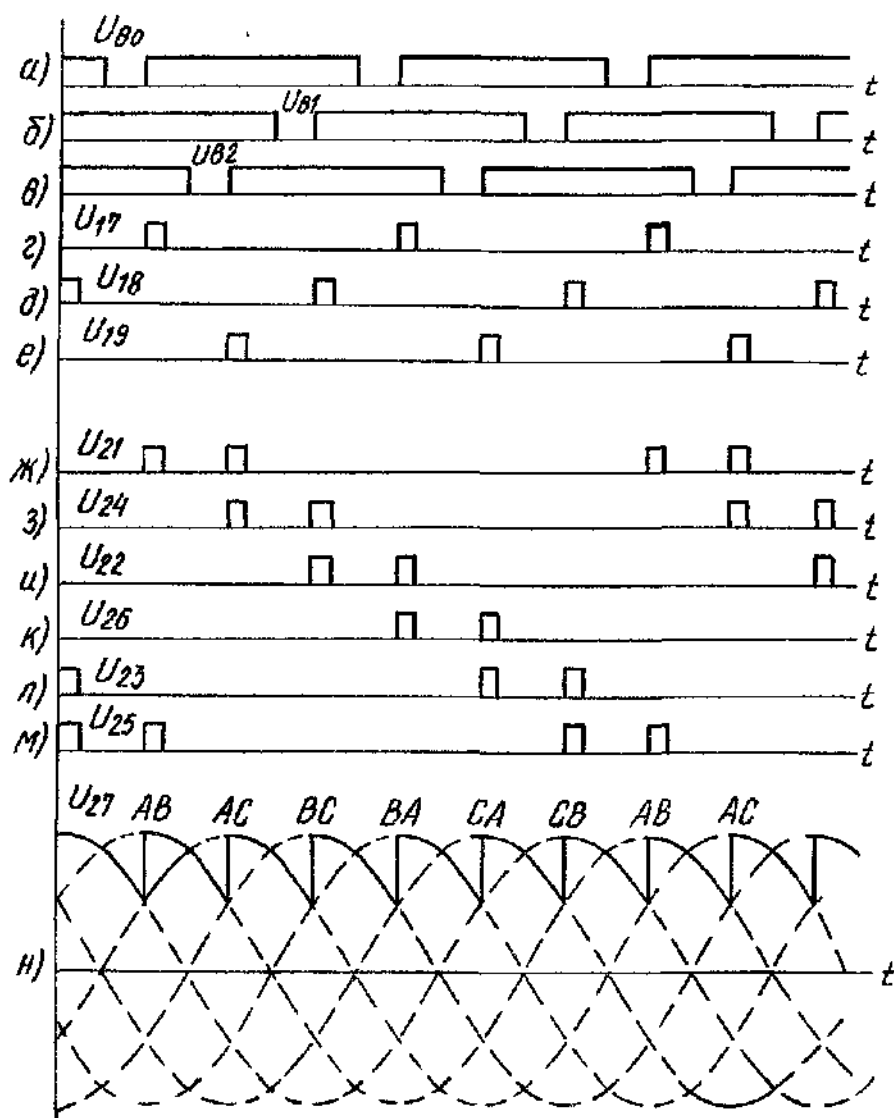




$\phi_{12} \in J$



Qu2 4



Фиг. 5

Редактор Л. Пчолинская Составитель В. Гордеев
 Техред М. Моргентал Корректор О. Кравцова

Заказ 1852 Тираж 398 Подписное
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101