



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1347128** **A1**

(51)4 Н 02 М 1/08

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4092072/24-07

(22) 20.06.86

(46) 23.10.87. Бюл. № 39

(71) Научно-исследовательский электротехнический институт Производственного объединения "ХЭМЗ"

(72) Л.Е.Вахнов, Г.Г.Жемеров, И.Л.Коляндра, И.И.Левитан, Н.Э.Левитус и Е.Б.Петрик

(53) 621.316.727(088.8)

(56) Авторское свидетельство СССР № 989741, кл. Н 02 М 1/08, 1981.

Авторское свидетельство СССР № 904194, кл. Н 02 М 5/257, 1980.

Авторское свидетельство СССР № 425296, кл. Н 02 М 7/00, 1969.

(54) УСТРОЙСТВО ДЛЯ СИНХРОНИЗАЦИИ СИСТЕМЫ УПРАВЛЕНИЯ m -ФАЗНОГО ВЕНТИЛЬНОГО ПРЕОБРАЗОВАТЕЛЯ

(57) Изобретение относится к электротехнике и может быть использовано в цифровых системах управления вентилями преобразователями. Целью изобретения является повышение точности синхронизации за счет компенсации внутренних задержек узлов схемы. Введение связей выхода запоминающего регистра 2 с вторым входом сумматора 3, выхода последнего с входом запоминающего регистра 2 позволяет корректировать число, соответствующее временному интервалу $t_k = \frac{T_c}{m}$, где

T_c - период сети, а m - пульсность преобразователя, на величину, равную асимметрии выходных импульсов ΔT , устремляя последнюю к минимально возможному значению за счет компенсации влияния внутренних задержек устройства. 2 ил.

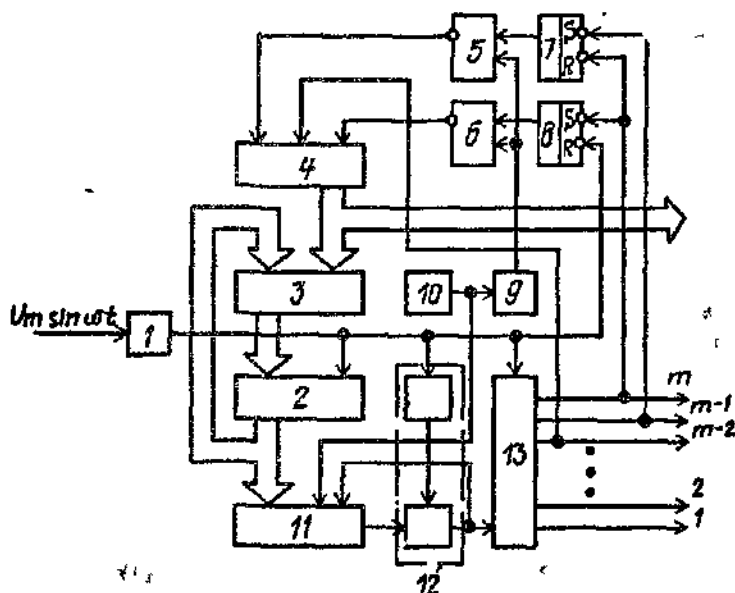


Рис 1

РПФ-К

(19) **SU** (11) **1347128** **A1**

Изобретение относится к электро-технике и может быть использовано в цифровых системах управления вентилями преобразователями.

Целью изобретения является повышение точности синхронизации за счет компенсации внутренних задержек узлов схемы.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - временные диаграммы.

Устройство для синхронизации системы управления m -фазного вентильного преобразователя содержит формирователь 1 импульсов, следующих с периодом сети, выход которого подключен к входу записи запоминающего регистра 2, вход которого подключен к информационному выходу, а выход - к первому входу сумматора 3, второй вход которого подключен к выходу первого счетчика 4, вычитающий вход которого подключен к выходу первого 5, а суммирующий вход - к выходу второго 6 элементов И-НЕ, первые входы которых подключены к выходам первого 7 и второго 8 RS-триггеров соответственно, а вторые - к выходу делителя 9 частоты, вход которого подключен к выходу генератора 10 тактовых импульсов вместе с вычитающим входом второго счетчика 11, информационный вход которого подключен к выходу регистра 2, а вход записи - к выходу узла 12 сдвига импульсов, первый вход которого подключен к выходу счетчика 11, а второй - к выходу формирователя 1 вместе с R-входом второго триггера 8 и входом установки распределителя 13, вход которого подключен к выходу узла 12, $(m-2)$ -й выход - к входу установки счетчика 4, $(m-1)$ -й выход - S-входу триггера 7, а m -й выход - к R-входу триггера 7 и S-входу триггера 8.

Формирователь 1 импульсов выполняет функцию нуля-органа с укорачиванием длительности импульсов и представляет собой, например, компаратор и одновибратор на D-триггере (не показаны), причем входом формирователя является инверсный вход компаратора, а выходом - выход одновибратора, соединенного входом с выходом компаратора.

Узел 12 сдвига импульсов может быть выполнен, например, на двухходовом элементе ИЛИ, к входам которого подключены выходы элементов задерж-

ки на такт, реализованные каждый на D-триггере с входами асинхронной установки (не показаны), которые являются входами узла 12, выходом которого является выход элемента ИЛИ.

Распределитель 13 импульсов реализован, например, на последовательно соединенных счетчике и дешифраторе (не показаны), причем входом установки распределителя 13 является вход установки счетчика, входом распределителя - счетный вход счетчика, а выходами распределителя - выходы дешифратора, соединенного входами с выходами счетчика.

Принцип работы устройства поясняется диаграммами на фиг. 2, на которой обозначены: U_c - напряжение одной из фаз сети, например фазы А; U_1 - выходные импульсы формирователя 1 импульсов; U_{10} - выходные импульсы генератора тактовых импульсов; U_{11} - диаграмма состояний выхода счетчика 11 импульсов; U_{12} - импульсы на выходе узла 12 сдвига импульсов; U_7 - выходные импульсы первого RS-триггера 7; U_5 - выходные импульсы первого элемента И-НЕ 11; U_4 - диаграмма состояний выхода первого счетчика 4 импульсов; U_8 - выходные импульсы второго триггера 8; U_6 - выходные импульсы второго элемента И-НЕ 6.

Устройство для синхронизации системы управления m -фазного вентильного преобразователя работает следующим образом.

На вход формирователя 1 импульсов поступает отфильтрованное напряжение U_c одной из фаз сети, например фазы А. В моменты начала формирования положительной полуволны напряжения на выходе формирователя 1 импульсов появляются импульсы U_1 , следующие с периодом T_c сети. При этом длительность импульсов U_1 равна периоду T_c импульсов U_{10} генератора 10 тактовых импульсов. В начале i -го периода T_c сети импульс U_1 поступает на второй вход узла 12, где осуществляется задержка на период T_c . С выхода узла 12 импульс, задержанный на такт, поступает на вход распределителя 13 импульсов на период T_c . Импульсом U_1 с выхода формирователя 1 импульсов распределитель 13 импульсов устанавливается в исходное состояние, поэтому первый импульс U_{12} , поступающий на вход распределителя 13 импульсов, проходит на его первый вы-

ход. Одновременно с этим срезом импульса U_{12} во второй счетчик 11 импульсов записывается число N_{i-1} с выхода запоминающего регистра 2, полученное на предыдущем периоде T_{i-1} сети, равно

$$T_{i-1} = N_{i-1} \cdot m \cdot T_r. \quad (1)$$

Импульсы U_{10} с выхода генератора 10 тактовых импульсов поступают на вычитающий вход второго счетчика 11 импульсов, уменьшая число N_{i-1} на его выходе (фиг. 2, U_{11}). При равенстве нулю выходного кода второго счетчика 11 импульсов на его выходе заема появляется импульс, поступающий на первый вход узла 12 импульсов. Второй импульс U_{12} поступает на второй выход распределителя 13 импульсов. Одновременно срезом этого импульса U_{12} осуществляется перезапись числа N_{i-1} с выхода запоминающего регистра 2 во второй счетчик 11. Сформированный временной интервал t_k равен интервалу дискретности преобразователя

$$t_k = N_{i-1} \cdot T_r = \frac{T_{i-1}}{m} \quad (2)$$

Процесс циклически повторяется. Фронтом импульса с $(m-2)$ -го выхода распределителя 13 импульсов первый счетчик 4 импульсов обнуляется. Фронтом с $(m-1)$ -го выхода распределителя 13 импульсов на выходе первого RS-триггера 7 устанавливается логическая единица, определяя начало временного интервала t_{m-1} .

На вход делителя 9 частоты импульсов с коэффициентом деления m поступают импульсы U_{10} с выхода генератора 10 тактовых импульсов. С выхода делителя 9 частоты импульсы с периодом $m \cdot T_r$ подаются на вторые входы элементов И-НЕ 5 и 6. Импульс U_7 с выхода первого RS-триггера 7 поступает на первый вход первого элемента И-НЕ 5, разрешая прохождение импульсов U_5 с периодом $m \cdot T_r$ на вычитающий вход первого счетчика 4 импульсов. На его выходе U_4 формируется отрицательное число, представленное в дополнительном коде. К концу временного интервала t_{m-1} число на выходе первого счетчика 4 импульсов равно

$$-l_{m-1} = \frac{t_{m-1}}{m \cdot T_r}.$$

Фронтом импульса с m -го выхода распределителя 13 импульсов первый

RS-триггер 7 обнуляется, а второй RS-триггер 8 формирует на своем выходе импульс U_8 , поступающий на первый вход второго элемента И-НЕ 6.

Таким образом, заканчивается временной интервал t_{m-1} и начинается временной интервал t_m .

При этом импульсы с периодом $m \cdot T_r$ с выхода второго элемента И-НЕ 6 поступают на суммирующий вход первого счетчика 4 импульсов. В течение временного интервала t_m на вход первого счетчика 2 импульсов поступает число импульсов, равное

$$l_m = \frac{t_m}{m \cdot T_r}.$$

Таким образом, к концу временного интервала t_m на выходе первого счетчика 4 (фиг. 2, U_4) импульсов сформируется число, равное алгебраической сумме чисел, соответствующих временным интервалам t_{m-1} и t_m .

$$\Delta l = l_m - l_{m-1} = \frac{1}{m \cdot T_r} (t_m - t_{m-1}). \quad (3)$$

с учетом того, что $t_m = t_{m-1} + T$.

Отсюда

$$\Delta T = \Delta l \cdot m \cdot T_r = t_m - t_{m-1}. \quad (4)$$

Фронтом импульса U_1 с выхода формирователя 1 импульсов, следующих с периодом сети, второй триггер 8 обнуляется, при этом импульсы U_6 прекращают поступать на суммирующий вход первого счетчика 4 импульсов.

На i -м периоде сети справедливо выражение, аналогичное выражению (1)

$$T_i = N_i \cdot m \cdot T_r.$$

Учитывая выражение (4) и равенство временных интервалов $t_k = t_{m-1}$, имеем

$$\Delta T = T_i - T_{i-1} = m \cdot T_r (N_i - N_{i-1}) = m \cdot T_r \cdot \Delta l. \quad (5)$$

Скорректированный код периода сети равен

$$N_i = N_{i-1} + \Delta l. \quad (6)$$

На первый вход сумматора 3 поступает число Δl с выхода первого счетчика 4 импульсов, а на второй вход - число N_{i-1} с выхода запоминающего регистра 2. Операция суммирования осуществляется с учетом знака числа Δl .

Скорректированное число N_i записывается с выхода сумматора 3 в запоминающий регистр 2 срезом импульса U_1 с выхода формирователя 1 импульсов,

чем исключается запись переходных процессов с выхода первого счетчика 4 импульсов. Запись числа N_1 с выхода запоминающего регистра 2 во второй счетчик 1 импульсов осуществляется срезом импульса U_{12} , отстающего на период T_r от импульса U_1 . Этим обеспечивается запись достоверной информации. При этом в счетчик 11 импульсов записываются $(n-1)$ младших разрядов кода N_1 , а n -й разряд является знаковым. Сумматор 3 и запоминающий регистр 2 имеют разрядность, равную n . Счетчик 4 импульсов также выполняется n -разрядным, что необходимо в начале работы устройства для записи числа N в запоминающий регистр 2 и далее.

Возможны 3 случая.

Число $\Delta T = 0$. При этом период сети не изменяется и корректировка кода N_{i-1} не производится.

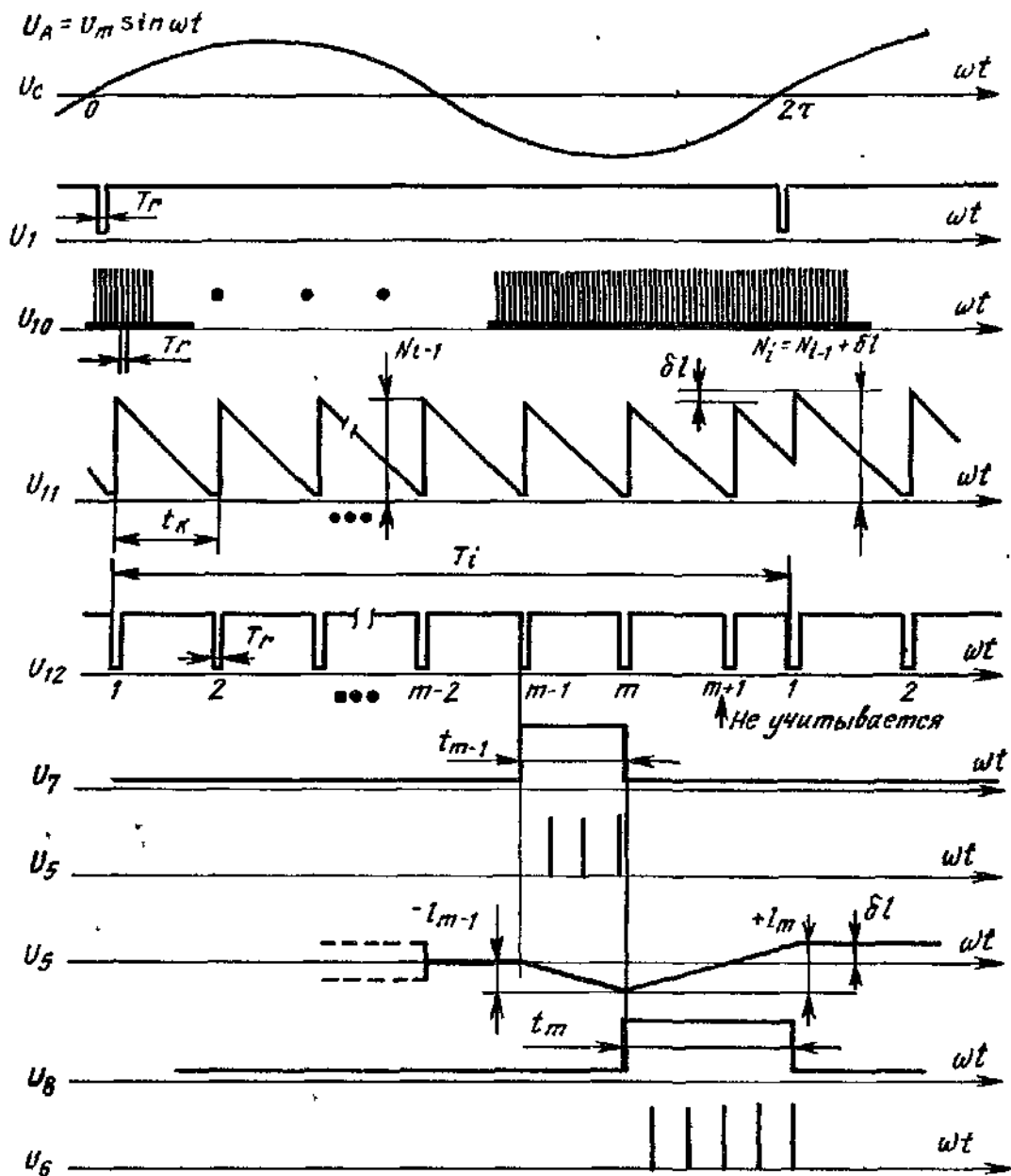
Число $\Delta T > 0$. Период напряжения сети $T_i > T_{i-1}$, и скорректированное число N_i равно $N_i = N_{i-1} + \Delta T$ (фиг. 2). В блок фазосмещения системы управления m -фазного преобразователя (не показан) поступают импульсы с m выходов распределителя 13 импульсов, а импульсы с $(m+1)$ выхода не используются.

Число $\Delta T < 0$. Период сети T_i меньше предыдущего и корректировка числа N_{i-1} осуществляется в сторону уменьшения, $N_i = N_{i-1} - \Delta T$.

Таким образом, в предлагаемом устройстве синхронизации отслеживается изменение периода питающей сети с учетом внутренних задержек, что повышает точность синхронизации.

Ф о р м у л а и з о б р е т е н и я

Устройство для синхронизации системы управления m -фазного вентильного преобразователя, содержащее формирователь импульсов, следующих с периодом сети, выход которого подключен к входу записи запоминающего регистра, выход которого подключен к одному входу сумматора, первый и второй счетчики импульсов, генератор тактовых импульсов, выход которого подключен к входу делителя частоты и вычитающему входу второго счетчика импульсов, вход записи которого соединен с выходом узла сдвига импульсов, отличающееся тем, что, с целью повышения точности синхронизации, оно снабжено двумя элементами И-НЕ, двумя RS-триггерами и распределителем импульсов, вход которого подключен к выходу узла сдвига импульсов, первый вход которого подключен к выходу второго счетчика импульсов, а второй подключен к выходу формирователя импульсов вместе с R-входом второго триггера и входом установки распределителя, m -й выход которого подключен к R-входу первого и S-входу второго триггеров, $(m-1)$ -й выход — к S-входу первого триггера, а $(m-2)$ -й выход — к входу установки первого счетчика импульсов, вычитающий вход которого подключен к входу первого, а суммирующий вход к выходу второго элементов И-НЕ, первые входы которых подключены к выходам первого и второго триггеров соответственно, а вторые входы — к выходу делителя частоты, причем выход первого счетчика подключен к другому входу сумматора, информационный выход которого подключен к входу запоминающего регистра, выход которого подключен к информационному входу второго счетчика импульсов.



Фиг. 2

Составитель В. Жмуров
 Редактор Н. Лазаренко Техред Л. Олийнык Корректор М. Максимынец

Заказ 5124/49 Тираж 658 Подписное

ВНИИТИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

10

11

12

13

14

15

16

17

18

19

20

21

22

23

24

25

26

27