



УКРАЇНА

(19) UA (11) 59960 (13) A

(51) 7 G06G7/48

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ  
НА ВИНАХІДВидається під  
відповідальність  
власника  
патенту

(54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ ОЦІНКИ НАДІЙНОСТІ ПРОГРАМНОГО ЗАБЕЗПЕЧЕННЯ

1

2

(21) 2002129971

(22) 11 12 2002

(24) 15 09 2003

(46) 15 09 2003, Бюл. № 9, 2003 р.

(72) Зеленков Олександр Аврамович, Бунчук  
Олександр Олексійович, Мірошніченко Олег Гри-  
горович

(73) НАЦІОНАЛЬНИЙ АВІАЦІЙНИЙ УНІВЕРСИТЕТ

(57) 1 Пристрій для моделювання оцінки надійності програмного забезпечення, який містить перший реєстр, генератор випадкових сигналів, перший, другий, третій та четвертий постійні запам'ятовуючі пристрої (ПЗП), першу та другу схеми порівняння, формувач, першу та другу схеми збігу, елемент АБО, блок задання константи, накопичуючий суматор, блок ділення, лічильник та індикатор, причому вихід першого ПЗП підключений до першого входу першої схеми порівняння, другий вхід якої з'єднаний з виходом генератора випадкових сигналів, а перший вихід з'єднаний з першим входом першої схеми збігу, другий вхід якої підключено до виходу другого ПЗП, другий вихід першої схеми порівняння підключено до другого входу другої схеми збігу, перший вхід якої з'єднаний з виходом третього ПЗП, адресний вхід якого з'єднаний з відповідними адресними входами першого, другого та четвертого ПЗП, із виходом формувача і підключений до виходу першого реєстра, інформаційний вхід якого з'єднаний з першим входом другої схеми порівняння і з виходом елемента АБО, перший і другий входи якого підключені до виходів відповідно першої та другої схеми збігу, вхід запуску першого реєстра є входом пристрою, а вхід скидання першого реєстра з'єднаний із виходом скидання лічильника і підключений до виходу другої схеми порівняння, другий вхід якої підключено до виходу блока задання константи, вихід лічильника підключений до першого входу блока

ділення, вихід якого з'єднаний із першим входом індикатора, а другий вхід підключено до виходу накопичуючого суматора, вхід якого з'єднаний з виходом четвертого ПЗП, який відрізняється тим, що в нього додатково введений блок виділення максимальної та мінімальної ймовірностей, перший вхід якого з'єднаний із виходом другої схеми порівняння, другий вхід підключений до виходу запуску першого реєстра, а інформаційний вхід з'єднаний із виходом блока ділення, перший і другий виходи блока підключені відповідно до другого і третього входів індикатора

2 Пристрій за п. 1, який відрізняється тим, що блок виділення максимальної і мінімальної ймовірностей містить тригер, третю, четверту та п'яту схеми збігу, другий реєстр, третю та четверту схеми порівняння, реєстр максимуму та реєстр мінімуму і елемент затримки, вхід якого є першим входом блока виділення максимальної і мінімальної ймовірностей і підключений до першого входу другого реєстра, а вихід з'єднаний із другим входом тригера, перший вхід якого є другим входом блока виділення максимальної і мінімальної ймовірностей, а вихід підключений до першого входу третьої схеми збігу, другий вхід якої об'єднаний з першими входами четвертої та п'ятої схем збігу, третьої та четвертої схем порівняння і підключений до виходу другого реєстра, інформаційний вхід якого є інформаційним входом блока виділення максимальної та мінімальної ймовірностей, вихід третьої схеми збігу підключений до перших входів відповідно реєстрів максимуму і мінімуму, другі входи яких підключені відповідно до виходів четвертої і п'ятої схем збігу, другі входи яких з'єднані відповідно з виходами третьої і четвертої схем порівняння, другі входи яких підключені відповідно до виходів реєстрів максимуму і мінімуму і є другим і третім виходами блока виділення максимальної і мінімальної ймовірностей

Винахід відноситься до галузі автоматики та обчислювальної техніки і призначений для моделювання характеристик надійності програмного забезпечення відмовостійких обчислювальних

систем

Відомий пристрій для моделювання ймовірнісного графа, що містить перший та другий реєстри, перший, другий та третій постійні запам'ятовуючі

(13) A  
(11) 59960  
(19) UA

пристрої, формувач, першу, другу та третю схеми порівняння, перший та другий генератори випадкових сигналів, першу та другу схеми збігу, перший та другий елементи АБО, лічильний об'єму моделювання, реверсивний лічильник, перший та другий накопичуючі суматори, перший та другий блоки задання константи, перший та другий блоки ділення та індикатор [1] Цей пристрій дозволяє моделювати статистичні характеристики процесу автоматичного відновлення за допомогою імовірнісного графа. Недоліком пристрою є те, що він не дозволяє визначити характеристики надійності програмних засобів відмовостійких обчислювальних систем

Відомий пристрій для моделювання оцінки надійності програмних засобів, що містить перший регістр, генератор випадкових сигналів, перший, другий, третій та четвертий постійні запам'ятовуючі пристрої, першу та другу схеми порівняння, формувач, першу та другу схеми збігу, елемент АБО, блок задання константи, накопичуючий суматор, блок ділення, лічильник та індикатор [2] Цей пристрій дозволяє моделювати статистичні характеристики надійності програмних засобів. Недоліком пристрою є те, що він не дозволяє визначити максимальну та мінімальну імовірності безвідмовного виконання програми, які мають велике значення при проектуванні програмного забезпечення відмовостійких обчислювальних систем високої відповідальності

В основу винаходу поставлена задача вдосконалення пристрою для моделювання статистичних характеристик надійності програмного забезпечення відмовостійких обчислювальної системи за допомогою імовірнісного графа, в якому за рахунок багаторазового проходження різних маршрутів графа визначається не тільки середня імовірність безвідмовного виконання програми, а й максимальна і мінімальна імовірності, які відповідають "найважчому" і "найлегшому" маршрутам і можуть бути реалізовані імовірнісним графом, що розширює його функціональні можливості

Поставлена задача вирішується тим, що до пристрою, який містить перший регістр, генератор випадкових сигналів, перший, другий, третій та четвертий постійні запам'ятовуючі пристрої, першу та другу схеми порівняння, формувач, першу та другу схеми збігу, елемент АБО, блок задання константи, накопичуючий суматор, блок ділення, лічильник та індикатор, причому вихід першого запам'ятовуючого пристрою (ПЗП) підключений до першого входу першої схеми порівняння, другий вхід якої з'єднаний з виходом генератора випадкових сигналів, а перший вихід з'єднаний з першим виходом першої схеми збігу, другий вхід якої підключено до виходу другого ПЗП, другий вихід першої схеми порівняння підключено до другого входу другої схеми збігу, перший вхід якої з'єднаний з виходом третього ПЗП, адресний вхід якого з'єднаний з відповідними адресними входами першого, другого та четвертого ПЗП, із виходом формувача і підключений до виходу першого регістра, інформаційний вхід якого з'єднаний з першим виходом другої схеми порівняння і з виходом елемента АБО, перший і другий входи якого підключені до виходів відповідно першої та другої

схеми збігу, вхід запуску першого регістра є входом пристрою, а вхід скидання першого регістра з'єднаний із входом скидання лічильника і підключений до виходу другої схеми порівняння, другий вхід якої підключено до виходу блока задання константи, вихід лічильника підключений до першого входу блока ділення, вихід якого з'єднаний із першим виходом індикатора, а другий вхід підключено до виходу накопичуючого суматора, вхід якого з'єднаний з виходом четвертого ПЗП у відповідності з винаходом додатково введений блок виділення максимальної та мінімальної ймовірностей, перший вхід якого з'єднаний із виходом другої схеми порівняння, другий вхід підключено до входу запуску першого регістра, а інформаційний вхід з'єднаний із виходом блока ділення, перший і другий виходи блока підключені відповідно до другого і третього входів індикатора, блок виділення максимальної і мінімальної ймовірностей містить тригер, третю, четверту та п'яту схеми збігу, другий регістр, третю та четверту схеми порівняння, регістр максимуму та регістр мінімуму і елемент затримки, вхід якого є першим виходом блока виділення максимальної і мінімальної ймовірностей і підключений до першого входу другого регістра, а вихід з'єднаний із другим виходом тригера, перший вхід якого є другим виходом блока виділення максимальної і мінімальної ймовірностей, а вихід підключено до першого входу третьої схеми збігу, другий вхід якої об'єднаний з першими входами четвертої та п'ятої схем збігу, третьої та четвертої схем порівняння і підключений до виходу другого регістра, інформаційний вхід якого є інформаційним виходом блока виділення максимальної та мінімальної ймовірностей, вихід третьої схеми збігу підключений до перших входів відповідно регістрів максимуму і мінімуму, другі входи яких підключені відповідно до виходів четвертої і п'ятої схем збігу, другі входи яких з'єднані відповідно з виходами третьої і четвертої схем порівняння, другі входи яких підключені відповідно до виходів регістрів максимуму і мінімуму і є другим і третім виходами блока виділення максимальної і мінімальної ймовірностей

На фіг 1 показано блок-схему пристрою, на фіг 2 показано структурну схему блока виділення максимальної і мінімальної ймовірностей, а на фіг 3 наведено приклад імовірнісного графа програми

Пристрій для моделювання оцінки надійності програмного забезпечення містить перший регістр 1 вихід якого з'єднаний з адресними входами відповідно першого 2, другого 3, третього 4, четвертого 5, ПЗП 1 з входом формувача 6 Вихід першого ПЗП 2 з'єднаний з першим виходом першої схеми порівняння 7, другий вхід якої підключено до виходу генератора випадкових сигналів 8, вхід якого підключений до виходу формувача 6 Перший і другий виходи першої схеми порівняння 7 підключені відповідно до першого і другого входів першої 9 і другої 10 схем збігу Другий вхід першої схеми збігу 9 підключений до виходу другого ПЗП 3, а перший вхід другої схеми збігу 10 підключений до виходу третього ПЗП 4 Виходи першої 9 і другої 10 схем збігу підключені відповідно до першого і другого входів елемента АБО 11, вихід якого

підключений до першого входу другої схеми порівняння 12 і інформаційного входу першого регістра 1, вхід скидання якого з'єднаний із виходом лічильника 13 та першим входом блока виділення максимальної та мінімальної ймовірностей і підключений до виходу другої схеми порівняння 12, другий вхід якого підключено до виходу блока задання константи 15. Вхід запуску першого регістра 1 з'єднаний із другим входом блока виділення максимальної та мінімальної ймовірностей і є входом пристрою. Інформаційний вхід накопичуючого суматора 14 підключено до виходу четвертого ПЗП 5, а вихід з'єднаний з першим входом блока 16 ділення. Другий вхід якого підключений до виходу лічильника 13, а вихід підключений до першого входу індикатора 17 і до інформаційного входу блока 18 виділення максимальної та мінімальної ймовірностей, перший і другий виходи якого підключені відповідно до другого і третього входів індикатора 17. Перший вхід тригера 19 з'єднаний із виходом другої схеми порівняння 12, а вихід підключено до першого входу третьої 20 схеми збігу, другий вхід якої з'єднаний із виходом другого регістра 21 і підключений до перших входів четвертої 22, п'ятої 23 схеми збігу та третьої 24 і четвертої 25 схем порівняння. Вихід третьої схеми збігу 20 підключено до перших входів регістра максимуму 26 і регістра мінімуму 27, виходи яких з'єднані із другими входами відповідно третьої 24 і четвертої 25 схем порівняння і підключені відповідно до другого та третього входів індикатора 17. Виходи третьої 24 і четвертої 25 схем порівняння підключені до других входів четвертої 22 і п'ятої 23 схем збігу відповідно, виходи яких підключені відповідно до других входів регістра максимуму 26 і регістра мінімуму 27. Вихід елемента затримки 28 підключений до другого входу тригера 19, а вхід є першим входом блока 18 виділення максимальної та мінімальної ймовірностей і підключений до першого входу другого регістра 21, інформаційний вхід якого є інформаційним входом блока 18 виділення максимальної та мінімальної ймовірностей. Принцип роботи пристрою такий.

Програмний модуль з програмного забезпечення відмовостійкої обчислювальної системи може бути поданий графовою моделлю програми. При моделюванні обчислювального процесу за такою моделлю передбачається надання кожній вершині графа деякого значення, наприклад, елементарного показника  $d_i$ , що дорівнює логарифму ймовірності правильної роботи операторів, пов'язаних з даною вершиною. Динаміка функціонування програми визначається вибором визначеного маршруту на графі. Цей вибір обумовлюється сукупністю реалізацій передач керування в логічних вершинах, які зв'язані з випадковим процесом надходження на вхід програми різних векторів вхідних даних, що приводить до випадкового вибору маршрутів на графі. Вибір маршрутів залежить від значення транзитивних ймовірностей переходів  $P_{ij}$  від  $i$ -ї до  $j$ -ї вершини графа, якими навантажуються дуги графа.

Очевидно, що окремий маршрут  $L$  реалізується з деякою ймовірністю

$$P(L) = \prod_{i \in L} P_{ij},$$

а середня оцінка ймовірності відмови може бути визначена як

$$Q = \sum_L \left\{ P(L) \times \sum_{i \in L} d_i \right\},$$

тому що параметр надійності  $Q$  є дискретною випадковою величиною і його середнє значення визначається на множині реалізацій як середнє по ймовірності. Але для багаторозгалужених графових моделей, які мають багато логічних вершин (вершин з двома виходами), кількість можливих маршрутів різко зростає. Наприклад, якщо граф має 20 логічних вершин, то при певних умовах кількість маршрутів досягає  $2^{20} \approx 10^6$ . В таких випадках оцінку надійності функціонування програми можна одержати тільки за допомогою імітаційного моделювання. Кількість реалізацій маршрутів визначає об'єм моделювання  $M$ . Тоді

$$Q \approx \frac{\sum_{i \in L} d_i}{M},$$

а внесок маршрутів в оцінку  $Q$  буде пропорційним ймовірності їх реалізацій.

У багатьох випадках важливими показниками є максимальна  $Q_{\max}$  і мінімальна  $Q_{\min}$  ймовірності відмови програми, які можуть бути реалізовані на множині маршрутів

$$Q_{\max} = \max_{i \in 1, M} Q_i, \quad Q_{\min} = \min_{i \in 1, M} Q_i$$

На фіг. 3 показані один з можливих варіантів ймовірнісного графа програми.

Блоки 1 - 12, що показані на фіг. 1, визначають ту чи іншу реалізацію маршруту на ймовірнісному графі.

Генератор випадкових сигналів 8 формує реалізацію неперервної випадкової величини, яка має рівномірний розподіл на інтервалі  $[0, 1]$ .

В першому ПЗП зберігаються значення ймовірностей переходів у відповідності з послідовними номерами вершин графа. Наприклад, у першій комірці, яка відповідає вершині  $Z_1$  (номер вершини - 1) записане число, яке дорівнює найменшому значенню ймовірності переходу ( $P_{12}$  чи  $P_{13}$ ), у другій комірці ПЗП 2 записане значення  $P_{24}$ , або  $P_{25}$ , у четвертій комірці (відповідає четвертій вершині) записується одиниця і т. д.

У другому ПЗП 3 записується найменший номер вершини графа, яка пов'язана з поточною вершиною, а у третьому ПЗП 4 записується номер другої вершини, що зв'язана з поточною (при відсутності такої вершини записується 0). Нехай, наприклад, на виході першого регістра 1 встановлено код поточної вершини  $Z_5$  (п'ять), а  $P_{56} < P_{57}$ . Тоді на виході першого ПЗП 2 буде значення  $P_{56}$ , на виході другого ПЗП 3 - номер 6, а на виході третього ПЗП 4 - номер 7, тобто номери вершин, які пов'язані з поточною вершиною під номером 5.

У четвертому ПЗП 5 записується значення показників вершин  $d_i$  ймовірнісного графа.

Таким чином, в чотирьох ПЗП кодується конкретна реалізація ймовірнісного графа.

Пристрій працює таким чином.

При надходженні сигналу запуску на вхід запуску першого регістра 1 на його виході встановлю-

ється код першої вершини графа  $Z_1$  (одиниця), який надходячи на адресні входи усіх ПЗП встановлює на виходах відповідно значення ймовірності  $P_{12}$  (при умові, що  $P_{12} < P_{13}$ ), код числа 2 (ПЗП 3), код числа 3 (ПЗП 4), а також значення  $d_1$  для першої вершини (ПЗП 5). Крім того, сигнал з виходу регістра 1 за допомогою формувача 6 запускає генератор випадкових сигналів 8, на виході якого одержується випадкове число  $r_1$  з інтервалу  $[0, 1]$ .

Якщо  $r_1 \leq P_{12}$ , то це значить, що у графі реалізувалась дуга, що відповідає ймовірності переходу  $P_{12}$ . Тоді для випадку  $r_1 \leq P_{12}$ , на першому виході першої схеми порівняння 7 з'являється сигнал, який дозволяє проходження коду номера другої вершини через першу схему збігу 9. Сигнал на другому виході схеми порівняння блокує другу схему збігу 10. На випадок  $r_1 > P_{12}$  активується другий вихід схеми порівняння 7.

Крім того, значення показника надійності  $d_1$  першої вершини надходить до інформаційного входу накопичуючого суматора 14.

Далі код з виходу першої схеми збігу 9 через елемент АБО 11 (на виході елемента АБО утворюється код поточної вершини графа при проходженні маршруту) надходить до інформаційного входу першого регістра 1 і далі подається на адресні входи усіх ПЗП. На виході першого ПЗП 2 встановлюється код  $P_{24}$  (якщо  $P_{24} < P_{25}$ ), на виходах другого та третього ПЗП - код вершин  $Z_4$  і  $Z_5$ .

Якщо  $r_1 > P_{24}$ , то код вершини  $Z_5$  передається на вихід елемента АБО 11 і це вершина стає поточною тощо. Після проходження маршруту на виході елемента АБО 11 встановлюється код останньої вершини  $Z_{14}$ , а на виході суматора 14 утворюється код, відповідний сумарному показнику надійності реалізованого маршруту.

Крім того поточний номер вершини на виході елемента АБО 11 надходить до першого входу другої схеми порівняння 12, де порівнюється з кодом останньої вершини  $Z_{14}$ , який надходить з виходу блока 15 задання константи. Якщо коди співпадають, то на виході схеми порівняння 12 утворюється сигнал, який додає одиницю у лічильнику 13. Крім того, цей сигнал встановлює перший регістр 1 в початковий стан, що відповідає номеру першої вершини  $Z_1$ . Далі процес повторюється.

Таким чином на виході накопичуючого суматора 14 утворюється поточна сума показників надійності для вершин реалізованих маршрутів, так що на виході блока ділення 16 утворюється поточна

оцінка середньої ймовірності відмови програми. Це значення відображається на індикаторі 17.

Визначення максимальної і мінімальної ймовірностей відмови програм з реалізованих маршрутів проводиться за допомогою блока 18 виділення максимальної і мінімальної ймовірностей.

В момент запуску пристрою сигнал запуску надходить до першого входу тригера 19 і встановлює його в стан, при якому відкривається третя схема збігу 20 за її першим входом. Після проходження першого маршруту на виході блока ділення 16 встановлюється код ймовірності відмови програми за цим маршрутом, який записується до другого регістру 21 сигналом з виходу другої схеми порівняння 12. Цей код подається одночасно на перші входи четвертої 22 і п'ятої 23 схем збігу, третьої 24 та четвертої 25 схем порівняння, а також через відкриту третю схему збігу 20 на перші входи відповідно регістру максимуму 26 та регістра мінімуму 27.

Крім того, через елемент затримки 28 переводить тригер 19 у початковий стан до кінця моделювання.

Схеми порівняння 24 і 25 порівнюють коди регістрів максимуму 26 і мінімуму 27 з поточним кодом з виходу другого регістра 21. Якщо значення поточного коду більше ніж значення коду регістра максимуму 26, то цей код переписується через четверту схему збігу 22 до регістра 26. Якщо значення поточного коду менше ніж значення коду регістра мінімуму 27, то цей код переписується через п'яту схему збігу 23 до регістра 27.

Таким чином, після завершення моделювання в регістрах 26 і 27 будуть зафіксовані максимальне і мінімальне значення ймовірності відмови по всіх реалізованих маршрутах цієї програми. Ці значення відображаються на індикаторі 17.

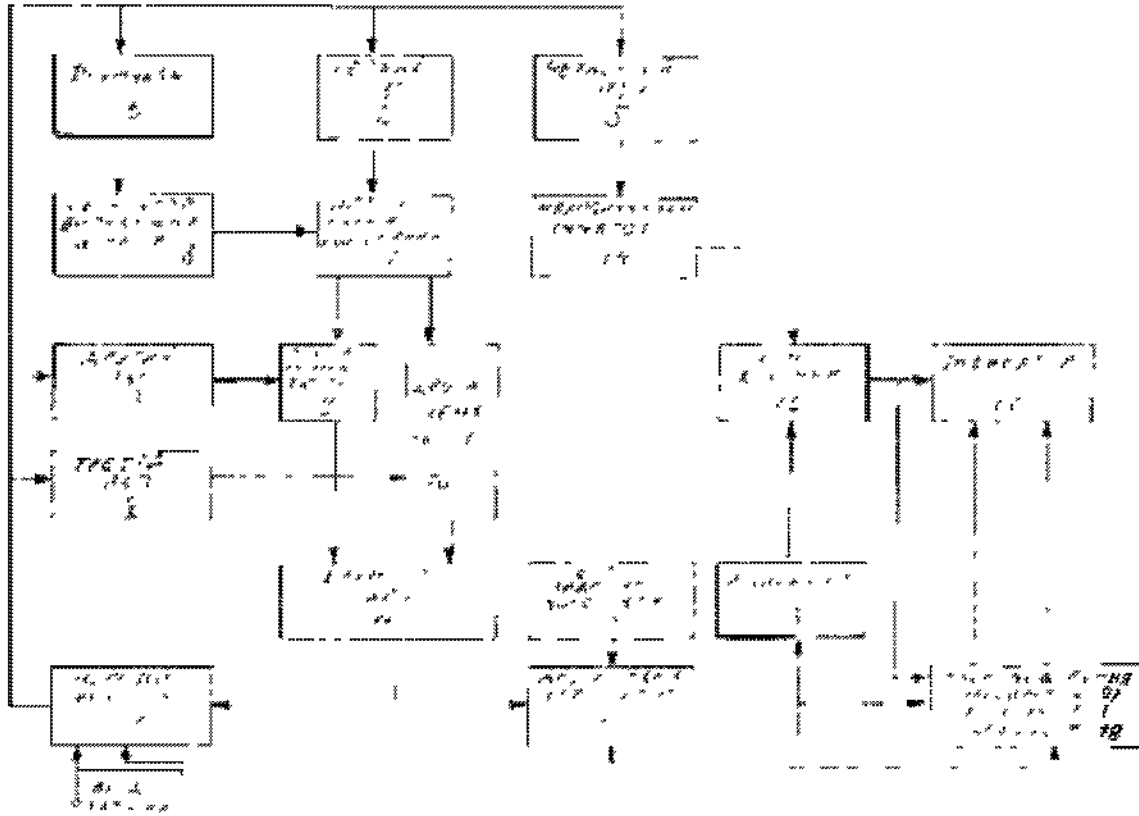
З метою спрощення схеми та її опису в блок-схемі відсутні елементи затримки (у вигляді панцюгів елементів І), які необхідні для забезпечення стійкої роботи пристрою.

Пристрій може бути реалізований у цифровому варіанті на стандартних мікросхемах.

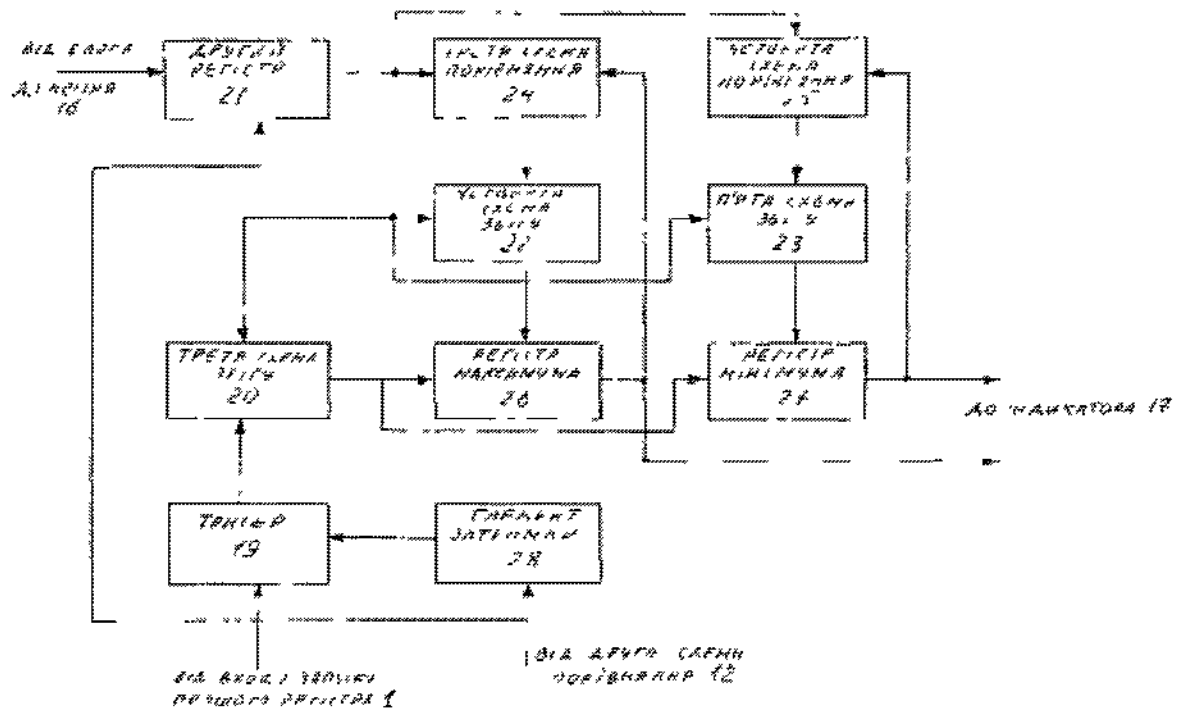
Джерела інформації

1 Патент України 34114А, G06G 7/48, Пристрій для моделювання ймовірнісного графа (аналог),

2 Патент України 36399А, G06G 7/48, Пристрій для моделювання оцінки надійності програмних засобів (прототип)



Фиг.1



Фиг.2

