



УКРАЇНА

(19) UA (11) 55033 (13) U  
(51) МПК (2009)  
G06F 15/16

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

### (54) ОБЧИСЛЮВАЛЬНА СИСТЕМА

1

2

(21) u200913810

(22) 29.12.2009

(24) 10.12.2010

(46) 10.12.2010, Бюл. № 23, 2010 р.

(72) ЖАБІН ВАЛЕРІЙ ІВАНОВИЧ, ЖУКОВ ІГОР  
АНАТОЛІЙОВИЧ, КЛИМЕНКО ІРИНА АНАТОЛІЇВ-  
НА, ТКАЧЕНКО ВАЛЕНТИНА ВАСИЛІВНА(73) НАЦІОНАЛЬНИЙ АВІАЦІЙНИЙ УНІВЕРСИТЕТ  
(НАУ)

(57) Обчислювальна система, що містить процесор і зовнішні пристрої, зв'язані між собою загальною шиною, кожний  $i$ -й зовнішній пристрій ( $i=1...n$ ) містить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент І, вихід якого через перший вхід елемента АБО підключений до входу блока переривань  $i$ -го зовнішнього пристрою, перші входи кожного елемента І підключені до керуючого виходу процесора, яка **відрізняється** тим, що кожний зовнішній пристрій містить тригер початку групи,

тригер кінця групи, контролер початку групи, контролер кінця групи, інтерфейс, перший вихід якого підключений до входу тригера початку групи, вихід якого зв'язаний з другим входом елемента І та першим входом контролера початку групи, вихід якого підключений до другого входу елемента АБО, вихід якого підключений до входу блока переривань, другий вихід якого підключений до першого входу контролера кінця групи, перший вихід якого зв'язаний з другим входом контролера початку групи  $i+1$ -го зовнішнього пристрою, другий вихід інтерфейсу підключений до входу тригера кінця групи, вихід якого зв'язаний з другим входом контролера кінця групи, при цьому другий вихід контролера кінця групи  $i$ -го зовнішнього пристрою пов'язаний з третіми входами контролерів початку груп всіх  $n$  зовнішніх пристроїв, а перший вихід контролера кінця групи  $n$ -го зовнішнього пристрою підключений до другого входу контролера кінця групи 1-го зовнішнього пристрою.

Корисна модель стосується обчислювальної техніки і може бути застосований при створенні обчислювальних систем.

Відома обчислювальна система із загальною шиною, яка містить процесори, загальну шину та зовнішні пристрої [1]. Процесор зв'язаний із зовнішніми пристроями за допомогою загальної шини. У системі зовнішні векторні переривання реалізуються за допомогою розподіленого контролера переривань. До складу кожного зовнішнього пристрою входить блок переривань. Вкупі ці блоки реалізують розподілений контролер переривань. Блок переривань зовнішнього пристрою, що готовий до обміну даними, видає сигнал запиту переривання на загальну лінію вимоги переривань ВП. Технологічні особливості елементної бази повинні допускати таке об'єднання виходів елементів (наприклад, використовуються елементи з відкритим колектором, відкритим стоком). Відповідний сигнал процесора підтвердження переривання ПП поширюється послідовно через блоки переривань, що утворюють так названий пріоритетний ланцюжок (daisy chain). Елементи ланцюжка в кожному блоці пропускають сигнал ПП чи розривають ланцюжок.

Пріоритетний ланцюжок розривається на першому (по шляху поширення сигналу) зовнішньому пристрою, що виставляв сигнал запиту переривання. Даний активний зовнішній пристрій видає на загальну шину вектор переривання, що приймається процесором. Після цього процесор обслуговує запит зовнішнього пристрою.

До достоїнств розподілених арбітрів можна віднести: мале число ліній зв'язку в шині управління; простота нарощування числа зовнішніх пристроїв.

Недоліком відомої системи із розподіленим контролером переривань є використання фіксованих рівнів пріоритетів запитів, які не можна змінювати динамічно. Використання фіксованих рівнів пріоритетів не забезпечує гарантованого обслуговування заявок від зовнішніх пристроїв на визначеному відрізку часу. Заявки з низьким рівнем пріоритету при великій інтенсивності заявок з більшими пріоритетами можуть не виконуватися тривалий час (ситуація «starve»). Ця обставина може привести до уповільнення обчислювального процесу, а іноді - до тупикової ситуації.

Найбільш близьким до корисної моделі по технічній сутності є обчислювальна система [2], що

(13) U

(11) 55033

(19) UA

містить процесор і зовнішні пристрої, зв'язані між собою загальною шиною, кожний  $i$ -й зовнішній пристрій ( $i=1...n$ ) містить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент  $I$  та тригер, вихід якого зв'язаний з інформаційним входом тригера  $i+1$ -го зовнішнього пристрою та з першим входом елемента  $I$   $i$ -го зовнішнього пристрою, вихід якого через перший вхід елемента АБО підключений до входу блоку переривань  $i$ -го зовнішнього пристрою, другий вихід якого зв'язаний з другим входом елемента АБО  $i+1$ -го зовнішнього пристрою, другі входи кожного елемента  $I$  та кожного тригера підключені до керуючого виходу процесора, причому вихід тригера та другий вихід блока переривань  $n$ -го зовнішнього пристрою підключені відповідно до інформаційного входу тригера та другого входу елемента АБО  $1$ -го зовнішнього пристрою.

Недоліком відомої системи є низька швидкість, що обумовлено затримкою початку обслуговування переривань. В системах управління, що вирішують різного роду задачі управління в тому числі і траєкторні задачі, цикли управління характеризуються своєю неоднорідністю. Таким чином у визначений момент часу виконується опитування та обробка переривань від певної кількості ЗП, що впливають на стратегію управління. Інші ж ЗП знаходяться у пасивному стані. У відомій системі реалізоване опитування всіх зовнішніх пристроїв за пріоритетним ланцюжком, незалежно від їх участі у циклі управління в даний момент часу. За великої кількості зовнішніх пристроїв довжина пріоритетного ланцюжка визначає затримку початку обслуговування переривання.

В основу корисної моделі поставлено задачу удосконалення обчислювальної системи у режимі переривань шляхом зменшення затримки початку обслуговування переривань, підвищення гарантій обслуговування зовнішніх пристроїв за певний проміжок часу за рахунок динамічного скорочення пріоритетного ланцюжка і видалення із процесу обробки переривань пасивних зовнішніх пристроїв.

Встановлена задача виконується тим, що в обчислювальній системі, що містить процесор і зовнішні пристрої, зв'язані між собою загальною шиною, кожний  $i$ -й зовнішній пристрій ( $i=1...n$ ) містить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент  $I$ , вихід якого через перший вхід елемента АБО підключений до входу блоку переривань  $i$ -го зовнішнього пристрою, перші входи кожного елемента  $I$  підключені до керуючого виходу процесора, новим є те, що у склад кожного зовнішнього пристрою введені тригер початку групи, тригер кінця групи, контролер початку групи, контролер кінця групи, програмний інтерфейс, перший вихід якого підключений до входу тригера початку групи, вихід якого зв'язаний з другим входом елемента  $I$  та першим входом контролера початку групи, вихід якого підключений до другого входу елемента АБО, вихід якого підключений до входу блоку переривань, другий вихід якого підключений до першого входу контролера кінця групи, перший вихід якого зв'язаний з другим входом контролера початку циклу  $i+1$ -го зовнішнього пристрою, другий

вихід інтерфейсу підключений до входу тригера кінця групи, вихід якого зв'язаний з другим входом контролера кінця групи, при цьому другий вихід контролера кінця групи  $i$ -го зовнішнього пристрою пов'язаний з третіми входами контролерів початку групи всіх  $n$  зовнішніх пристроїв, а перший вихід контролера кінця групи  $n$ -го зовнішнього пристрою підключений до другого входу контролеру кінця групи  $1$ -го зовнішнього пристрою.

На Фіг.1 показана структурна схема обчислювальної системи; на Фіг.2 - приклад побудови блока переривань.

Обчислювальна система (Фіг.1) містить процесор  $1$ , зовнішні пристрої  $2.1, ..., 2.n$ , загальну шину  $3$ , до якої підключені процесор  $1$  та зовнішні пристрої  $2.1, ..., 2.n$ . До складу кожного  $i$ -го зовнішнього пристрою входить блок переривань  $4.i$ , програмний інтерфейс  $5.i$ , тригер початку групи  $6.i$ , тригер кінця групи  $7.i$ , контролер початку групи  $8.i$ , контролер кінця групи  $9.i$  елемент  $I$   $10.i$  та елемент АБО  $11.i$ . (структура програмного інтерфейсу та апаратура зовнішніх пристроїв, які не стосуються реалізації переривань на Фіг.1 умовно не показані).

Виходи  $12.i$  блоків переривань  $4.i$  об'єднані у єдину лінію і підключені до входу вимоги переривань (ВП) процесора  $1$ , вихід підтвердження переривання (ПП) якого підведений до перших входів елементів  $I$   $10.i$ . (Технологічні особливості елементної бази повинні допускати об'єднання виходів  $12.i$ . Наприклад, використовуються елементи з відкритим колектором, а сигнали вимоги переривань мають активний низький рівень).

Перший вихід програмного інтерфейсу  $5.i$  підключений до входу тригера початку групи  $6.i$ , який своїм виходом підключений до входу  $13.i$  контролера початку групи  $8.i$  та другого входу елемента  $I$   $10.i$ , вихід якого пов'язаний із першим входом елемента АБО  $11.i$ , який своїм виходом підключений до входу  $14.i$  блока переривань  $4.i$ . Вихід  $15.i$  блока переривань  $4.i$  підведений до першого входу контролера кінця групи  $9.i$ , вихід  $16.i$  якого зв'язаний з входом  $17.i$   $i+1$ -го зовнішнього пристрою  $2.(i+1)$ . Вихід  $16.n$  контролера кінця групи  $9.n$  підключений до входу  $17.1$  контролеру кінця групи  $9.1$ , а виходи  $18.i$  контролерів кінця групи  $9.i$  поєднані в єдину лінію і підключені до входів  $19.i$  контролерів початку групи  $8.i$  всіх  $n$  зовнішніх пристроїв  $2.i$ . Вихід  $20.i$  контролера початку групи  $8.i$  підключений до другого входу елемента АБО  $11.i$ .

Другий вихід програмного інтерфейсу  $5.i$  підключений до входу тригера кінця групи  $7.i$ , який своїм виходом зв'язаний з другим входом контролера кінця групи  $9.i$ .

Таким чином, блоки переривань  $4.i$  через контролери  $8.i$  і  $9.i$  та елемент АБО  $11.i$  об'єднані у кільце, за рахунок управляючих сигналів, що надходять на управляючі входи контролерів початку групи  $8.i$  та контролеру кінця групи  $9.i$ , у склад кільця можуть входити різні зовнішні пристрої  $4.i$ .

У якості блоків переривань АЛ можуть використовуватися стандартні блоки розподілених систем переривань. Приклад логічної організації таких блоків показаний у вигляді функціональної схеми на Фіг.2.

Обчислювальна система працює наступним чином.

У певний проміжок часу система обслуговує запити від визначеної кількості зовнішніх пристроїв 2.g, ..., 2.k із складу зовнішніх пристроїв обчислювальної системи 2.1, ..., 2.n. Таким чином за допомогою управляючої програми інтерфейс 5.g зовнішнього пристрою 2.g виставляє одиничний сигнал на тригері початку групи 6.g, а інтерфейс 5.k зовнішнього пристрою 2.k виставляє одиничний сигнал на тригері кінця групи 7.k. У кожний момент часу тільки в одному із тригерів 6.1, ..., 6.n та тільки в одному із тригерів 7.1, ..., 7.n записана одиниця (наприклад, на початку обчислень - у тригері 6.1 та у тригері 7.n). Всі інші тригери встановлені в нуль.

Сигнал обслуговування переривання ПП від процесора 1 буде поширюватись вздовж пріоритетного ланцюжка, що утворюють зовнішні пристрої поєднані у кільце розпочинаючи від зовнішнього пристрою 2.g і закінчуючи зовнішнім пристроєм 2.k. В обчислювальній системі застосовані фіксовані пріоритети зовнішніх пристроїв. Найвищий пріоритет має перший у ланцюжку зовнішній пристрій 2.g, тригер початку групи якого встановлений в одиницю.

Готовий до обміну інформацією з процесором 1 будь який зовнішній пристрій 2.j ( $j \in i$ ) із складу означеного ланцюжка зовнішніх пристроїв 2.g, ..., 2.k формує сигнал запиту переривання (ЗП.j) на виході 12.j. При наявності такого сигналу розривається пріоритетний ланцюжок між входом 14.j та виходом 15.j блоку переривань 4.j (Фіг.2). Якщо є хоч один сигнал на виходах 12.1, ..., 12.n, формується загальний сигнал вимоги переривань на вході ВП процесора 1. Після закінчення чергового циклу виконання команди процесор перериває виконання основної програми і у відповідь на сигнал ВП формує сигнал підтвердження переривання на виході ПП. Цей сигнал потрапляє у пріоритетний ланцюжок, замкнутий у кільце, починаючи з зовнішнього пристрою з найбільшим пріоритетом, так як відкритим є тільки один елемент 1 10.g в цьому зовнішньому пристрої за рахунок одиничного сигналу на виході тригеру початку групи 6.g.

Сигнал ПП розповсюджується по ланцюжку тільки до першого на його путі блока переривань 4.j, який виставив сигнал запиту переривання ЗП.j. В цьому блоці 4.j формується вектор переривання, який видається на загальну шину 3 та приймається в процесор 1 (див. Фіг.2). Після цього процесор починає виконувати програму обслуговування переривання і знімає сигнал ПП.

Програмний інтерфейс управляється основною програмою зі сторони процесора, тобто значення тригерів початку і кінця групи встановлюються в програмному режимі відповідно до виконуваних обчислювальною системою функцій в даний час.

Контролери початку групи 8.j в залежності від управляючого сигналу ПГ.j (Початок групи, див. Фіг.3) від тригеру початку групи 6.j j-го зовнішнього пристрою, переключаються або в стан наскрізної передачі сигналу по ланцюжку, у випадку якщо тригер 6.j встановлений в нульовий стан, і даний зовнішній пристрій розташований всередині кіль-

ця, або в стан початку ланцюжка, у випадку якщо тригер 6.j встановлений в одиничний стан, і даний зовнішній пристрій розташований на початку кільця. У першому випадку пріоритетний ланцюжок замикається між входом 17.j та виходом 20.j контролера початку групи, в другому - між входом 17.j та виходом 19.j контролера початку групи. Структурна схема контролеру початку групи наведена на Фіг.3.

Контролери кінця групи 9.j в залежності від управляючого сигналу КГ.j (Кінець групи, див. Фіг.4) від тригеру кінця групи 7.j переключається або в стан наскрізної передачі сигналу по ланцюжку, у випадку якщо тригер 7.j встановлений в нульовий стан, і даний зовнішній пристрій розташований всередині кільця, або в стан кінця ланцюжка, у випадку якщо тригер 7.j встановлений в одиничний стан, і даний зовнішній пристрій розташований в кінці кільця. У першому випадку пріоритетний ланцюжок замикається між входом 15.j та виходом 16.j контролера кінця групи, в другому - між входом 15.j та виходом 18.j контролера кінця групи. Структурна схема контролера кінця групи зображена на Фіг.4.

Таким чином, в обчислювальній системі, що пропонується, забезпечується динамічне формування пріоритетного ланцюжка, що забезпечує виключення пасивних зовнішніх пристроїв із складу таких, що обслуговуються, за рахунок чого зменшити час обробки переривань в обчислювальній системі.

Порівняємо відому систему та систему, що пропонується, за ефективністю реалізації переривань. Ефективність системи переривань можна оцінити по величині часу затримки початку обслуговування. Взаємодію зовнішніх пристроїв (ЗП) із процесором при реалізації переривань можна розглядати як замкнену мережу масового обслуговування.

У обчислювальній системі з одним пріоритетним ланцюжком зовнішні пристрої мають пріоритети, що визначаються їх позиціями в ланцюжку (ЗП 2.1g має найвищий, а ЗП 2.k - найнижчий пріоритет).

Будемо вважати, що заявки мають відносні пріоритети, потік заявок є стаціонарним, а час обслуговування для всіх заявок однаковий. Тоді середній час чекання обслуговування складе:

$$t_i^{\Phi} = \frac{\sum_{j=1}^n \rho_j \theta_j \left( 1 + v_j^2 \right)}{2 \left( -R_{i-1} \right) \left( -R_i \right)} \quad (1)$$

де  $\rho_j = \lambda_j t_j$  - завантаження системи обслуговуванням заявок j-го пріоритету

( $\lambda_j$  - інтенсивність потоку заявок j-го пріоритету,  $t_j$  - час обслуговування заявок);

$R_{i-1} = \sum_{k=1}^{i-1} \rho_k$  і  $R_i = \sum_{k=1}^i \rho_k$  - сумарне завантаження системи обслуговуванням заявок відповідно (i - 1) і i старших пріоритетів;  $\theta_j$  - середній час обслуговування заявок j-го пріоритету;  $v_j$  - коефіці-

ент варіації, що визначає відношення середньоквадратичного відхилення тривалості обслуговування до його математичного чекання [3].

Для визначеності будемо вважати, що час обслуговування заявок у даному випадку постійний і

дорівнює  $\tau$  (коефіцієнти варіації  $v_j = 0$ ), з (1) одержимо

$$t_i = \frac{R\tau}{2(R_{i-1} - R_i)} \quad (2)$$

$$R = \sum_{j=1}^n \rho_j$$

де  $R = \sum_{j=1}^n \rho_j$  - сумарне завантаження системи, причому  $R < 1$ .

У системі, що запропонована, початок пріоритетного ланцюжка автоматично переноситься на початок групи ЗП. Таким чином досягається зменшення кількості ЗП в ланцюжку. Як видно з виразу (2) час обслуговування заявок на пряму залежить від сумарної завантаженості системи, яка в свій час залежить від кількості ЗП.

Використання запропонованої реалізації переривань забезпечує на визначеному відрізку часу підвищення ефективності обслуговування заявок і створює передумови для зменшення часу обробки інформації в обчислювальних системах. Динаміч-

не зменшення кількості ЗП під час роботи системи забезпечує мінімізацію максимального часу чекання обслуговування заявок. Це є важливим чинником для систем реального часу, коли тривалість перетворення інформації обмежується зовнішніми факторами.

Таким чином, запропонований підхід до обслуговування зовнішніх векторних переривань дозволяє усунути основні недоліки розподілених арбітрів і може бути ефективно використаний для побудови систем з відкритою архітектурою, що забезпечують простоту нарощування числа модулів.

Літературні джерела

1. Организация ЭВМ. 5-е издание./К.Хамахер, З.Вранишеч, С.Заки. - СПб.: Питер; Киев: BHV, 2003. - С.242. рис. 4.8.

2. Дек. пат. №7727 України, МКВ G 06 F 15/16, 15/76. Обчислювальний пристрій / І.А. Жуков, В.І. Жабін, І.А. Клименко, В.В. Ткаченко (Україна). - №20040907712: Заявлено 22.09.2004; Опубл. 15.07.2005, Бюл. №7.-9 с.

3. Основы теории вычислительных систем. Под ред. С.А.Майорова. М., "Высш. школа", 1978. - С. 74, формула 3.17.

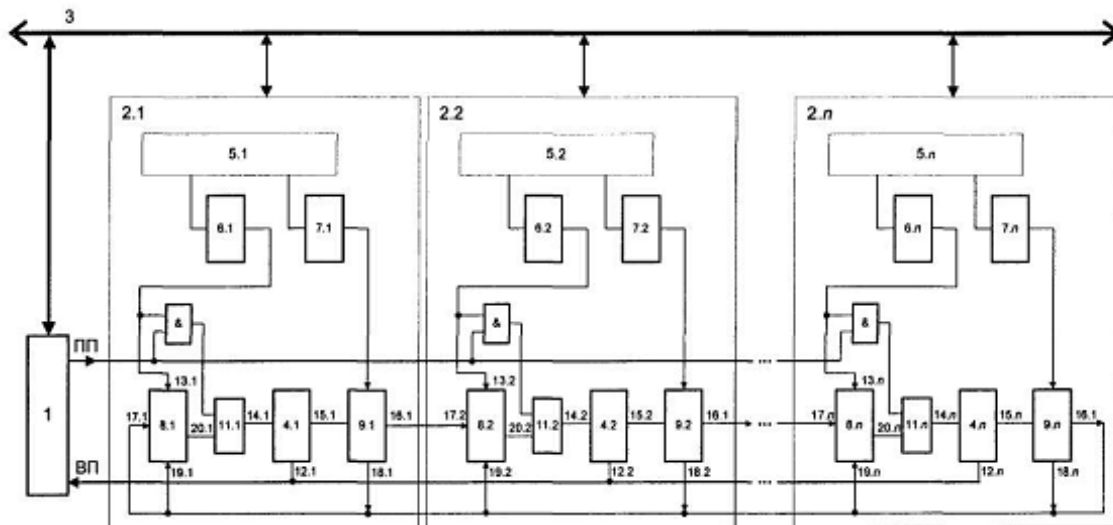
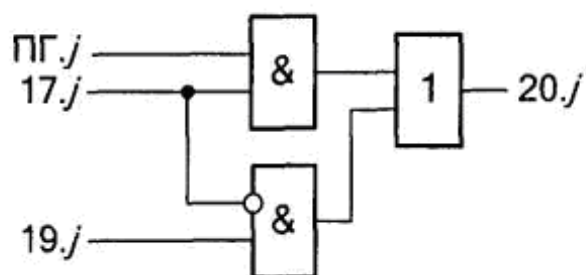


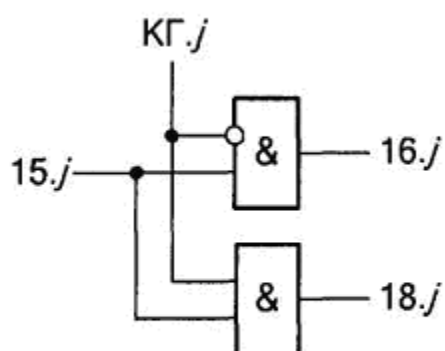
Fig. 1



Фіг. 2



Фіг. 3



Фіг. 4

