



УКРАЇНА

(19) UA (11) 42887 (13) C2

(51) 7 G11C16/06

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ НА ВИНАХІД

## (54) СХЕМА КЕРУВАННЯ ДЛЯ ЕНЕРГОНЕЗАЛЕЖНОГО НАПІВПРОВІДНИКОВОГО ЗАПАМ'ЯТОВУЮЧОГО ПРИСТРОЮ

(21) 99126788

(22) 08.06.1998

(24) 15.11.2001

(31) 19725181.1

(32) 13.06.1997

(33) DE

(86) PCT/DE98/01560, 08.06.1998

(46) 15.11.2001, Бюл. № 10, 2001 р.

(72) Цеттлер Томас, DE

(73) ІНФІНЕОН ТЕХНОЛОДЖІС АГ, DE

(56) 1. EP 0154379 A від 11.09.1985.

2. US-A-5,293,561.

3. MASAKI MOMODOMI ET AL: "AN EXPERIMENTAL 4-MBIT CMOS EEPROM WITH A NAND-STRUCTURED CELL" IEEE JOURNAL OF SOLID-STATE CIRCUITS. Bd. 24. Nr. 5, 01.10.1989, Seiten 1238-1243

(57) 1. Схема управління для енергонеалежного напівпровідникового запам'ятовуючого пристрою (ЗП), яка містить схему (10) перетворення рівнів, що подає вихідне значення (В) і комплементарне

до нього вихідне значення (ВН) на розрядну шину та/або шину слів напівпровідникового ЗП, причому між схемою (12) введення даних і схемою (10) перетворення рівнів вона містить схему-защипку (11) для проміжного запам'ятовування даних, що підлягають запису у напівпровідниковий ЗП, яка **відрізняється** тим, що схема (12) введення даних складається із першого nМОН-транзистора, ввімкненого своїм каналом витік-стік між входом даних (ДАНІ) і першим виходом даних, і ввімкнених між масою і другим виходом даних, послідовно з'єднаних між собою другого і третього nМОН-транзисторів (nT2, nT3), причому затвор другого nМОН-транзистора (nT2) з'єднаний із затвором першого nМОН-транзистора (nT1), а затвор третього nМОН-транзистора (nT3) з'єднаний з витоком (стоком) першого nМОН-транзистора (nT1).

2. Схема управління за п. 1, яка **відрізняється** тим, що схема-защипка (11) складається із двох ввімкнених зустрічно-паралельно інверторів (I1, I2).

Винахід стосується схеми керування для енергонеалежного напівпровідникового запам'ятовуючого пристрою (ЗП), яка містить схему перетворення рівнів, що подає вихідне значення і комплементарне до нього вихідне значення на розрядну шину та/або шину слів напівпровідникового ЗП, і розміщену між схемою введення даних і схемою перетворення рівнів схему-защипку (Latch) для проміжного запам'ятовування даних, що підлягають запису у напівпровідниковий ЗП.

Така схема керування відома із європейського патенту EP 0154379 A2.

Енергонеалежні напівпровідникові ЗП, такі як швидкодіючі ЗП і програмовані постійні ЗП з електричним стиранням (ЕСПЗПЗП = EEPROM), для внесення або видалення зарядів і, тим самим, даних із окремих комірок потребують застосування напруг, типового значення яких становить 15 В. Ці напруги, що значно перевищують нормальну напругу живлення, яка становить 5 В, надалі називаються "високими напругами". В залежності від режиму роботи, ці напруги прикладаються до шин слів або розрядних шин, або ж до шин слів і розрядних шин напівпровідникового ЗП.

На фіг. 3 схематично зображено структуру так званої комірки пам'яті з багаторівневим затвором. Ця комірка містить зону 1 витоку і зону 2 стоку у напівпровідниковій підкладці 3. Зона 1 витоку і зона 2 стоку леговані домішками  $n^+$ , а підкладка 3 має р-легування. Зона 1 витоку і зона 2 стоку, а також зона каналу підкладки 3 між зоною 1 витоку і зоною 2 стоку покриті тунельним оксидним шаром 4, виконаним, наприклад, із діоксиду кремнію. На тунельному оксидному шарі 4 між зоною 1 витоку і зоною 2 стоку розміщено плаваючий затвор 5, виконаний, наприклад, із полікристалічного кремнію. На ньому розміщено ще один проміжний шар 6 полідіелектрика і керуючий затвор 7.

Для стирання і програмування даних у такій комірці пам'яті з багаторівневим затвором використовують так званий "тунельний ефект Фоулера-Нордхайма" (Fowler-Nordheim). Під час процесу стирання до зони 2 стоку прикладають напругу 0 В, а до керуючого затвору 7 напругу +15 В. Електрони здійснюють тунельний перехід із зони каналу крізь оксидний шар 4 тунельного переходу у плаваючий затвор 5. При програмуванні до керуючого затвору 7 прикладають напругу 0 В, а до зо-

ни 2 колектора напругу +15 В, що дає змогу електронам здійснювати тунельний перехід із плаваючого затвора 5 крізь тунельний оксидний шар 4 у зону 2 стоку. Але можна також для програмування до керуючого затвору 7 прикласти напругу -11 В, а до зони 2 стоку напругу +4 В. І в цьому випадку електрони будуть стимулюватися до здійснення тунельного переходу із плаваючого затвору 5 у зону 2 стоку.

При програмуванні з використанням гарячих електронів до керуючого затвору 7 прикладають напругу +15 В, до зони 2 стоку напругу +5 В, а до зони 1 витоку напругу 10 В. Внаслідок цього електрони переміщуються із зони 2 стоку до зони 1 витоку і одночасно здійснюють тунельний перехід крізь тунельний оксидний шар 4 у плаваючий затвор 5.

Як відомо, програмування і стирання даних у ЕСППЗП здійснюють байтами, тоді як швидкодіяні ЗП програмують з використанням гарячих електронів чи тунельного ефекту Фоулера-Нордхайма байтами, а стирають з використанням тунельного ефекту Фоулера-Нордхайма блоками.

На фіг. 4 зображено інший тип комірок пам'яті - так звану комірку із розщепленим затвором, у якій на напівпровідниковій підкладці 3 виконано  $n^+$ -леговану зону 1 витоку,  $n^+$ -леговану зону 2 стоку, тунельний оксидний шар 4, плаваючий затвор 5, проміжний шар 6 полідіелектрика і керуючий затвор 7. "Знижену" частину управляючого затвору 7 називають також послідовним затвором 8, оскільки розміщений вище керуючий затвор 7 і послідовний затвор 8 можуть розглядатися як з'єднані між собою затвори двох з'єднаних послідовно транзисторів структури  $n(\text{Метал-Оксид-Напівпровідник})$  ( $n\text{МОН} = n\text{MOS}$ ).

Зображена на фіг. 3 комірка з багаторівневим затвором схематично відтворена наведеним у правій частині фігури символом, причому, літери мають такі значення: "З" = "керуючий затвор 7", "С" = вивід зони 2 стоку, "В" = вивід зони 1 витоку.

Комірки пам'яті зображеного на фіг. 3 типу можуть бути використані для створення напівпровідникового ЗП з розрядними шинами РШ0, РШ1, РШ2, РШ3 і шинами слів ШС0, ШС1, ШС2 і ШС3, як схематично зображено на фіг. 5.

У напівпровідниковому ЗП для стирання чи запису даних у окремі комірки пам'яті високі напруги мають бути селективно подані на вибрані шини слів чи розрядні шини. Поряд із напівпровідниковими ЗП високими напругами, наприклад, 15 В мають включатися також схеми формування спеціальних регульованих напруг, що мають стабільність, вищу, ніж напруга живлення.

Важливим прикладом застосування є, наприклад, керування розрядними шинами швидкодіяних ЗП з негативною напругою програмування (див. статтю R. Heinrich, W. Heinrigs, G. Tempel, J. Winnerl, T. Zettler, у журналі "Proc. Of the International Electron Device Meeting (IEDM)", 1993, с. 445-448). Для досягнення стабільних умов програмування напругу розрядних шин встановлюють на рівні 5 В, а на шини слів подають напругу -12 В. Надалі під терміном "висока напруга" розуміються також і такі регульовані напруги, наприклад, 5 В, нижчі від напруги живлення 5,5 В.

Для формування таких керуючих напруг необхідна спеціальна схема, яка має забезпечувати високу стабільність напруг і займати малу площу.

Зокрема, у патенті США US-A-5,293,561 описана схема керування з розподільником напруг для роздільного живлення високими напругами поля пам'яті і ЗП для надлишкових установок. Ця відома схема керування містить, зокрема, перетворювач рівнів, який робить можливою подачу на напівпровідниковий ЗП вихідної напруги і комплементарної до неї вихідної напруги.

Однак, виявилось, що відома схема керування згідно з US-A-5,293,561 мало придатна для керуванням розрядними шинами, оскільки вона не дозволяє здійснювати проміжне запам'ятовування даних. Крім того, відома схема керування містить  $n\text{МОН}$ -транзистори збіденого типу, які вимагають значних технологічних витрат у вигляді додаткових конструктивних елементів.

Схема керування згідно з європейським патентом EP 0154379 A2 містить велику кількість  $p\text{МОН}$ -транзисторів, які займають порівняно велику площу і мають меншу струмову навантажувальну здатність.

Тому задача даного винаходу полягає у розробленні схеми керування для енергонезалежного напівпровідникового запам'ятовуючого пристрою, яка забезпечує формування високих керуючих напруг з високою стабільністю і може бути реалізована з використанням якомога меншої кількості елементів на малій площі, завдяки чому вона може бути розміщена у растрі матриці напівпровідникового ЗП.

Для вирішення цієї задачі схема керування вказаного вище виду виконана з використанням відмітних ознак п. 1 формули винаходу.

Схема введення даних може складатися із ввімкненого своїм каналом витік-стік між входом даних і першим виходом даних першого  $p\text{МОН}$ -транзистора і ввімкнених між масою і другим виходом даних послідовно з'єднаних між собою другого і третього  $p\text{МОН}$ -транзисторів, причому, затвор другого  $p\text{МОН}$ -транзистора з'єднаний із затвором першого  $p\text{МОН}$ -транзистора, а затвор третього  $p\text{МОН}$ -транзистора з'єднаний з витоком або стоком першого  $p\text{МОН}$ -транзистора. Слід чітко вказати на те, що така схема введення даних може використовуватися також окремо від схеми керування, коли необхідно простими засобами сформувавши сигнал і інвертований відносно нього сигнал.

Винайдену схему керування можна реалізувати з використанням невеликої кількості елементів на малій площі, завдяки чому вона може бути розміщена у растрі матриці напівпровідникового ЗП. Схема введення даних складається лише із трьох  $p\text{МОН}$ -транзисторів, завдяки чому вона може бути реалізована просто і на малій площі, що вкрай важливо для напівпровідникових ЗП або їх растрів. Оскільки тут не використовуються  $p\text{МОН}$ -транзистори, вся схема введення даних може бути розміщена у одній кишени для функціональних елементів, що дає додатковий виграш у площі. До того ж, завдяки вищій струмовій навантажувальній здатності  $p\text{МОН}$ -транзисторів порівняно з  $p\text{МОН}$ -транзисторами, вся схема може бути виконана особливо мініатюрною.

Ця схема-защипка у вигідному варіанті здійснення винаходу може складатися із двох інверторів, ввімкнених зустрічно-паралельно.

Нижче винахід детальніше пояснюється з використанням ілюстрацій. На них зображено:

фіг. 1 - принципова схема винайденої схеми керування;

фіг. 2 - логічний елемент передачі;

фіг. 3 - поперечний переріз комірки пам'яті з багаторівневим затвором;

фіг. 4 - поперечний переріз комірки пам'яті з розщепленим затвором;

фіг. 5 - матриця комірок запам'ятовуючого пристрою з шинами слів розрядними шинами.

На фіг. 1 зображена принципова схема винайденої схеми керування. Ця схема керування складається із схеми 10 перетворення рівнів, схеми-защипки (Latch) 11 і схеми 12 введення даних. Схема 10 перетворення рівнів складається із рМОН-транзисторів  $pT1$ ,  $pT2$  і нМОН-транзисторів  $nT4$ ,  $nT5$  і має вихідні виводи В і ВН, з'єднані відповідно з розрядними шинами і шинами слів напівпровідникового ЗП. В залежності від значення напруги на вході даних ДАНІ (логічна "1" чи логічний "0") виходи В і ВН формують напругу програмування  $V_{prog}$  або 0 В. При цьому напруга на виході ВН комплементарна.

До стоку чи витоку рМОН-транзисторів відповідно  $pT1$  і  $pT2$  прикладено зовнішню напругу  $V_{prog}$ , наприклад, 15 В. За допомогою транзисторів  $nT4$ ,  $nT5$ ,  $pT1$  і  $pT2$  здійснюється керування подачею цієї напруги  $V_{prog}$  на виходи В і ВН, причому, як було сказано вище, вихід ВН комплементарний виходу В.

Схема перетворення рівнів, аналогічна використуваній схемі 10 перетворення рівнів, відома із уже згаданого патенту США US-A-5,293,561.

Перед схемою 10 перетворення рівнів ввімкнено схему-защипку 11, яка складається із двох ввімкнених зустрічно-паралельно інверторів  $I1$  і  $I2$ . Перед цією схемою-защипкою 11 розміщено схему 12 введення даних, яка складається із трьох нМОН-транзисторів  $nT1$ - $nT3$ . Дані, що підлягають запису у запам'ятовуючий пристрій, наприклад, напруга 5 В, що відповідає логічній "1", подаються через вхід для даних ДАНІ. При цьому витік чи стік транзистора  $nT1$  і затвор транзистора  $nT3$  з'єднані зі входом ДАНІ, а транзистори  $nT2$  і  $nT3$  з'єднані послідовно. Затвори транзисторів  $nT1$  і  $nT2$  з'єднані між собою із виводом управління записом

ЗАПИС. Якщо, наприклад, на вивід ЗАПИС подано напругу 5 В, то транзистори  $nT1$  і  $nT2$  відкриті, внаслідок чого на лівому на фіг. 1 вході схеми-защипки 11 присутня напруга 0 В, а на правий вхід схеми-защипки 11 через транзистор  $nT1$  передається вхідний сигнал логічної "1" (5 В за винятком напруги відсічки транзистора  $nT1$ ).

Винайдена схема керування особливо придатна для даних, що мають бути записані у енергонезалежні напівпровідникові ЗП. В цій схемі керування здійснюється проміжне запам'ятовування вхідних даних у схемі-защипці 11 і на кожному розрядну шину подається регульована напруга програмування  $V_{prog}$ . В такому застосуванні схема керування може бути передбачена окремо для кожної шини слів чи розрядної шини. Дані, що мають бути записані при програмуванні, подаються на вхід ДАНІ. Потім імпульсом позитивної полярності, поданим на вивід ЗАПИС, вони передаються у схему-защипку 11. Потім, в залежності від значення даних на вході ДАНІ ("1" чи "0"), схема 10 перетворення рівнів формує на виходах В і ВН напруги  $V_{prog}$  чи 0 В відповідно. При цьому сигнал на виході ВН комплементарний до сигналу на виході В і становить 0 В чи  $V_{prog}$ , коли на виході В сигнал становить  $V_{prog}$  чи 0 В відповідно.

Само зрозуміло, винайдена схема керування може бути використана для керування розрядною шиною та/або шиною слів для загального розподілу високих напруг.

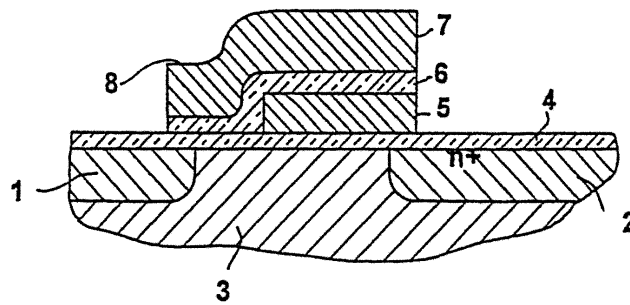
Схема 12 введення даних складається лише із трьох нМОН-транзисторів  $nT1$ ,  $nT2$  і  $nT3$ . Таким чином, вона може бути реалізована просто і компактно, що має велике значення для растрових ЗП. Оскільки для її реалізації не використовуються рМОН-транзистори, ця частина схеми може бути виготовлена у спільній кишені, що означає суттєвий вигравш у площі. При подачі на вхід ДАНІ логічного "0" схема керування передає напругу 0 В на правий на фіг. 1 вузол схеми-защипки 11 через транзистор  $nT1$ , а на лівий вузол через транзистори  $nT2$  і  $nT3$ .

Схема керування згідно з винаходом не потребує додаткових інверторів для керування транзисторами  $nT4$  і  $nT5$ ; цю функцію виконують інвертори  $I1$  і  $I2$  схеми-защипки. Таким чином, вигідна комбінація схеми-защипки 11 зі схемою 10 перетворення рівнів економить функціональні елементи і тому особливо придатна для застосування у критичних до площі матричних ЗП.

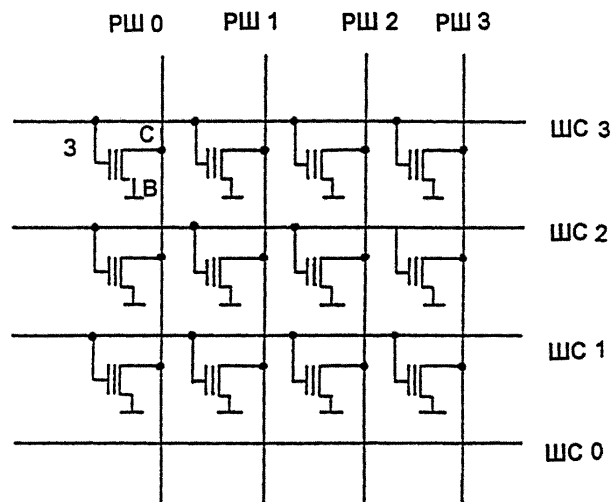
ПМ-3962

Позиційні позначення		Назва
Нові	Старі	
1.	1	зона витоку
2.	2	зона стоку
3.	3	напівпровідникова підкладка
4.	4	тунельний оксидний шар
5.	5	плаваючий затвор
6.	6	проміжний шар 6 полідіелектрика
7.	7	керуючий затвор
8.	8	послідовний затвор
9.	CG	УЗ затвор
10.	D	C стік
11.	S	B витік
12.	BL0	РШ0 розрядна шина
13.	WL0	ШС0 шина слів
14.	10	схема перетворення рівнів
15.	11	схема-защівка (Latch)
16.	12	схема введення даних
17.	pT1	pМОН-транзистор
18.	pT2	pМОН-транзистор
19.	nT4	nМОН-транзистор
20.	nT5	nМОН-транзистор
21.	D	B(ихід)
22.	DN	B(ихід) N(егативний)
23.	ДАНІ	вхід даних
24.	Vпрог	напруга програмування
25.	I1	інвертор
26.	I2	інвертор
27.	nT1	nМОН-транзистор
28.	nT2	nМОН-транзистор
29.	NT3	nМОН-транзистор
30.	ЗАПИС	керування записом





Фіг. 4



Фіг. 5

ДП "Український інститут промислової власності" (Укрпатент)  
Україна, 01133, Київ-133, бульв. Лесі Українки, 26  
(044) 295-81-42, 295-61-97

Підписано до друку \_\_\_\_\_ 2002 р. Формат 60x84 1/8.  
Обсяг \_\_\_\_\_ обл.-вид. арк. Тираж 50 прим. Зам. \_\_\_\_\_

УкрІНТЕІ, 03680, Київ-39 МСП, вул. Горького, 180.  
(044) 268-25-22