



УКРАЇНА

(19) UA (11) 36644 (13) A

(51) 6 G06F17/15

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ НА ВИНАХІД

видається під
відповідальність
власника
патенту

(54) КОРЕЛЯТОР

(21) 2000010313

(22) 19.01.2000

(24) 16.04.2001

(33) UA

(46) 16.04.2001, Бюл. № 3, 2001 р.

(72) Войтович Анатолій Михайлович, Гудима Олег Ярославович, Дурняк Богдан Васильович, Никифорок Богдан Васильович, Тимченко Олександр Володимирович

(73) УКРАЇНСЬКИЙ НАУКОВО-ДОСЛІДНИЙ ІНСТИТУТ СПЕЦІАЛЬНИХ ВИДІВ ДРУКУ

(57) 1. Корелятор, який містить М-каскадний регістр зсуву, де М - довжина кореляційної функції, вхід якого є входом пристрою, М обчислювальних блоків $(i, 0)$, $i = \overline{0, M-1}$, перший інформаційний вхід $(i, 0)$ -го обчислювального блока підключений до $(M-1-i)$ -го виходу регістра зсуву, вихід $(i, 0)$ -го обчислювального блока є відповідним виходом корелятора, блок синхронізації, вихід скидання, перший та другий тактові виходи якого об'єднані відповідно з входом скидання та тактовим входом регістра зсуву та з однойменними входами обчислювальних блоків, кожний з яких містить перемножувач, суматор, перший та другий буферні регістри, вихід останнього є виходом обчислювального блока, першим та другим інформаційними входами якого є перші та другі входи перемножувача, вихід якого з'єднаний з інформаційними входами другого та першого буферних регістрів, тактовий вхід останнього є першим тактовим входом обчислювального блока, другим тактовим входом якого є тактовий вхід другого буферного регістра, об'єднаний з першим входом скидання першого буферного регістра, другий вхід скидання якого об'єднаний зі входом скидання другого буферного регістра і є входом скидання обчислювального

блока, який відрізняється тим, що додатково

введені М перемножувачів та $\frac{M(M-1)}{2}$ -ий об-

числювальний блок (k, j) , $k = \overline{1, M-1}$,

$0 < j \leq k$, перші входи перемножувачів об'єднані та підключені до $(M-1)$ -го виходу регістра зсуву, другий вхід i -го перемножувача об'єднаний з першими інформаційними входами всіх (i, j) -их обчислювальних блоків, $j \leq i$, $i = \overline{0, M-1}$, другі інформаційні входи (i, j) -их, $j = \overline{i, M-1}$ обчислювальних блоків об'єднані та підключені до виходу i -го перемножувача, виходи (k, j) , $j \leq k$, обчислювальних блоків є відповідними виходами корелятора.

2. Корелятор за п. 1, який відрізняється тим, що блок синхронізації містить формувач встановлення в початковий стан пристрою при вмиканні напруги живлення, генератор тактових імпульсів, лічильник-подільник частоти, тригер з лічильним входом, елемент І, елемент затримки, вихід якого з'єднаний з лічильним входом тригера, прямий вихід якого і вихід генератора тактових імпульсів з'єднані з входами елемента І, вихід якого з'єднаний з лічильним входом лічильника-подільника, вхід встановлення в нульовий стан якого об'єднаний з однойменним входом тригера, входом елемента затримки та підключений до виходу формувача встановлення в початковий стан, інверсний вихід тригера є виходом скидання блока синхронізації, першим та другим тактовими виходами якого є вихід елемента І та вихід лічильника-подільника.

Винахід відноситься до автоматики та обчислювальної техніки і призначений для апаратного визначення в режимі реального часу кореляційної функції випадкового вхідного сигналу.

Відомий пристрій для обчислення кореляційної функції, який містить оперативну пам'ять першого та другого вхідних сигналів, блоки перемножувачів, суматори, пам'ять кореляційної функції і буферну пам'ять [1].

У відомому пристрої оперативна пам'ять виконує функцію оперативної затримки, а суматори разом із пам'яттю кореляційної функції виконують функцію суматорів-накопичувачів. В цьому пристрої обчислюється взаємно-кореляційна функція вхідних сигналів, тобто значення кумулянтів другого порядку.

Але при ідентифікації складних систем необхідно використання значення вхідних та вихідних

UA (11) 36644 (13) A

сигналів системи, що досліджується, у зв'язку з цим відомий пристрій вирішує вузький клас задач.

Найближчим по технічній суті до рішення, що заявляється, є корелятор паралельної дії, що містить М-каскадний регістр, де М - число ординат кореляційної функції (довжина кореляційної функції), першу групу з М арифметичних блоків, кожний з яких складається з перемножувача і накопичувача, блок синхронізації [2].

Відомий пристрій містить М-каскадний регістр зсуву, де М - довжина кореляційної функції, вхід якого є входом пристрою, М обчислювальних блоків $(i, 0)$, $i = \overline{0, M-1}$, перший інформаційний вхід $(i, 0)$ -го обчислювального блока підключений до $(M-1-i)$ -го виходу регістра зсуву, вихід $(i, 0)$ -го обчислювального блока є відповідним виходом корелятора, блок синхронізації, вихід скидання, перший та другий тактові виходи якого об'єднані відповідно з входом скидання та тактовим входом регістра зсуву та з однойменними входами обчислювальних блоків, кожний з яких містить перемножувач, суматор, перший та другий буферні регістри, вихід останнього є виходом обчислювального блока, першим та другим інформаційними входами якого являються перші та другі входи перемножувача, вихід якого з'єднаний з інформаційними входами другого та першого буферних регістрів, тактовий вхід останнього є першим тактовим входом обчислювального блока, другим тактовим входом якого є тактовий вхід другого буферного регістра, об'єднаний з першим входом скидання першого буферного регістра, другий вхід скидання якого об'єднаний зі входом скидання другого буферного регістра і є входом скидання обчислювального блока.

Пристрій-прототип, як і аналогічні, здійснює обчислення кореляційної функції вхідних сигналів, тобто кумулянтів другого порядку. Однак, розширити клас задач, що вирішуються, шляхом обчислення кумулянтів третього порядку в відомому пристрої неможливо.

В основу винаходу поставлено завдання удосконалення корелятора шляхом конструктивного забезпечення обчислення кумулянтів третього порядку в режимі реального часу, що дозволяє підвищити інформативність, завдяки розширенню класів задач, які вирішуються.

Поставлене завдання вирішується тим, що у відомий пристрій, який містить М-каскадний регістр зсуву, вхід якого є входом корелятора, першу групу арифметичних блоків, перші інформаційні входи яких підключені відповідно до виходів однойменних розрядів регістра зсуву, а виходи є відповідними виходами ординат кореляційної функції корелятора, введені група з М блоків перемноження, $(M-1)$ -а група арифметичних блоків по і блоків в кожному, де $i = \overline{1, M-1}$, та блок синхронізації, виходи якого з'єднані з синхровходами арифметичних блоків, і-й розрядний вихід регістра зсуву з'єднаний з першими виходами і-их арифметичних блоків $(M-1)$ -их груп, вихід М-го розряду регістра зсуву підключений до перших входів блоків перемножувача групи, другі входи яких з'єднані з виходами однойменних розрядів регістра, зсуву, вихід М-го блока, перемноження групи підключений до других входів з першого по М-й арифметичні блоки першої групи, вихід і-го блока перемноження групи

підключений до других входів з першого по і-й арифметичних блоків і-ї групи, виходи арифметичних блоків $(M-1)$ -их груп є відповідними виходами ординат кореляційної функції корелятора.

Існує тісний причинно-наслідковий зв'язок між усією сукупністю суттєвих ознак та очікуваним технічним результатом. Так, за рахунок включення у відомий пристрій групи з М блоків перемноження та $(M-1)$ -ої групи арифметичних блоків по і блоків в

кожній, де $i = \overline{1, M-1}$ з відповідними зв'язками в заявленому пристрої реалізується обчислення послідовності значень кумулянтів третього порядку в реальному масштабі часу: в такті надходження вхідних відліків без накопичування затримки.

Це здійснюється шляхом додаткової обробки вхідних відліків і накопичення результатів цієї обробки у відповідних обчислювальних блоках. Тому включення в схему відомого пристрою зазначених блоків дозволяє досягнути заявлюваного технічного результату, тобто розширити клас задач, які вирішуються, за рахунок обчислення значень кумулянтів третього порядку, що дозволяє, наприклад, проводити ідентифікацію немінімально-фазових систем лише за наявності вихідного сигналу системи, оскільки кумулянти третього порядку на відміну від кумулянтів другого порядку є статистиками, чутливими до фази вихідного сигналу. Причому, за допомогою кумулянтів третього порядку можна визначити модуль і фазу передавальної функції системи, виключивши неоднозначність масштабу і часової затримки.

Введені до складу корелятора блоки відомі і широко застосовуються. Однак, лише їхнє введення з відповідними зв'язками дозволяє виявити в ньому нові властивості і сприяє отриманню передбаченого технічного результату.

Суть винаходу полягає в тому, що корелятор містить М-каскадний регістр зсуву, де М - довжина кореляційної функції, вхід якого є входом пристрою, М обчислювальних блоків $(i, 0)$,

$i = \overline{0, M-1}$, перший інформаційний вхід $(i, 0)$ -го обчислювального блока підключений до $(M-1-i)$ -го виходу регістра зсуву, вихід $(i, 0)$ -го обчислювального блока є відповідним виходом корелятора, блок синхронізації, вихід скидання, перший та другий тактові виходи якого об'єднані відповідно з входом скидання та тактовим входом регістра зсуву та з однойменними входами обчислювальних блоків, кожний з яких містить перемножувач, суматор, перший та другий буферні регістри, вихід останнього є виходом обчислювального блока, першим та другим інформаційними входами якого являються перші та другі входи перемножувача, вихід якого з'єднаний з інформаційними входами другого та першого буферних регістрів, тактовий вхід останнього є першим тактовим входом обчислювального блока, другим тактовим входом якого є тактовий вхід другого буферного регістра, об'єднаний з першим входом скидання першого буферного регістра, другий вхід скидання якого об'єднаний зі входом скидання другого буферного регістра і є входом скидання обчислювального блоку, а також, згідно винаходу М перемножувачів та

$\frac{M(M-1)}{2}$ -ий обчислювальний блок (k, j) ,

$k = \overline{1, M-1}$, $0 < j \leq k$, перші входи перемножувачів об'єднані та підключені до (M-1)-го виходу регістра зсуву, другий вхід i-го перемножувача об'єднаний з першими інформаційними входами всіх (i, j)-их обчислювальних блоків, $j \leq i$, $j = \overline{0, M-1}$, другі інформаційні входи (i, j)-их, $j = \overline{i, M-1}$ обчислювальних блоків об'єднані та підключені до виходу i-го перемножувача, виходи (k, j), $j \leq k$, обчислювальних блоків являються відповідними виходами корелятора.

Блок синхронізації містить формувач встановлення в початковий стан пристрою при вмиканні напруги живлення, генератор тактових імпульсів, лічильник-подільник частоти, тригер з лічильним входом, елемент І, елемент затримки, вихід якого з'єднаний з лічильним входом тригера, прямий вихід якого і вихід генератора тактових імпульсів з'єднані з входами елемента І, вихід якого з'єднаний з лічильним входом лічильника-подільника, вхід встановлення в нульовий стан якого об'єднаний з одноіменним входом тригера, входом елемента затримки та підключений до виходу формувача встановлення в початковий стан, інверсний вихід тригера є виходом скидання блока синхронізації, першим та другим тактовими виходами якого є вихід елемента І та вихід лічильника-подільника.

На фіг. 1 наведена структурна схема корелятора; на фіг. 2 - структурна схема арифметичного блока, на фіг. 3 - структурна схема блока синхронізації. На фіг. 4 представлені часові діаграми роботи пристрою.

Корелятор містить вхід 1, М-каскадний регістр 2 зсуву, де М - довжина кореляційної функції, групу 3 із М блоків перемноження 3.1... 3. М, першу групу 4 із М арифметичних блоків 4.1...4. М, (M-1)-у групу i-их арифметичних блоків 5, 6, 7 (на фіг.1 М=4) по і блоків 5.i, 6.i, 7.i в кожній, де $i = \overline{1, M-1}$, виходи 8 арифметичних блоків 4.1, 5.i, 6.i, 7.i, блок 9 синхронізації.

Кожний обчислювальний блок 4-i (5.i, 6.i, 7.i), містить перший 10 і другий 11 інформаційні входи, входи 12 скидання, перший і другий тактові входи 13 і 14, перемножувач 15, суматор 16 і перший буферний регістр 17, що утворюють накопичувач, другий буферний регістр 18 (що є пам'яттю кореляційної функції) і вихід 19 арифметичного блока.

Блок 9 синхронізації містить формувач 20 початкового встановлення пристрою при включенні напруги живлення, генератор 21 тактових імпульсів, лічильник-подільник 22 частоти, тригер 23 з лічильним входом, елемент 24 І, елемент 25 затримки, вихід 26 скидання, перший 27 і другий 28 тактові входи блока 9 синхронізації.

На фіг. 4 показані наступні сигнали: а - імпульс на виході формувача 20 початкового встановлення пристрою; б - імпульс на виході тригера 23; в - імпульси тактового генератора 21; г - імпульси на виході елемента 24 І; д - імпульс на виході лічильника-подільника 22.

Інформаційний вхід М-каскадний регістра 2 зсуву є входом 1 корелятора, перші інформаційні входи арифметичних блоків 4.к, к=1, М першої групи 4 об'єднані з відповідними входами групи 3 пе-

ремножувачів і підключені до одноіменних розрядів регістра 2 зсуву. Другі входи перемножувачів

3.к, $k = \overline{1, M}$ групи 3 об'єднані і підключені до виходу М-го розряду регістра, 2 зсуву, i-й розрядний вихід якого, $i = \overline{1, M}$ з'єднаний з першими входами i-их арифметичних блоків 5.i, 6.i, 7.i, і т.д.(M-1)-их груп 5, 6, 7 і т.д., вихід блока 3.М перемноження групи 3 підключений до других входів арифметичних блоків 4.1...4.М групи 4, вихід блока

перемноження 3.i, $i = \overline{1, M-1}$ групи 3 підключений до других входів з першого по i-й арифметичних блоків (M-1)-их груп 5, 6, 7 і т.д. відповідно. Виходи блока 9 синхронізації з'єднані з синхровходами арифметичних блоків груп 4, 5, 6, 7, виходи яких є виходами 8 корелятора.

В кожному арифметичному блоці 4.i (5.i, 6.i, 7.i) першими і другими інформаційними входами 10 і 11 є перші і другі входи перемножувача 15, вихід якого з'єднаний з першим входом суматора 16, вихід якого з'єднаний з інформаційним входом першого 17 і другого 18 буферних регістрів, вихід останнього є виходом 19 арифметичного блока. Перший вхід скидання першого 17 і вхід скидання другого 18 буферних регістрів об'єднані і є входом 12 скидання блока., першим тактовим входом 13 блока є тактовий вхід першого буферного регістра 17, вихід якого з'єднаний з другим входом суматора 16, другий вхід скидання першого буферного регістра 17 об'єднаний з тактовим входом другого буферного регістра 18 і є другим тактовим входом 14 арифметичного блока.

В блоці 9 синхронізації вихід формувача 20 початкового встановлення з'єднаний з входом елемента 24 затримки і входами встановлення в нульовий стан тригера 23 і лічильника-подільника 22, лічильний вхід якого підключений до виходу елемента 24 І, перший вхід якого підключений до виходу генератора 21 тактових імпульсів, другий вхід елемента 24 І підключений до прямого виходу тригера 28, інверсний вихід якого є виходом 26 скидання блока 9, вихід елемента 25 затримки з'єднаний з тактовим входом тригера 23, вихід елемента 24 І і вихід лічильника-подільника 22 є першим 27 і другим 28 тактовими виходами блока 9 синхронізації.

Корелятор працює наступним чином.

Після підключення напруги живлення в блоці 9 синхронізації формувач 20 генерує імпульс (фіг. 4а), тривалість t_1 , якого більша або рівна тривалості перехідних процесів в пристрої. Цей імпульс встановлює тригер 23 і лічильник-подільник 22 в нульовий стан. Імпульс (фіг. 4б) з виходу тригера 23 встановлює всі виходи регістра 2 затримки і всі виходи буферних регістрів 16 і 18 арифметичних блоків 4 в нульовий стан (кола скидання і синхронізації на фіг. 1 не показані).

Після закінчення імпульсу (фіг. 4а) формувача 20 по задньому фронту цього імпульсу тригер 23 через час, що визначається часом затримки t_2 в елементі 25, встановлюється в одиничний стан і сигнал з його прямого виходу дозволяє проходження імпульсів генератора 21 (фіг. 4в) на перший тактовий вихід 27 блока. 9 синхронізації (фіг. 4г).

Частота повторення імпульсів генератора 21 відповідає частоті дискретизації вхідного сигналу T^{-1} , а час $t_3 < T$. Одночасно імпульси з виходу елемента 24 і надходять на лічильний вхід лічильника-подільника 22, обсяг якого N і період дискретизації T визначають інтервал реалізації $\Theta = NT$, за який обчислюється значення кореляційної функції і в кінці якого на виході лічильника 22, другому тактовому виході 28 блока 9 синхронізації, формується імпульс (фіг. 4д), надходить на другі тактові входи арифметичних блоків 4.і (5.і, 6.і, 7.і).

За імпульсами (фіг. 4г) з першого тактового виходу 27 блока 9 синхронізації відліки вхідного сигналу $\{x_n\}$, $n > 0$ записуються і зсуваються в регістрі 2 зсуву, в $(n+M)$ -му інтервалі дискретизації, $n > 0$ на входи i -го перемножувача 3.і, $i = \overline{1, M-1}$ надходять значення сигналів x_n з M -го виходу та x_{n+M-i} , з i -го виходу регістра 2 зсуву відповідно, формуючи на виході перемножувача 3.і послідовність значень $\{x_n x_{n+M-i}\}$, $n > 0$.

На перші інформаційні входи арифметичних блоків 4.і, $i = \overline{1, M-1}$ першої групи, на перші інформаційні входи арифметичних блоків 5.і, 6.і, 7.і та т.д. $(M-1)$ -ої групи арифметичних блоків надходять відліки $\{x_{n+M-i}\}$ вхідного сигналу з i -го виходу регістра 2 зсуву. На другі інформаційні входи арифметичних блоків 4.і надходять значення добутків $\{x_n x_n\}$ з виходу M -го блока перемноження 3.М. Аналогічно, на другі інформаційні входи арифметичних блоків 5.і, 6.і, 7.і і т.д. надходять значення добутків $\{x_n x_{n+M-i}\}$, $\{x_n x_{n+M-2}\}$, $\{x_n x_{n+M-3}\}$ та т.д. відповідно з виходу j -го блока перемноження 3.і групи.

В обчислювальних блоках 4.і (5.і, 6.і, 7.і і т.д.) значення сигналів $\{x_{n+M-i}\}$ та $\{x_n x_{n+M-i}\}$ надходять з інформаційних входів 10 і 11 на входи перемножувача 15, на виході якого формується послідовність добутків $\{x_n x_{n+M-i} x_{n+M-j}\}$, що надходять на перший вхід суматора 16. На другий вхід суматора 16 з виходу першого регістра 17 надходить значення сигналу суматора 16 в попередньому $(n+M-2)$ -му періоді дискретизації вхідного сигналу. З врахуванням нульових початкових значень регістра 2 зсуву та буферного регістра 17 в $(n+M-1)$ -му періоді дискретизації накопичене значення дорівнює:

$$K_{(M-i, M-j)} = \sum_{m=0}^n x_m x_{m+M-i} x_{m+M-j}$$

Це значення за імпульсами (фіг.4г) на першому тактовому вході 13 блоків 4.і (5.і, 6.і, 7.і та т.д.) записується в регістр 17.

В кінці інтервалу реалізації Θ за імпульсом (фіг. 4д) з другого тактового входу 14 значення сигналу з виходу суматора 16 записується в другий буферний регістр 18, а перший буферний регістр 17 скидається в нульовий стан.

Тому на виходах 8(і, j), $i = \overline{0, M-1}$, $j < i$ обчислювальних блоків 4.і (5.і, 6.і, 7.і та т.д.) груп 4, 5, 6, 7 та т.д. формується значення сигналу:

$$K_{(i, j)} = \sum_{m=0}^{N+M-1} x_m x_{m+i} x_{m+j}$$

що з точністю до постійного множника відповідає кумулянту третього порядку. Індекси (i, j) відповідають зсувам кореляційної функції $K(i, j)$ і проілюстровані на фіг.1 для $M=4$. Значення сигналу $K(i, j)$ на виходах 8(і, j) зберігається на протязі наступного інтервалу реалізації Θ_2 (фіг. 2), $\Theta_2 = \Theta_1$, а робота пристрою на цьому та наступних інтервалах реалізації повторюється аналогічно описаному.

Період частоти дискретизації T в даному пристрої обмежений часом виконання операцій множення t_m в групі 3 блоків перемноження 3.і, $i = \overline{0, M-1}$, перемножувача 15 та операції підсумовування t_{sm} , суматором 16. Він може бути визначений з виразу $T > 2t_m + t_{sm}$.

Ця величина може бути зменшена до $T_{\min} = \max(t_m, t_{sm})$ при відповідній буферизації

блоків перемноження 3.к, $k = \overline{1, M}$ та перемножувачів 15 за допомогою буферних регістрів.

Таким чином, в пристрої здійснюється обчислення послідовності кумулянтів третього порядку в режимі реального часу, що дозволило досягнути поставленої мети - розширити клас задач, які вирішуються. Це дозволяє, наприклад, здійснювати ідентифікацію систем тільки по вихідному сигналу системи, оскільки кумулянти є функціями не тільки амплітуди, але і фази сигналу.

Джерела інформації.

1. Jones D. An on-board digital correlation for spacecraft VLF radio wave studies. - IEEE Trans. Geosci. Electron., 1974, V.12, № 1, p.12, fig.3.
2. Грибанов Ю.И. и др. Автоматические цифровые корреляторы. - М. Энергия, 1971. - С. 150, рис. 4. 6.

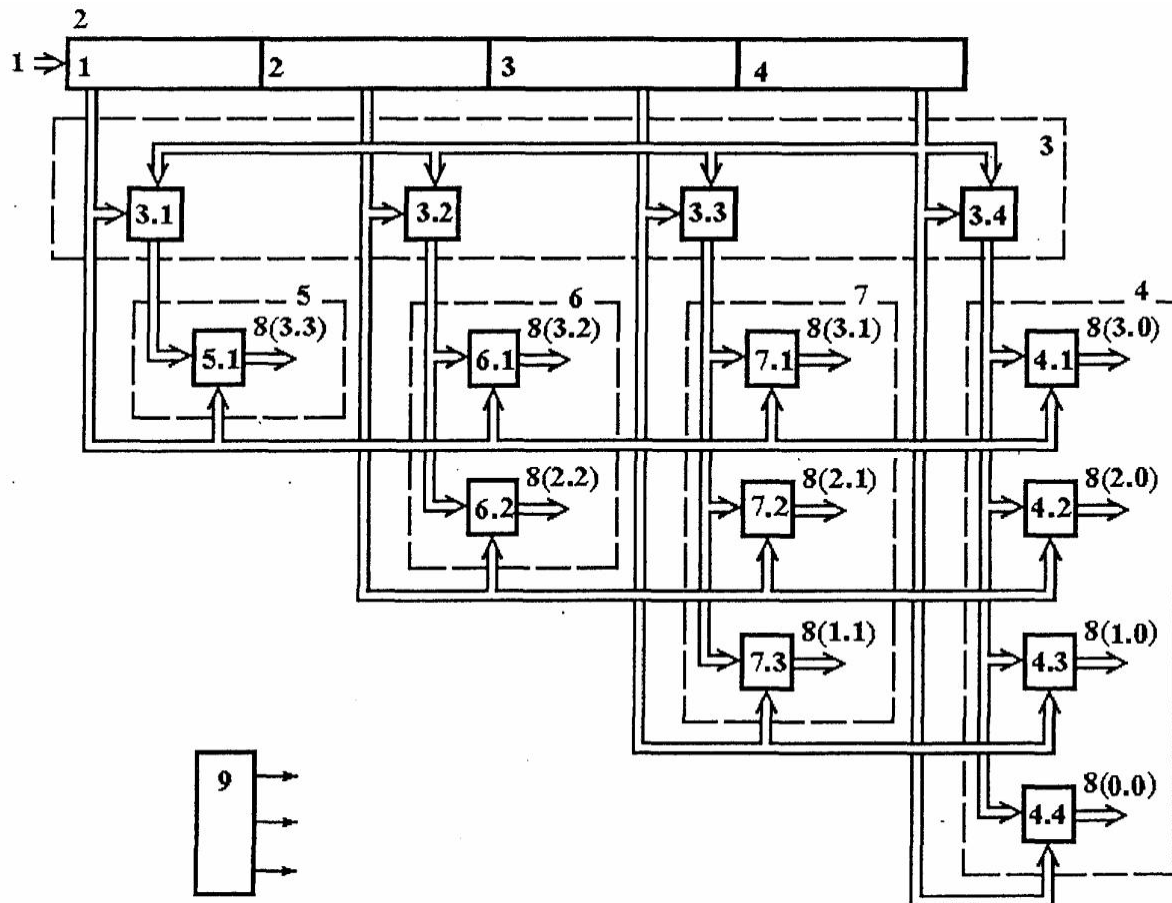


Fig. 1

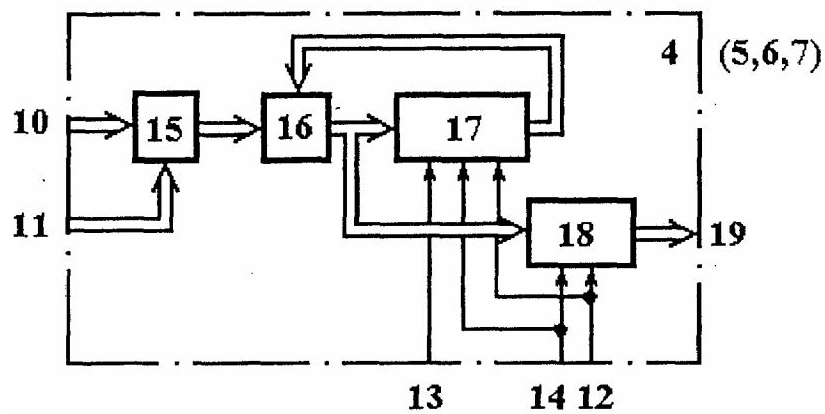


Fig. 2

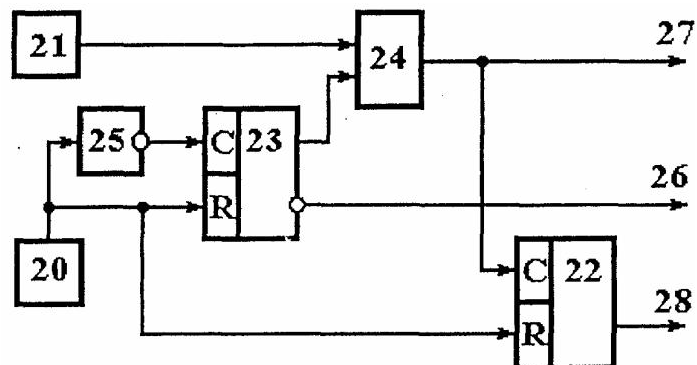
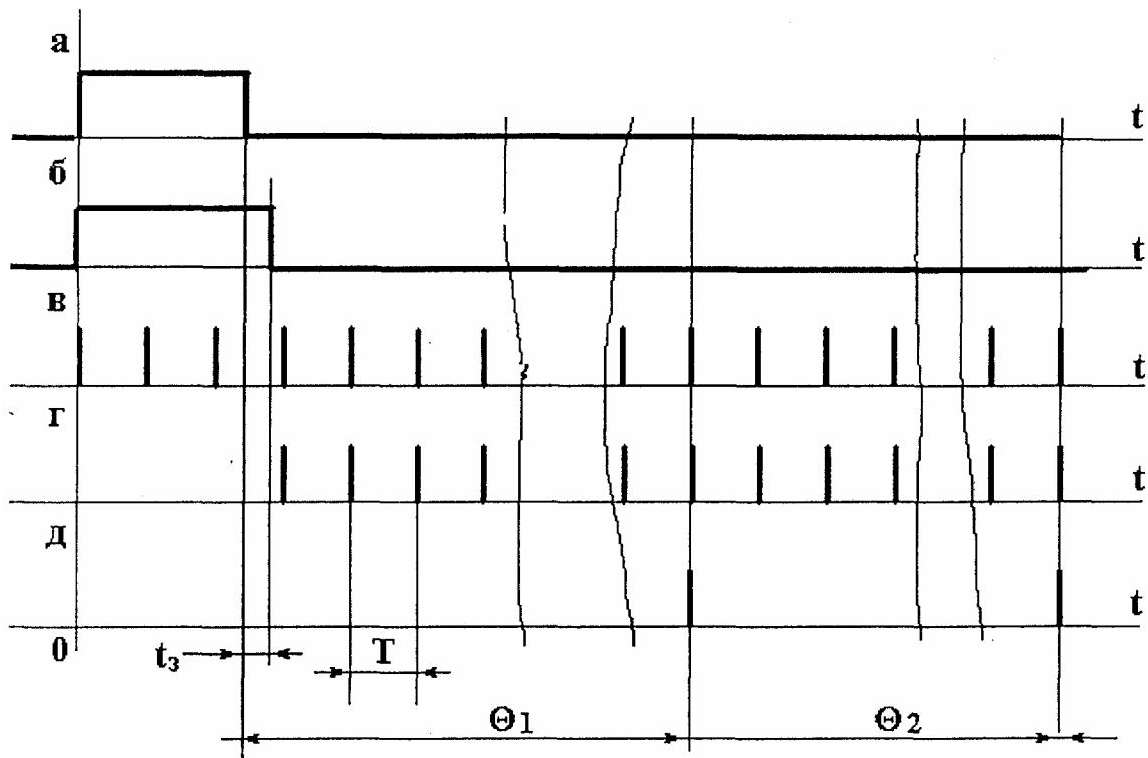


Fig. 3



Фіг. 4

ДП "Український інститут промислової власності" (Укрпатент)
 Україна, 01133, Київ-133, бульв. Лесі Українки, 26
 (044) 295-81-42, 295-61-97

Підписано до друку _____ 2001 р. Формат 60x84 1/8.
 Обсяг _____ обл.-вид. арк. Тираж 50 прим. Зам. _____

УкрІНТЕІ, 03680, Київ-39 МСП, вул. Горького, 180.
 (044) 268-25-22