



ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4333106/24-10

(22) 25.11.87

(46) 15.06.90. Бюл. № 22

(71) Научно-производственное объединение "Ротор"

(72) М.И. Ярославцев

(53) 536.77 (088.8)

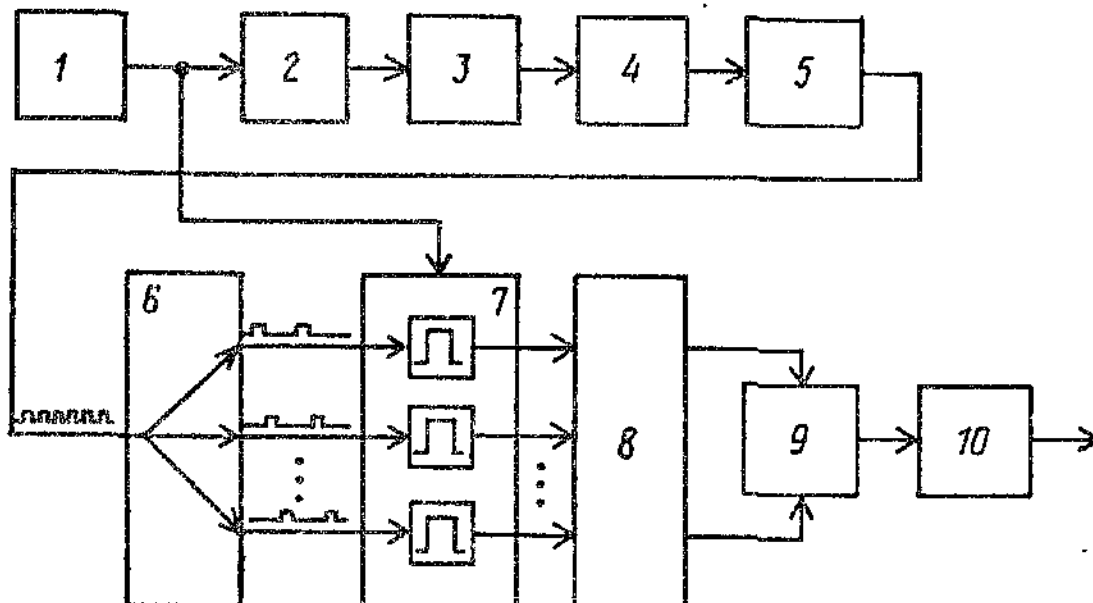
(56) Авторское свидетельство СССР
№ 837197, кл. G 01 P 3/48, 3/489,
1978.

Авторское свидетельство СССР
№ 1173319, кл. G 01 P 3/489, 1984.

(54) УСТРОЙСТВО ДЛЯ ИЗМЕРЕНИЯ СКОРОСТИ
ПЕРЕМЕЩЕНИЯ

(57) Изобретение относится к измери-
тельной технике и может найти при-
менение в качестве датчика обратной
связи по скорости в прецизионных при-
водах. Целью изобретения является
повышение точности. Наличие в схеме

устройства для измерения скорости
перемещения многоканального распре-
делителя импульсов 6, многоканально-
го формирователя 7, многовходовой
логической схемы 8 и формирователя
импульсов стабильной амплитуды 9 по-
зволяет сформировать в каждом перио-
де выходного сигнала фазовращателя
4 импульс с длительностью, пропор-
циональной модулю разности периодов
питающего и выходного напряжений фа-
зовращателя (коэффициент пропорцио-
нальности равен числу каналов), и
полярностью, соответствующей знаку
этой разности. На выходе блока осред-
нения 10 эти импульсы преобразуются
в постоянное напряжение, по величине
которого и судят о скорости и
направлении перемещения подвижной
части фазовращателя. 2 з.п.ф-лы, 4 ил.



Фиг.1

Рис. 1

Изобретение относится к измерительной технике и может быть использовано в качестве датчика обратной связи по скорости в прецизионных приводах.

Целью изобретения является повышение точности измерения.

На фиг.1 представлена схема устройства для измерения скорости перемещения; на фиг.2 - схема одного канала многоканального формирователя опорных импульсов; на фиг.3 - схема многовходовой логической схемы; на фиг.4 - временные диаграммы работы для трехканального варианта устройства.

Устройство для измерения скорости перемещения (фиг.1) содержит последовательно соединенные генератор 1 эталонной частоты, делитель 2 частоты, блок 3 питания, фазовращатель 4, компаратор 5, многоканальный распределитель 6 импульсов, многоканальный формирователь 7 опорных импульсов, многовходовую логическую схему 8, формирователь 9 импульсов стабильной амплитуды и блок 10 соединения дополнительного входа формирователя 7 соединен также с выходом генератора 1.

Каждый канал многоканального формирователя 7 (фиг.2) содержит схему ИЛИ 11, двоичный счетчик 12, схему И 13 и RS-триггер 14, причем первый вход схемы ИЛИ 11 является информационным входом канала, второй вход соединен с прямым выходом RS-триггера 14 и выходом канала, а выход схемы ИЛИ 11 соединен с входом сброса двоичного счетчика 12, счетный вход которого является дополнительным входом канала, а первый выход соединен с первым входом схемы И 13, второй вход которой соединен с инверсным выходом RS-триггера 14, а выход - с установочным входом этого триггера, вход сброса которого соединен с выходом переполнения счетчика 12.

Многовходовая логическая схема 8 (фиг.3) содержит N-входовую схему И 15, N двухвходовых схем ИЛИ 16 и N-входовую схему И-НЕ 17, где N - число каналов в устройстве.

Устройство работает следующим образом.

Высокочастотные импульсы с генератора 1 поступают через делитель 2 на

вход блока 3 питания фазовращателя и на дополнительный вход многоканального формирователя 7 опорных импульсов. Блок 3 вырабатывает питание датчика 4 в виде синусоидальных напряжений с частотой выходного сигнала делителя 2. Компаратор 5 преобразует выходной сигнал фазовращателя 4 и последовательность прямоугольных импульсов, которые блоком 6 распределяются по n каналам формирователя 7. В каждом канале по переднему фронту входных импульсов запускается схема формирования опорных импульсов. Длительность опорных импульсов равна сумме $n-1$ периодов питающего сигнала фазовращателя 4. С выходов формирователя 7 опорные импульсы поступают на соответствующие входы логической схемы 8. Этот блок вырабатывает последовательность импульсов с частотой выходного сигнала фазовращателя 4 и длительностью, пропорциональной модулю разности n периодов питающего и выходного сигналов фазовращателя 4. При положительной разности периодов сформированная последовательность импульсов выдается с первого выхода блока 8 и поступает на прямой вход формирователя 9. Когда эта разность отрицательная, то последовательность импульсов выдается на инверсный вход формирователя 9. Формирователь 9 преобразует входной сигнал в последовательность импульсов с постоянной стабильной амплитудой, с длительностью, равной длительности входных импульсов, и полярностью, соответствующей входу, на который поступает сигнал. Блок 10 выдает среднее значение сформированной блоком 9 последовательности импульсов, которое и принимается в качестве сигнала скорости перемещения.

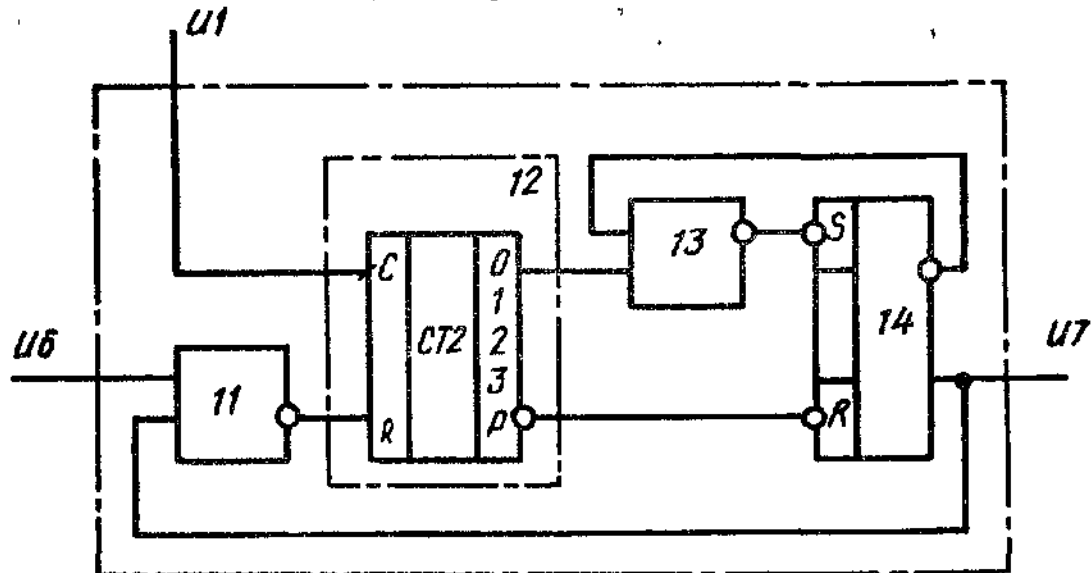
В каждом канале блока 7 формирование опорных импульсов может быть выполнено, например, по схеме, представленной на фиг.2. Схема содержит элемент ИЛИ 11 с инверсией, счетчик 12 импульсов, элемент И 13 с инверсией и RS триггер 14.

В исходном состоянии счетчик 12 и триггер 14 обнулены. С приходом запускающего импульса U_6 снимается запрет со счетчика 12 по входу R и начинается подсчет высокочастотных импульсов, поступающих на вход С. Первый входной импульс своим передним

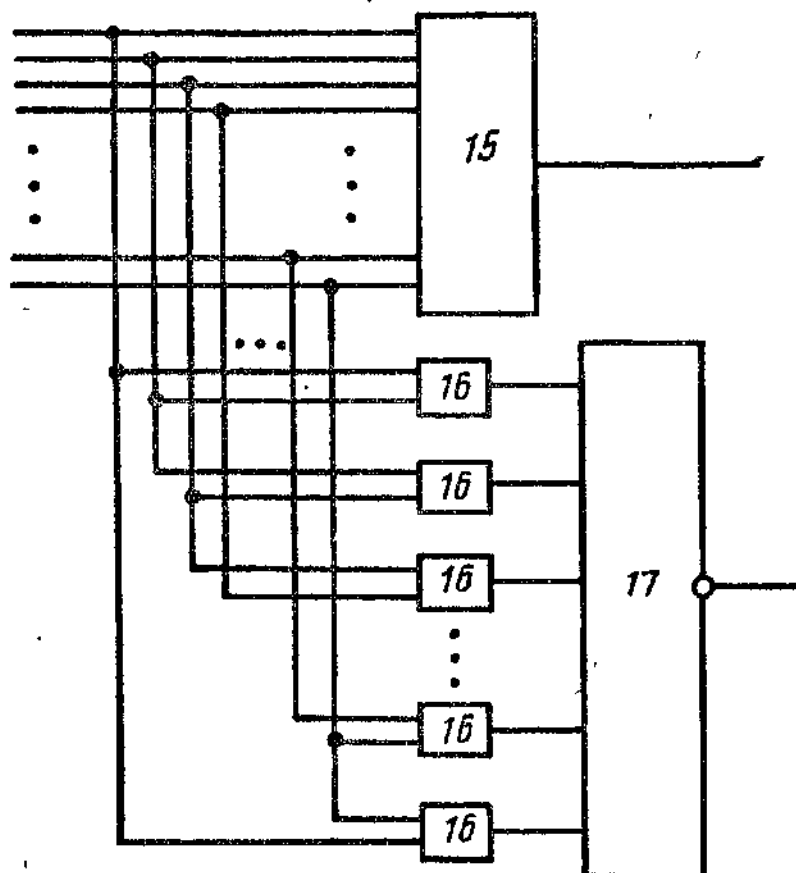
ветственно, а также каждый i -вход многовходовой логической схемы соединен с первым входом i -й двухвходовой схемы ИЛИ, а каждый $(i+1)$ -й вход многовходовой логической схемы - с вторым входом i -й двухвходовой схемы ИЛИ, ($i = 1, 2, \dots, (N-1)$), первый и второй входы $i=N$ двухвходовой схемы ИЛИ соединены с $i = N$ входом и пер-

5

вым входом многовходовой логической схемы соответственно, при этом выходы N двухвходовых схем ИЛИ соединены с входами N -входовой схемы И-НЕ, а первым и вторым выходами многовходовой логической схемы являются выходы N -входовой схемы И и N -входовой схемы И-НЕ соответственно.



Фиг. 2



Фиг. 3

фронтом переводит выход "0" счетчика 12 в единичное состояние. Вследствие этого на выходе элемента И 13 с инверсией появляется нулевой импульс, который устанавливает триггер 14 в единичное состояние. После прихода импульсов, количество которых соответствует требуемой длительности опорного импульса, на выходе Р счетчика 12 появляется отрицательный импульс, сбрасывающий триггер 14 в нулевое состояние. По цепи обратной связи (триггер 14 - элемент ИЛИ 11 с инверсией) обнуляется и счетчик 12. Тем самым схема возвращается в исходное состояние. Формируемый опорный импульс снимается с прямого выхода триггера 14. Далее цикл повторяется.

Логическая схема 8 построена в соответствии с логическими уравнениями:

$$y_1 = x_1 \times x_2 \times \dots \times x_n$$

$$y_2 = (x_1 + x_2) \times (x_2 + x_3) \times \dots \times (x_{n-1} + x_n) \times (x_n + x_1),$$

где \times - конъюнкция,
 $+$ - дизъюнкция,
 $-$ - инверсия.

Когда период выходного сигнала датчика 4 меньше периода его питающих напряжений, то имеет место одновременное перекрытие опорных импульсов, поступающих на все входы блока 8 (U_{7-1} , U_{7-2} , U_{7-3} для $n = 3$). Это перекрытие равно удвоенной разности периодов питающего и выходного сигналов датчика 4. В соответствии с логикой блока в каждом периоде выходного сигнала датчика формируется импульс, длительность которого равна перекрытию опорных импульсов. Сформированная последовательность импульсов выдается по первому выходу блока 8 (фиг. 4 - U_{8-1}).

Когда период выходного сигнала датчика 4 оказывается больше периода питающих его напряжений, то вместо перекрытия импульсов возникает промежуток времени между импульсами, поступающими на входы блока 8 (фиг. 4). Этот временной интервал равен модулю удвоенной разности периодов питающего и выходного сигналов датчика 4. Схема блока обеспечивает формирование на его втором выходе (фиг. 4 - U_{8-2}) последовательности импульсов с частотой

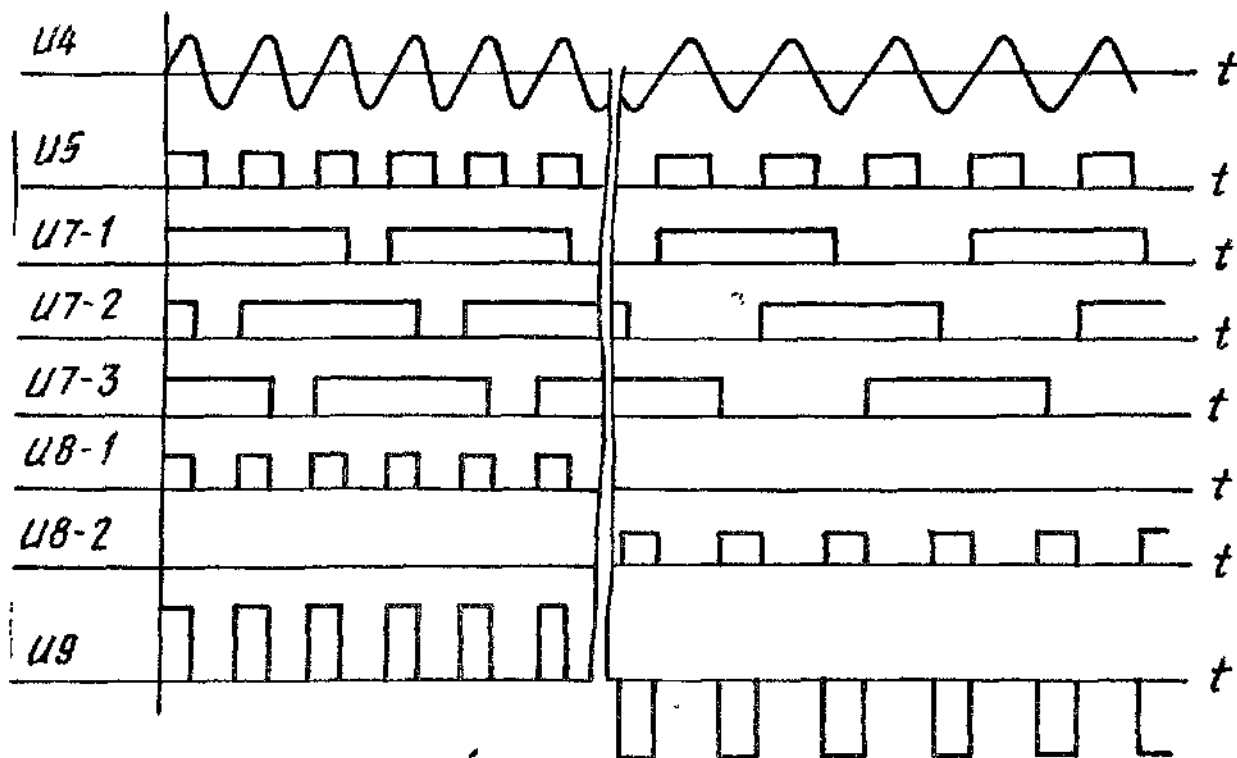
той выходного сигнала датчика 4 и длительностью, равной промежутку времени между указанными опорными импульсами.

Ф о р м у л а и з о б р е т е н и я

1. Устройство для измерения скорости перемещения, содержащее генератор эталонной частоты, делитель частоты и последовательно соединенные блок питания, фазовращатель, компаратор, многоканальный распределитель импульсов, многоканальный формирователь опорных импульсов, многоходовую логическую схему и блок осреднения, выход генератора эталонной частоты соединен с дополнительным входом многоканального формирователя опорных импульсов, отличающееся тем, что, с целью повышения точности измерения, в него введен формирователь импульсов стабильной амплитуды, первый и второй входы которого соединены соответственно с первым и вторым выходами многоходовой логической схемы, а выход - с входом блока осреднения, при этом выход генератора эталонной частоты соединен через делитель частоты с входом блока питания.

2. Устройство по п.1, отличающееся тем, что каждый из n каналов многоканального формирователя опорных импульсов состоит из схемы ИЛИ, двоичного счетчика, схемы И и RS-триггера, причем первый вход схемы ИЛИ является информационным входом канала, второй вход соединен с прямым выходом RS-триггера и выходом канала, а выход схемы ИЛИ соединен с входом сброса двоичного счетчика, счетный вход которого является дополнительным входом канала, а первый выход соединен с первым входом схемы И, второй вход которой соединен с инверсным выходом RS-триггера, а выход - с установочным входом RS-триггера, вход сброса которого соединен с выходом переполнения двоичного счетчика.

3. Устройство по п.1, отличающееся тем, что многоходовая логическая схема содержит N -входовую схему И, N двухвходовых схем ИЛИ и N -входовую схему И-НЕ, причем входы n каналов соединены с N входами N -входовой схемы И соот-



Фиг. 4

Редактор А. Маковская Составитель А. Кирилюк Техред М. Дидык Корректор С. Черни

Заказ 1509 Тираж 459 Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101

