



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1444800** **A 1**

(51)4 G 06 F 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4243485/24-24
(22) 18.03.87
(46) 15.12.88. Бюл. № 46
(75) Е.М.Ерзаков, И.М.Ерзаков
и Т.Г.Ерзакова
(53) 681.325(088.8)
(56) Патент США № 4253146, .
кл. G 06 F 15/16, 1981.
Авторское свидетельство СССР
№ 1012232, кл. G 06 F 15/16, 1979.
Авторское свидетельство СССР
№ 1231508, кл. G 06 F 15/16, 1984.

(54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ ПРОЦЕССОРОВ ЧЕРЕЗ ОБЩУЮ ПАМЯТЬ В МНОГОПРОЦЕССОРНОЙ СИСТЕМЕ

(57) Изобретение позволяет реализовать многопроцессорные системы с высоким быстродействием за счет организации асинхронного обращения процессоров через общую память. Целью изобретения является повышение надежности устройства. Это достигается тем, что в устройстве вместо $2k+1$ счетчиков адреса, где k определяется количеством подключаемых к устройству процессоров, введены блок оперативной памяти емкостью $2k+1$, счетчик, второй блок управления памятью, блок синхронизации и шифратор. 1 ил.

(19) **SU** (11) **1444800** **A 1**

РПФ-К

Изобретение относится к вычислительной технике и может быть использовано в автоматизированных системах управления для сопряжения процессоров.

Целью изобретения является повышение надежности устройства за счет сокращения аппаратных затрат при формировании адреса ячейки общей памяти.

На чертеже представлена функциональная схема устройства для сопряжения процессоров.

Устройство содержит N блоков ввода-вывода $1-1-1-N$, N входных регистров $2-1-2-N$, первый-третий мультиплексоры $3-5$, блок 6 оперативной памяти, первый и второй дешифраторы $7, 8$, первый и второй элементы $9, 10$ задержки, первый и второй блоки $11, 12$ управления памятью, каждый из которых содержит элемент ИЛИ 13 , триггер 14 , элемент 15 задержки, одновибратор 16 , счетчик 17 , дешифратор 18 , блок 19 синхронизации, состоящий из элементов ИЛИ $20, 21$ и элемента 22 задержки, блок 23 формирования заявок.

Устройство работает в режимах "Запись" и "Считывание". В режиме "Запись" данные, которые необходимы записать в общую память системы, поступают в блоки ввода-вывода $1-1-1-N$ под управлением соответствующего процессора системы, что сопровождается выработкой сигнала "1" по выходу квитирования записи соответствующего блока ввода-вывода.

С информационных выходов блоков ввода-вывода данные поступают на информационные входы первого мультиплексора 3 . При выполнении заявки на запись сообщения в общую память системы по выходу адреса записываемой заявки блока 23 формирования заявок вырабатывается сигнал "1", который разрешает прохождение требуемых данных на выходы первого мультиплексора 3 и вторые информационные входы второго 4 и третьего 5 мультиплексоров. На выходе признака записи блока 23 формируется сигнал "1", который устанавливает второй 4 и третий 5 мультиплексоры в состояние "Запись", при котором на выходы этих мультиплексоров поступает информация с их вторых информационных входов. Код с выхода второго мультиплексора 4 образует адрес заданной секции блока 6 , в которую производится запись дан-

ных, поступающих с выходов первого мультиплексора 3 на выход сообщений устройства. Код с выхода третьего мультиплексора 5 содержит адрес ячейки памяти в заданной секции блока 6 , по которому производится считывание из блока 6 в счетчик 17 , а потом запись данных в блок 6 , поступающих с выходов счетчика 17 на выход устройства, адрес ячейки секции общей памяти системы. Данные, считываемые с информационных выходов блока 6 записываются по информационным входам в счетчик 17 и представляют собой по содержанию адрес ячейки в заданной секции памяти системы, куда записываются сообщения с выхода сообщений устройства.

После окончания цикла считывания из блока 6 , который формируется вторым блоком 12 управления памятью (из блока 6 в счетчик 17 записывается содержимое ячейки памяти секции адресов записи блока 6), начинается цикл записи в общую память системы, который формируется первым блоком 11 управления памятью. Величина задержки цикла записи в общую память системы определяется элементом задержки в первом блоке управления памятью. После окончания цикла записи в общую память системы с выхода второго элемента 10 задержки вырабатывается сигнал "1", который поступает на вход стробирования второго дешифратора и разрешает формирование сигнала "1" на одном из его выходов, соответствующего адресу секции общей памяти системы, куда записывается сообщение. С выхода дешифратора 8 сигнал "1" поступает на соответствующий вход сброса записываемой заявки блока 23 для сброса признака заявки на запись сообщения в общую память системы и на соответствующий вход разрешения записи соответствующего блока ввода-вывода $1-1-1-N$. После окончания цикла записи в общую память системы параллельно со сбросом записанной заявки осуществляется процесс подготовки записи следующего сообщения в эту же секцию общей памяти системы, который начинается поступлением сигнала "1" с выхода второго элемента 10 задержки на четвертый вход блока 19 синхронизации. По этому сигналу блок 19 на первом выходе формирует сигнал "1", поступающий на вход

суммирования счетчика 17, и после увеличения содержимого счетчика 17 на "1" блок 19 на втором выходе формирует сигнал "1", поступающий на первый вход второго блока 12 управления памятью, устанавливая его в режим записи. В режиме записи второй блок 12 управления памятью обеспечивает запись данных с выхода счетчика 17 по информационным входам блока 6 по адресу, который был ранее установлен на адресных входах блока 23. В режиме "Считывание" при выполнении заявки на считывание сообщения из общей памяти системы по одному из выходов адреса блока 23 вырабатывается сигнал "1", который разрешает прием требуемых данных в соответствующий регистр 2-1, 2-N, формирует требование в соответствующем блоке 1-1, 1-N ввода-вывода считанной информации, а также формирует код с выхода шифратора 18, который определяет адрес секции общей памяти системы, откуда будет производиться последующие считывания сообщения на вход сообщений устройства. На выходе "Признак считывания" блока 23 формируется сигнал "1", который устанавливает по вторым входам второй 4 и третий 5 мультиплексоры в режим "Считывание", при котором на выход второго 4 и третьего 5 мультиплексоров соответственно поступают коды с их первых информационных входов и выбирается секция адреса считывания блока 6. Код с выходов второго и третьего 5 мультиплексоров обозначает соответственно адрес секции общей памяти системы, из которой выбирается сообщение в соответствующий регистр 2-1, 2-N, и адрес ячейки секции адресов считывания блока 6, в которой хранится адрес ячейки заданной секции общей памяти системы, откуда считывается необходимое сообщение. Сигнал "1" с выхода "Признак считывания" блока поступает на второй вход блока 19, формируя на его третьем выходе сигнал "1", который поступает на второй вход второго блока 12 управления памятью, устанавливая его режим "Считывание", и на второй вход первого блока 11 управления памятью, устанавливая его в режим "Считывание". После окончания цикла "Считывание" из блока 6 данные из заданной ячейки блока 6 записываются в счетчик 17 и начинается цикл

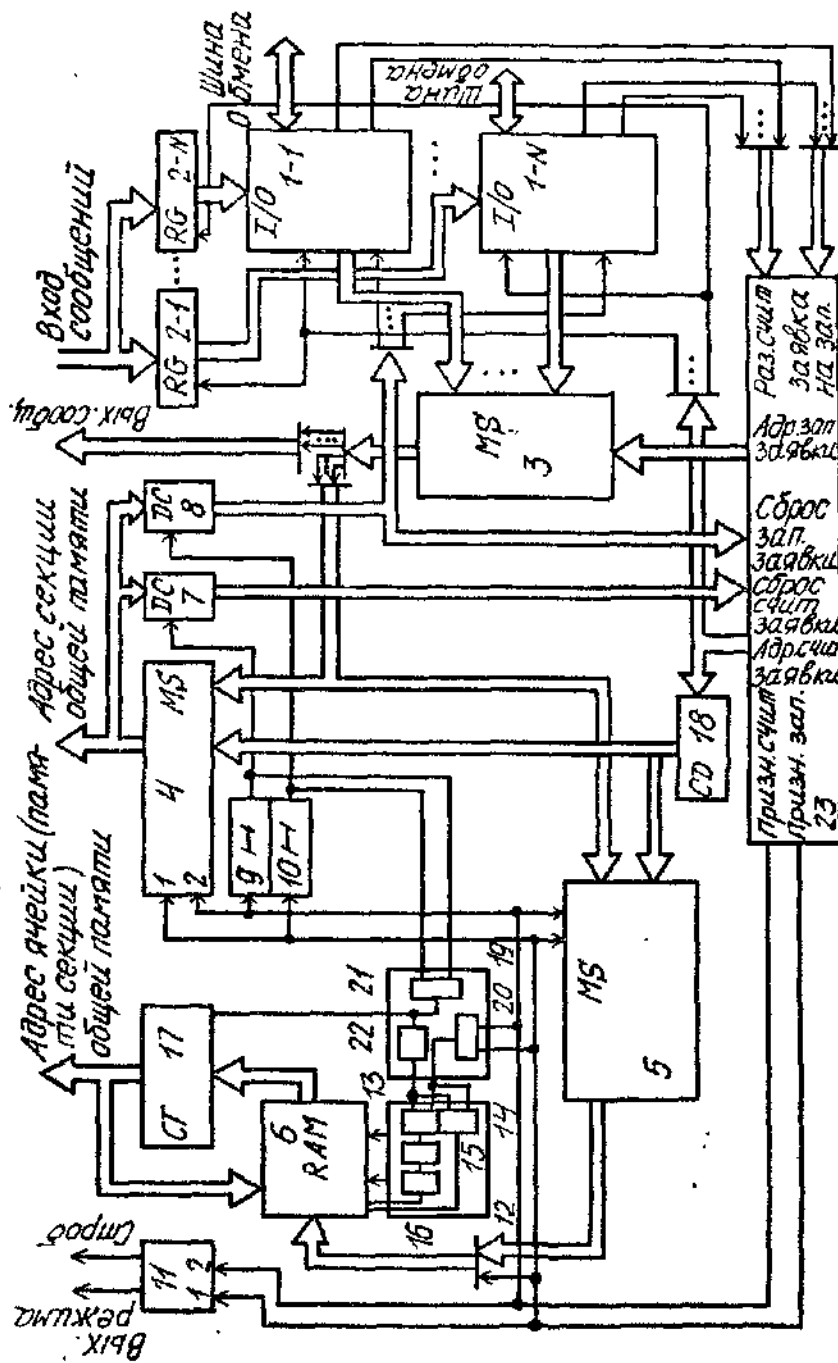
"Считывание" из памяти системы. После окончания цикла "Считывание" из памяти системы на выходе первого элемента 9 задержки вырабатывается сигнал "1", который поступает на вход стробирования первого дешифратора 7 и разрешает формирование сигнала "1" на его выходе, соответствующем адресу считываемой заявки. С этого выхода первого дешифратора 7 "1" поступает на соответствующий вход сброса считанной заявки блока 23, сбрасывает заявку на считывание сообщения из памяти системы и запрещает дальнейший прием информации в соответствующий регистр 2-1, 2-N. После передачи считанного сообщения из соответствующего регистра 2-1, 2-N по соответствующей шине обмена с выхода квинтирования считывания соответствующего блока 1-1, 1-N ввода-вывода на вход разрешения считывания блока 23 поступает сигнал "1", который разрешает продолжить считывание сообщений из заданной секции общей памяти системы. Одновременно со сбросом заявки на считывание по сигналу "1" выполняется процесс подготовки для считывания следующего сообщения из этой же секции памяти системы, который начинается поступлением сигнала "1" с выхода первого элемента задержки 9 на третий вход блока 19. По этому сигналу блок 19 вырабатывает сигнал "1", который поступает с первого выхода этого блока на вход суммирования счетчика 17, и после увеличения содержимого счетчика на "1" на втором выходе блока 19 формируется сигнал "1", который поступает на первый вход второго блока 12 управления памятью, устанавливая его в режим "Запись". В режиме записи второй блок 12 управления памятью обеспечивает запись данных с выхода счетчика 17 в блок 6 по ранее установленному адресу.

50 Ф о р м у л а и з о б р е т е н и я

Устройство для сопряжения процессоров через общую память в много-процессорной системе, содержащее с первого по третий мультиплексоры, 2k-1 регистров, где k - число подключаемых процессоров, два элемента задержки, блок формирования заявок, блок управления памятью, 2k+1 блоков

ввода-вывода, первый и второй дешиф-
 раторы, входы-выходы сообщений блоков
 ввода-вывода являются входами-выхода-
 ми шин обмена устройства, выходы со-
 5 сообщений блоков ввода-вывода подклю-
 чены к информационным входам первого
 мультиплексора, выход которого явля-
 ется выходом сообщений устройства,
 выходы регистров подключены к входам
 10 сообщений соответствующих блоков вво-
 да-вывода, выходы квитирования запи-
 си и считывания которых подключены
 соответственно к входам заявок на за-
 писи и входам разрешения считывания
 15 блока формирования заявок, выходы
 второго дешифратора подключены к вхо-
 дам сброса записанной заявки блока
 формирования заявок и к входам раз-
 разрешения записи соответствующих блоков
 20 ввода-вывода, выходы первого дешифра-
 тора подключены к входам сброса счи-
 танной заявки блока формирования зая-
 вок, выходы признака записи и призна-
 ка считывания блока формирования зая-
 25 вок подключены соответственно к пер-
 вому и второму входам блока управле-
 ния памятью и соответственно через
 первый и второй элементы задержки —
 к входам стробирования первого и вто-
 рого дешифраторов соответственно,
 первый и второй выходы блока управления
 памятью являются выходами режима и
 стробирования общей памяти устройст-
 ва соответственно, выходы разрядов
 35 адреса, выходы первого мультиплексо-
 ра подключены к информационным вхо-
 дам второй группы второго мультиплек-
 сора, выходы которого подключены к
 входам первого и второго дешифрато-
 ров и являются выходами группы разря-
 дов адреса секции общей памяти уст-
 40 ройств, о т л и ч а ю щ е с я тем,
 что, с целью повышения надежности за
 счет сокращения аппаратных затрат
 при формировании адреса ячейки общей
 памяти, в него введены счетчик, блок
 оперативной памяти, второй блок уп-
 45 равления памятью, блок синхрониза-
 ции и шифратор, выход счетчика явля-
 ется выходом адреса ячейки общей па-

мяти устройства и подключен к инфор-
 мационным входам блока оперативной
 памяти, информационные выходы которо-
 5 го подключены к информационным входам
 счетчика, счетный вход которого под-
 ключен к первому выходу блока син-
 хронизации, второй и третий выходы
 которого подключены соответственно к
 10 первому и второму входам второго бло-
 ка управления памятью, выходы которо-
 го подключены к входам режима и стро-
 ба блока оперативной памяти, адрес-
 ные входы которого подключены к выхо-
 15 дам третьего мультиплексора и
 выходам признака записи блока форми-
 рования заявок, выходы адреса счи-
 тывания заявки которого подключены
 к соответствующим входам разрешения
 20 передачи блоков ввода-вывода, к вхо-
 дам стробирования соответствующих
 регистров и к информационным входам
 шифратора, выходы которого подключе-
 ны к первым информационным входам
 25 второго и третьего мультиплексоров,
 вторые информационные входы второго
 и третьего мультиплексоров подключе-
 ны к выходу сообщений устройства,
 первый, второй, третий и четвертый
 входы блока синхронизации соответст-
 30 венно подключены к выходам признака
 записи и признака считывания блока
 формирования заявок и к выходам пер-
 вого и второго элементов задержки,
 35 вход сообщений устройства подключен
 к информационным входам регистров,
 причем блок синхронизации содержит
 два элемента ИЛИ и элемент задержки,
 первый и второй входы первого элемен-
 40 та ИЛИ являются первым и вторым вхо-
 дами блока синхронизации, первый и
 второй входы второго элемента ИЛИ
 являются третьим и четвертым входами
 блока синхронизации, выход второго
 45 элемента ИЛИ подключен к входу элемен-
 та задержки и является первым выхо-
 дом блока синхронизации, выход эле-
 мента задержки является вторым выхо-
 дом блока синхронизации, выход перво-
 50 го элемента ИЛИ является третьим вы-
 ходом блока синхронизации.



Составитель Б.Резван

Редактор О.Спесивых

Техред А.Кравчук

Корректор М.Максимишинец

Заказ 6507/49

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4

