



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1388881 A2

(5D) 4 G 06 F 15/16

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(61) 1231508

(21) 4070680/24-24

(22) 04.03.86

(46) 15.04.88. Бюл. № 14

(72) Е.М.Ерзаков, В.И.Головин,

И.Я.Денищенко и Т.И.Кравченко

(53) 681.325 (088.8)

(56) Авторское свидетельство СССР
№ 1231508, кл. G 06 F 15/16, 1986.

(54) УСТРОЙСТВО ДЛЯ СОПРЯЖЕНИЯ ПРО-
ЦЕССОРОВ ЧЕРЕЗ ОБЩУЮ ПАМЯТЬ В МНОГО-
ПРОЦЕССОРНОЙ СИСТЕМЕ

(57) Изобретение относится к области
вычислительной техники и может быть
использовано в автоматизированных
системах управления в качестве моду-
ля обработки информации. Целью изоб-

ретения является расширение функцио-
нальных возможностей за счет динами-
ческого переопределения приоритетов
процессоров при обработке одномерных
и многомерных структур данных. Для
этого в микропроцессорную систему,
содержащую микропроцессоры, опера-
тивные запоминающие устройства, об-
щие оперативные запоминающие уст-
ройства, устройства для сопряжения
процессоров через общую память, до-
полнительно введен блок управления
режимом, состоящий из дешифратора,
триггера запрета, триггера запуска,
первого и второго элементов И и
триггера блокировки. 1 з.п. ф-лы,
5 ил.

(19) SU (11) 1388881 A2

РПФ-К

Изобретение относится к вычислительной технике, может быть использовано в автоматизированных системах управления в качестве модуля обработки информации и является дополнительным к авт.св. № 1231508.

Целью изобретения является расширение функциональных возможностей за счет динамического переопределения приоритетов процессоров при обработке одномерных и многомерных структур данных.

На фиг.1 изображена блок-схема многопроцессорной системы с использованием устройства для сопряжения процессоров; на фиг.2 - структурная схема устройства для сопряжения процессоров через общую память; на фиг.3 - функциональная схема блока формирования заявок; на фиг.4 - функциональная схема блока управления режимом; на фиг.5 - функциональная схема узла запоминания заявок.

Предлагаемое устройство содержит микропроцессоры 1, один из которых центральный, местные оперативные запоминающие устройства, (ОЗУ) 2, общие оперативные запоминающие устройства 3, устройство 4 для сопряжения процессоров через общую память, содержащее первый блок 5 ввода-вывода, $(2K+1)$ -й блок 6 ввода-вывода, первый 7, второй 8 и третий 9 мультиплексоры, демультиплексор 10, четвертый 11 и памяти 12 мультиплексоры, первый регистр 13, $(2K+1)$ -й регистр 14, первый счетчик 15 адреса считывания, $(2K+1)$ -й счет-

чик 16 адреса считывания, первый счетчик 17 адреса записи, $(2K+1)$ -й счетчик 18 адреса записи, первый 19 и второй 20 дешифраторы, блок 21 управления памятью, блок 22 формирования заявок, первый 23.1 и второй 23.2 элементы задержки, блок 24 управления режимом.

Блок формирования заявок содержит первый триггер 25 первой группы, $(2K+1)$ -й триггер 26 первой группы, первый узел 27 запоминания заявок, $(2K+1)$ -й узел 28 запоминания заявок, первый триггер 29 второй группы, $(2K+1)$ -й триггер 30 второй группы, первый счетчик 31 заявок, $(2K+1)$ -й счетчик 32 заявок, первый 33, второй 34 и третий 35 узлы приоритета, первый 36, второй 37, третий 38, четвертый 39 и пятый 40 элементы ИЛИ, триггеры 41 и 42.

Блок управления режимом содержит дешифратор 43, триггер 44 запрета, триггер 45 запуска, первый 46 и второй 47 элементы И, триггер 48 блокировки.

Узел запоминания заявок содержит первый 49 и второй 50 элементы И, триггер 51.

Устройство функционирует следующим образом.

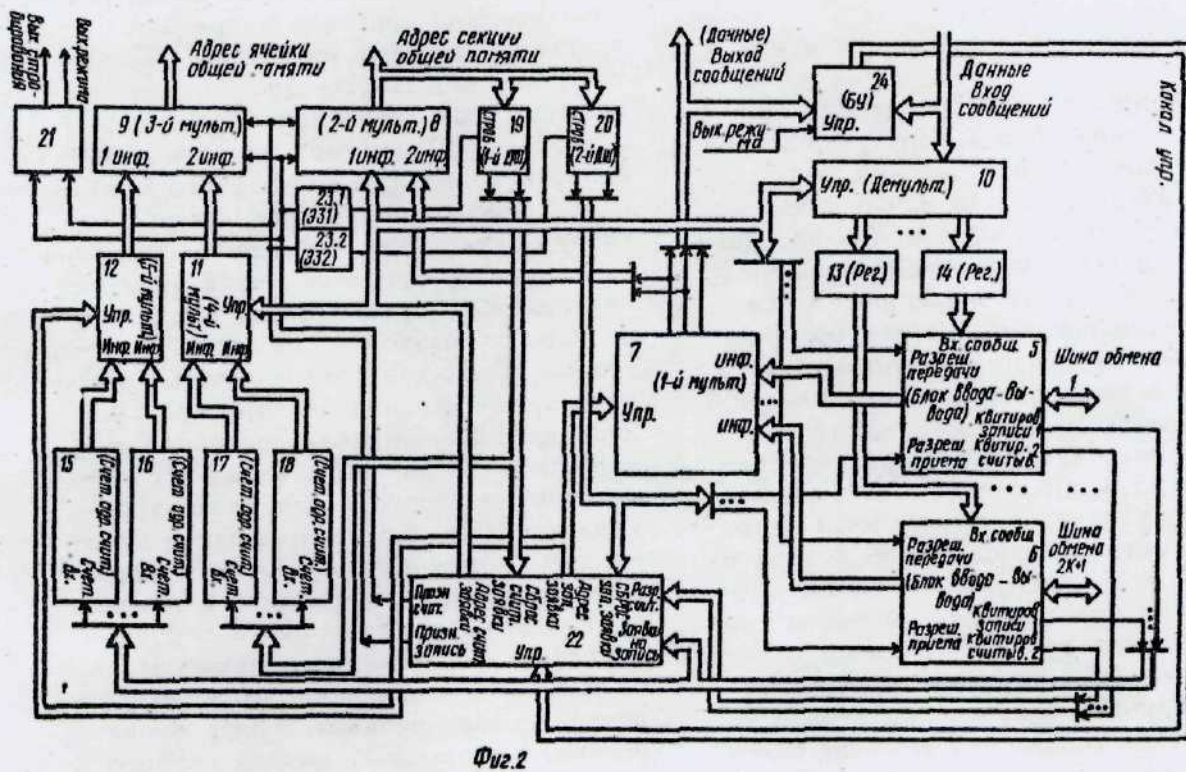
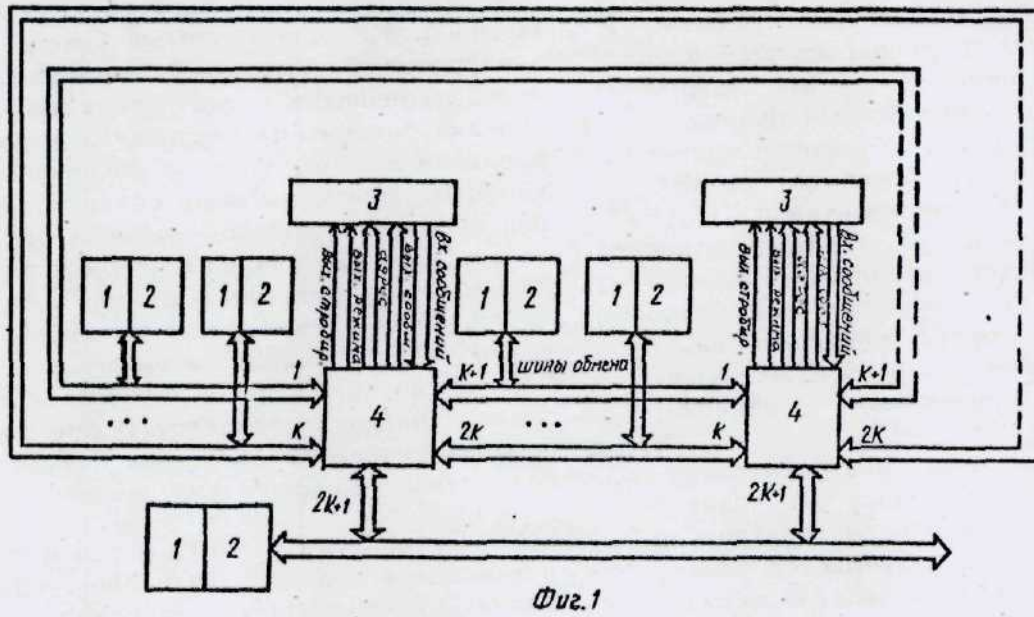
Функционирование блока управления режимом происходит под действием сигналов, сформированных в управляющей части форматов сообщений, передаваемых по выходу "Выход сообщений" устройства в общую память. Формат этих сообщений следующий:

Номер получателя сообщений (№ процессора, ЭВМ) - 8 бит	Номер отправителя сообщения (№ процессора, ЭВМ) - 5 бит	Код типа информации (3 бита)	Данные (8 бит)
---	--	---------------------------------	-------------------

Самостоятельно блок управления режимом не может обеспечить непрерывное считывание сообщений из общей памяти, так как это осуществляется автоматически под управлением блока формирования заявок. Задача блока управления режимом состоит в том, чтобы принять адресуемое ему сообщение (признаки "код типа информации" и "данные") и проанализировать коды, содержащиеся в них. Факт необходимости анализа признака "данные" определяется приемом кодов 010, 011, 110,

111 в признаке "код типа информации". Команда управления "Начало массива" в виде кода 111XXXXX содержится в трех первых разрядах признака "Данные", команда управления "Конец массива" - в виде кода 000XXXXX, команда управления "Пуск" - в виде кода 110XXX, а команда управления "Стоп" - в виде кода 101XXXX с запоминанием в триггере запуска.

Устройство начинает работать после того, как на блок управления режимом поступает команда "Пуск". Триг-



гер запуска устанавливается в состояние "0" по каналу управления разрешается 1-го узла приоритета.

При поступлении команды управления "Разрешение работы с массивами" происходит установка триггера запрета. Теперь при поступлении на вход дешифратора 43 первого элемента массива на его выходе формируется признак начала массива и при наличии разрешающего сигнала работы триггер 48 блокировки устанавливается в "1". На втором выходе блока управления режимом формируется сигнал 0" и происходит блокировка изменения приоритетов заявок путем поступления сигнала "1" на входы элементов и 49 и 50 узлов запоминания заявок блока формирования заявок.

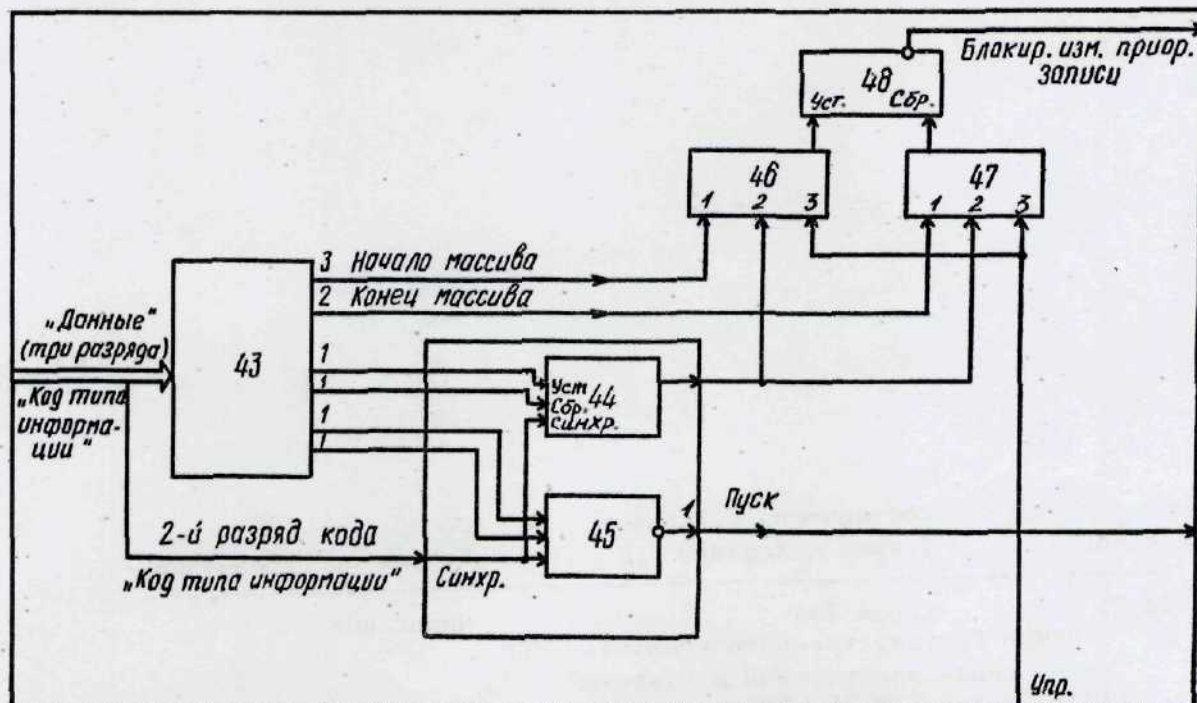
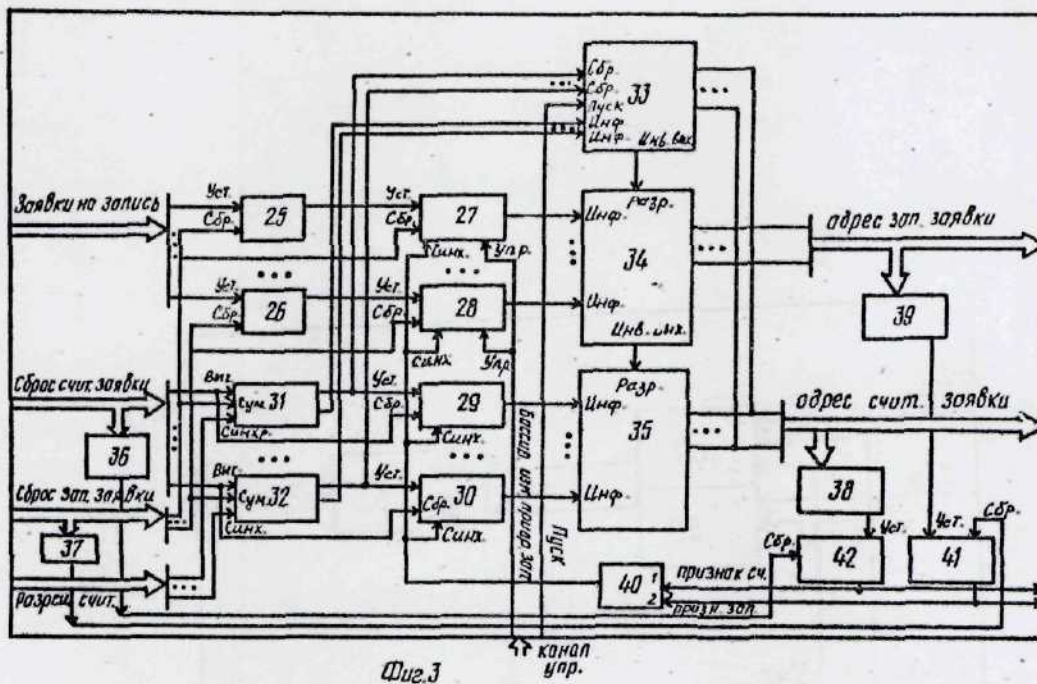
По окончании массива дешифратор 43 вырабатывает признак окончания массива, который сбрасывает триггер 48 блокировки, и разрешается работа узлов запоминания заявок. В результате блокировка изменения приоритета на запись сообщений в общую память снимается и начинает действовать установленная ранее система приоритетов.

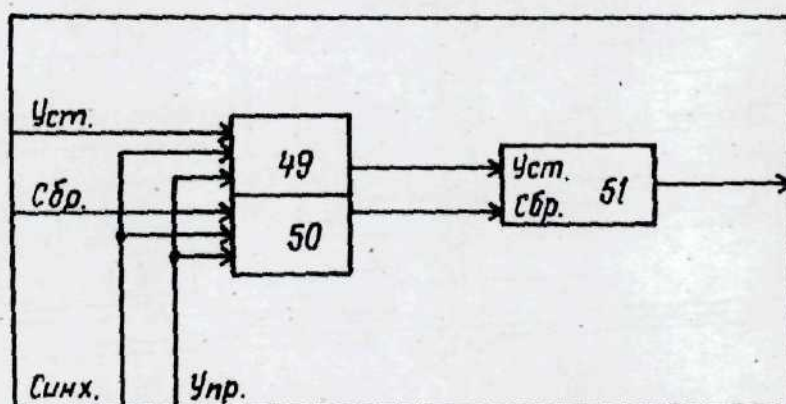
Ф о р м у л а и з о б р е т е н и я

1. Устройство для сопряжения процессоров через общую память в многопроцессорной системе по авт. св. № 1231508, отличающееся тем, что, с целью расширения функциональных возможностей за счет динамического переопределения приоритетов процессоров при обработке одномерных и многомерных структур данных, в него дополнительно введен блок управления режимом, причем выходы первого мультиплексора соединены с группой информационных входов блока управления режимом, вход разрешения изменения приоритетов которого соединен с выходом режима блока управления памятью, первый выход блока управления режимом соединен с входом запуска первого узла приоритета блока формирования заявок, второй выход блока управления режимом соединен с третьими входами первого и второго элементов И группы узлов запоминания заявок, выходы ненулевого состояния счетчиков заявок формирователя заявок соединены с соответствующими

входами сброса группы триггеров первого узла приоритета, а выходы переполнения указанных счетчиков заявок - с установочными входами указанных групп триггеров первого узла приоритета, дополнительные выходы квитирования считывания блока ввода-вывода соединены с соответствующими входами разрешения считывания формирователя заявок, которые соединены с дополнительными входами синхронизации счетчиков заявок формирователя заявок, каждый дополнительный управляющий вход триггера соединен с соответствующим управляющим выходом формирователя заявок, а выходы "Сброс" первого узла приоритета соединены только с соответствующими выходами ненулевого состояния счетчиков заявок формирователя заявок.

2. Устройство по п.1, отличающееся тем, что блок управления режимом содержит триггер блокировки, триггер запуска, триггер запрета, дешифратор и два элемента И, причем вход типа сообщения группы информационных входов блока управления режимом соединен с синхронизирующими входами триггера запрета и триггера запуска, инверсный выход триггера запуска соединен с первым выходом блока управления режимом, прямой выход триггера запрета соединен с первыми входами первого и второго элементов И, вторые входы которых соединены с входом разрешения изменения приоритетов блока управления режимом, третьи входы первого и второго элементов И соединены с выходами признаков соответственно начала и конца массива дешифратора, выходы признаков пуска и останова дешифратора соединены с входами соответственно сброса и установки триггера запуска, выходы признаков разрешения и запрещения работы с массивами дешифратора соединены с входами соответственно установки и сброса триггера запрета, входы дешифратора соединены с входами кода операции группы информационных входов блока управления режимом, выходы первого и второго элементов И соединены с входами соответственно установки и сброса триггера блокировки, инверсный выход которого соединен с вторым выходом блока управления режимом.





Фиг.5

Редактор Е.Копча	Составитель С.Куликов	Корректор Г.Решетник
	Техред М.Ходанич	

Заказ 1582/51

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4