



УКРАЇНА

(19) UA (11) 64291 (13) U  
(51) МПК  
G06F 7/50 (2006.01)

ДЕРЖАВНА СЛУЖБА  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ  
УКРАЇНИ

## ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

### (54) ПРИСТРІЙ ДЛЯ ДОДАВАННЯ

1

(21) u201101784

(22) 15.02.2011

(24) 10.11.2011

(46) 10.11.2011, Бюл. № 21, 2011 р.

(72) КОЖЕМ'ЯКО ВОЛОДИМИР ПРОКОПОВИЧ, ПАВЛОВ СЕРГІЙ ВОЛОДИМИРОВИЧ, РУДЕНКО ВОЛОДИМИР МИКОЛАЙОВИЧ, КОЖЕМ'ЯКО КОСТЯНТИН ВОЛОДИМИРОВИЧ

(73) КОЖЕМ'ЯКО ВОЛОДИМИР ПРОКОПОВИЧ, ПАВЛОВ СЕРГІЙ ВОЛОДИМИРОВИЧ, РУДЕНКО ВОЛОДИМИР МИКОЛАЙОВИЧ, КОЖЕМ'ЯКО КОСТЯНТИН ВОЛОДИМИРОВИЧ

(57) Пристрій для додавання, що містить накопичувальний суматор, n блоків віднімання (n - кількість сумованих чисел), помножувач і блок виділення найменшого ненульового числа, причому установчі входи блоків віднімання з'єднані з входами відповідних сумованих чисел пристрою, виходи інформаційних розрядів накопичувального суматора з'єднані з відповідними інформаційними

2

виходами пристрою, вхід синхронізації пристрою підключений до входів синхронізації накопичувального суматора і блоків віднімання, вихід блоку виділення найменшого ненульового числа з'єднаний з входом першого операнда помножувача і з входами від'ємника блоків віднімання, виходи різниці блоків підключені до входів зменшувача тих же блоків віднімання, виходи помножувача з'єднані з входами інформаційних розрядів накопичувального суматора, який **відрізняється** тим, що містить від'ємник, перша і друга групи входів якого з'єднані з виходами ознаки ненульової різниці блоків віднімання, до установчих входів яких підключені входи сумованих чисел пристрою, що мають відповідно позитивні і від'ємні знаки, інформаційні виходи від'ємника підключені до входів другого операнда помножувача, а знаковий вихід - до входу знакового розряду накопичувального суматора, вихід знакового розряду якого з'єднаний із знаковим виходом пристрою.

Корисна модель належить до обчислювальної техніки і може бути використана в операційних схемах процесорів. Задачею корисної моделі є розширення функціональних можливостей за рахунок алгебраїчного підсумовування чисел.

Відомий пристрій для додавання і віднімання чисел за модулем M модулярної системи [Патент України № 19368, від МПК G08F 7/50, 15.12.2006, бюл. № 12], який передбачає додавання і віднімання чисел, що містить суматор, регістр і блок керування, що містить вузол аналізу співвідношення знаків операндів, вузол формування знака результату і вузол формування сигналів керування, причому виходи суматора з'єднані з виходами пристрою, вузол аналізу співвідношення знаків операндів містить три елементи HI, шість елементів I, чотири елементи АБО, вузол формування знака результату містить елемент HI, три елементи I і елемент АБО, при цьому виходи першого і другого елементів HI вузла аналізу співвідношення знаків операндів з'єднані відповідно з першим і другим входами першого елемента I вузла аналізу співвідношення знаків операндів, вихід якого з'єднаний з першим входом першого елемента АБО вузла аналізу

співвідношення знаків операндів, другий вхід якого підключений до виходу другого елемента I вузла аналізу співвідношення знаків операндів, а вихід з'єднаний з першим входом першого елемента I вузла формування знака результату, вихід елемента HI вузла формування знака результату підключений до першого входу другого елемента I вузла формування знака результату, вихід якого з'єднаний з першим входом елемента АБО вузла формування знака результату, вузол формування сигналів керування містить генератор тактових імпульсів, регістр зсуву, елемент HI, елемент I, елемент АБО, причому інформаційні входи регістра з'єднані з входами другого операнда пристрою, вихід знакового розряду суматора з'єднаний з входом першого елемента HI і першими входами третього, четвертого, п'ятого і шостого елементів I вузла аналізу співвідношення знаків операндів, вихід знакового розряду регістра з'єднаний з входом другого елемента HI, першим входом другого елемента I і другими входами четвертого і шостого елементів I вузла аналізу співвідношення знаків операндів, вхід коду операції пристрою з'єднаний з входом третього елемента HI, третіми входами першого і четверто-

(19) UA (11) 64291 (13) U

го елементів I і другим входом п'ятого елемента I вузла аналізу співвідношення знаків операндів, другий і третій входи другого елемента I вузла аналізу співвідношення знаків операндів з'єднані з виходами першого і третього елементів HI вузла аналізу співвідношення знаків операндів відповідно, другий і третій входи третього елемента I вузла аналізу співвідношення знаків операндів з'єднані з виходами другого і третього елементів HI вузла аналізу співвідношення знаків операндів відповідно, треті входи п'ятого і шостого елементів I вузла аналізу співвідношення знаків операндів з'єднані з виходами другого і третього елементів HI вузла аналізу співвідношення знаків операндів відповідно, виходи третього і четвертого елементів I вузла аналізу співвідношення знаків операндів з'єднані з входами другого елемента АБО вузла аналізу співвідношення знаків операндів, виходи п'ятого і шостого елементів I вузла аналізу співвідношення знаків операндів з'єднані з входами третього елемента АБО вузла аналізу співвідношення знаків операндів, виходи першого і другого елементів АБО вузла аналізу співвідношення знаків операндів з'єднані з входами четвертого елемента АБО вузла аналізу співвідношення знаків операндів, вихід якого підключений до входу ознаки запису інформації суматора, вихід позики старшого розряду якого з'єднаний з входом елемента HI і другим входом першого елемента I вузла формування знака результату, вихід елемента HI вузла формування знака результату з'єднаний з першим входом третього елемента I вузла формування знака результату, виходи другого і третього елементів АБО вузла аналізу співвідношення знаків операндів з'єднані з другими входами другого і третього елементів I вузла формування знака результату відповідно, виходи першого і третього елементів I вузла формування знака результату підключені відповідно до другого і третього входів елемента АБО вузла формування знака результату, вхід запуску пристрою з'єднаний з настановним входом регістра зсуву вузла формування сигналів керування, вихід першого розряду якого з'єднаний з першим входом елемента АБО вузла формування сигналів керування, вихід якого з'єднаний з входом дозволу запису суматора, вихід другого розряду регістра зсуву вузла формування сигналів керування з'єднаний з входом дозволу запису регістра, вихід третього розряду регістра зсуву вузла формування сигналів керування з'єднаний з входом дозволу зчитування регістра і з другим входом елемента АБО вузла формування сигналів керування, вихід елемента HI вузла формування сигналів керування з'єднаний з першим входом елемента I вузла формування сигналів керування, другий вхід і вихід якого з'єднані відповідно з виходом генератора тактових імпульсів і входом зсуву регістра зсуву вузла формування сигналів керування, який відрізняється тим, що містить мультиплексор, а у вузол формування знака результату введено RS-тригер, S-вхід якого з'єднаний з виходом елемента АБО цього вузла, R-вхід з'єднаний з виходом першого розряду регістра зсуву вузла формування сигналів керу-

вання, а вихід є виходом знака результату пристрою, вихід четвертого розряду регістра зсуву вузла формування сигналів керування з'єднаний з входом дозволу зчитування суматора і входом елемента HI вузла формування сигналів керування, причому перша і друга групи інформаційних входів мультиплексора підключені до входів першого операнда пристрою і виходів регістра відповідно, інформаційні виходи мультиплексора підключені до входів суматора, а адресний вхід мультиплексора з'єднаний з входом ознаки запису інформації суматора.

Недоліком цього пристрою є порівняно вища вартість, складність, обмежені функціональні можливості, а також невисока швидкодія.

Найбільш близьким до запропонованого є пристрій для алгебраїчного додавання чисел [Патент України № 40283, МПК G06F 7/00, від 25.03.2009, бюл. № 6], який містить три регістри зсуву, суматор, вузол підсумовування за модулем два, який містить три елементи I, два елементи АБО і елемент HI, і вузол запису знака результату, який містить елемент АБО і два елементи I, причому входи розрядів першого регістра зсуву з'єднані з входами першого операнда пристрою, входи розрядів другого регістра зсуву з'єднані з входами другого операнда пристрою, входи керування зсувом першого і другого регістрів зсуву підключені до першого входу синхронізації пристрою, виходи першого і другого регістрів зсуву підключені до відповідних входів вузла підсумовування за модулем два, входи розрядів суматора підключені до входів першого операнда пристрою, перший і другий входи першого елемента I вузла підсумовування за модулем два з'єднані відповідно з першим і другим входами вузла підсумовування за модулем два, а вихід підключений до входу елемента HI вузла підсумовування за модулем два, вихід якого підключений до перших входів другого і третього елементів I вузла підсумовування за модулем два, другі входи яких з'єднані відповідно з першим і другим входами першого елемента I вузла підсумовування за модулем два, а виходи підключені до входів першого елемента АБО вузла підсумовування за модулем два, вихід якого підключений до інформаційного входу третього регістра зсуву, входи другого елемента АБО вузла підсумовування за модулем два з'єднані з виходами першого і третього елементів I вузла підсумовування за модулем два, а вихід підключений до інформаційного входу суматора, виходи знакових розрядів першого і другого регістрів зсуву підключені до перших входів відповідних елементів I вузла запису знака, другі входи яких з'єднані з виходами відповідно другого і третього елементів I вузла підсумовування за модулем два, входи елемента АБО вузла запису знака підключені до виходів першого і другого елементів I вузла запису знака, а вихід підключений до входу знакового розряду третього регістра зсуву, вхід керування зсувом якого з'єднаний з другим входом синхронізації пристрою, вхід керування суматора підключений до другого входу синхронізації пристрою, який відрізняється

тим, що в нього введено вузол аналізу, який містить перший та другий елементи  $I$  і перший та другий  $D$ -тригери, причому перші входи елементів  $I$  з'єднані з першим і другим входами вузла аналізу відповідно, які підключені до першого і другого входів вузла підсумовування за модулем два, другі входи елементів  $I$  з'єднані з третім входом вузла аналізу, який підключений до інформаційного входу третього регістра зсуву, а їх інверсні входи підключені до четвертого входу вузла аналізу, який з'єднаний з виходом ознаки нуля третього регістра зсуву, крім того, у вузлі аналізу вихід першого елемента  $I$  з'єднаний з  $D$ -входом першого  $D$ -тригера, вихід другого елемента  $I$  з'єднаний з  $D$ -входом другого  $D$ -тригера, прямий вихід першого  $D$ -тригера є виходом логічної ознаки ( $>$ ) пристрою, прямий вихід другого  $D$ -тригера є виходом логічної ознаки ( $<$ ) пристрою, а вихід логічної ознаки ( $=$ ) пристрою з'єднаний з інверсними входами першого і другого елементів  $I$  вузла аналізу, установний вхід пристрою підключений до входів скиду першого і другого  $D$ -тригерів вузла аналізу, а також до установних входів трьох регістрів зсуву і суматора, третій вхід синхронізації пристрою з'єднаний з входом запису першого регістра зсуву і суматора, четвертий вхід синхронізації пристрою з'єднаний з входом запису другого регістра зсуву, а п'ятий вхід синхронізації пристрою з'єднаний з входами тактових імпульсів трьох регістрів зсуву і суматора.

Недоліком цього пристрою є мала швидкість та обмеженість функціонування порівняно із запропонованим.

Поставлена задача запропонованого пристрою вирішується за рахунок того, що у пристрій для складання, який містить накопичувальний суматор 4,  $n$  блоків 2 віднімання ( $n$  - кількість уже доданих чисел), помножувач 3 та блок 1 виділення найменшого ненульового числа. Додатково в пристрій введений від'ємник 5, перша і друга групи входів якого сполучені з виходами ознаки ненульової різниці блоків віднімання, до установчих входів, де підключені входи доданих чисел пристрою, що мають відповідно позитивні і від'ємні знаки, інформаційні виходи від'ємника підключені до входів другого операнда помножувача, а знаковий вихід - до входу знакового розряду накопичувального суматора, вихід знакового розряду якого з'єднаний з знаковим виходом пристрою (креслення, табл.).

На кресленні представлена структурна схема пристрою для складання.

Пристрій містить блок 1 виділення найменшого ненульового числа,  $n$  блоків 2 віднімання ( $n$  - кількість доданих чисел), помножувач 3, що накопичує суматор 4 і від'ємник 5. Установчі входи 6 блоків 2 з'єднані з входами 7 відповідних доданих чисел пристрою, виходи 8 інформаційних розрядів суматора 4 з'єднані з відповідними інформаційними виходами пристрою, вхід 10 синхронізації пристрою підключений до входу 11 синхронізації суматора 4 і входів 12 синхронізації блоків 2, вихід 13 блоку 1 з'єднаний із входом 14 першого операнда помножувача 3 і з входами 15 від'ємника блоків 2, виходи 16 різниці блоків 2 підключені до входів 17 зменшуваного тих же

блоків 2 і до входів блоку  $U$  виходи 18 помножувача 3 з'єднані з входами 19 інформаційних розрядів суматора 4, входи 20 першої групи і входи 21 другої групи від'ємника 5 з'єднані з виходами 22 ознаки ненульової різниці блоків 2, до установочних входів 6 яких підключені входи  $7_1-7_k$ ,  $7_{k+1}-7_n$  доданих чисел, що мають відповідно позитивні і від'ємні знаки ( $1 \leq k \leq n$ ), інформаційні виходи 23 від'ємник 5 під'єднані до входів 24 другого операнда помножувача 3, знаковий вихід 25 від'ємника 5 підключений до входу 26 знакового розряду суматора 4, вихід 27 знакового розряду суматора 4 з'єднаний із знаковим виходом пристрою.

Пристрій працює наступним чином. На входи  $7_1, \dots, 1_k$  пристрою подаються  $k$  позитивних доданих чисел, а на входи  $7_{k+1}, \dots, 7_n-(n-k)$  негативних доданих чисел, причому, негативні числа на входах  $7_{k+1}, \dots, 7_n$  представлені у вигляді позитивних, тобто, по модулю.

На початку операції складання на блоках  $2_1, \dots, 2_n$  від кожного вихідного числа віднімається нуль, що подається з виходу блоку 1. На виходах блоків  $2_1, \dots, 2_n$  виходять різниці чисел, в даному випадку вихідні числа, паралельно впливають по виходах блоку 1 виділення найменшого ненульового числа, на виході 13 якого виділяється найменше число з значущих вихідних чисел, що впливають на вхід 14 помножувача 3. При цьому на виходах 22 кожного з блоків 2 виробляється сигнал наявності різниці і значення різниці чисел на виходах 16. Якщо різниця чисел на виходах 16 блоків 2 є, то на їх виходах 22 виробляється сигнал, причому сигнали на виходах 22 блоків 2 вираховування надходять на входи 20 і 21 від'ємника 5.

Від'ємник 5 формує на виходах 23 кратність різниці між кратностями позитивних і від'ємних чисел, присутніх на її входах 20 і 21, сигнал якої впливає на входи 24 помножувача 3. Сигнал про те, чи є ця кратність від'ємною (від'ємних чисел більше) або позитивною (позитивних чисел більше), з виходу 25 від'ємника 5 подається на вхід 26 нагромаджуючого суматора 4. На вхід 14 помножувача 3 впливає сигнал з виходу 13 блоку 1. Отримана таким чином робота записується і накопичує суматор 4. При цьому під час запису на вхід 10 синхронізації є сигнал, що надходить на входи 12 блоків 2, що забороняє операцію віднімання у блоках 2.

Після того як запис завершений, на вхід 10 синхронізації знімається сигнал (немає його і на входах 12 блоків 2), що приводить до нового циклу вирахувань сигналів на входах 17 і 15 блоків 2. Зазначений процес складання чисел проходить аналогічно.

У блоці 1, на входи якої надходять сигнали з виходів 16, виділяється найменше число, відповідний сигнал якого надходить на входи 15 блоків 2.

Таким чином, у блоках 2 по входах 17 і 15 відбувається віднімання сигналів найменшого числа і відповідних сигналів різниць. З виходів 16 блоків 2 знімаються сигнали нових різниць, а сигнал на їх виходах 22 говорить про наявність цих різниць на виходах 16.

Сигнали з виходів 22 блоків  $2_1, 2_2, \dots, 2_n$  впливають по входах 20 від'ємника 5, а сигнали з виходів 22 блоків  $2_{k+1}, 2_{k+2}, \dots, 2_n$  впливають по входах 21 від'ємника 5. З виходів 23 від'ємника 5 знімаються сигнали різниці між кількістю сигналів на перших входах 20 і 21, які впливають по входах 24 помножувача 3, на вхід 14 якого впливає сигнал з виходу 13 блоку 1. З виходу 25 від'ємника 5 знімається сигнал про те, чи є різниця позитивною або від'ємною, і подається на вхід 26 нагромаджуючого суматора 4. У суматорі 4 починається процес підсумування до попереднього проміжного результату. При цьому на початку операції складання на входах 12 синхронізації блоків 2 виробляється сигнал, що забороняє операцію вирахування сигналів по входах 17 і 15, який знімається, коли процес підсумування чергового проміжного результату закінчується.

Якщо в суматорі 4 знаходилося позитивне число, а в наступний момент з виходу 25

від'ємника 5 на вхід 26 суматора 4 надійшов сигнал про те, що від'ємних чисел більше, то з числа, яке знаходиться в суматорі 4, віднімається число, яке надходить в даний момент з виходів 18 помножувача 3 на входи 19 нагромаджуючого суматора 4.

Таким чином, в суматорі 4 формується число шляхом послідовного підсумовування або віднімання проміжних результатів порівняння і подається на виходи 3 остаточний результат складання. Вихід пристрою несе інформацію про знак отриманого числа в результаті складання.

Додавання значень чисел 11, 3, 5, 8, 15, 6, 9, 17, 2 та 11 відображено в таблиці.

Структура схеми пропонованого пристрою універсальна: може бути використана як при роботі з цифровими кодами, так і при роботі з сигналами, заданими, наприклад, значеннями тривалості імпульсів, тобто в аналогічній формі.

Таблиця

Такти	Значення на входах 15 або 17 блоків 2		Значення на виході 13 блоку 1	Значення на виходах 16 блоків 2	Значення на виходах 23 від'ємника 5	Значення на виходах 18 помножувача 3	Значення на виходах 27 і 8 суматора 4	
1	11, 3, 5, 8, 15	-6, -9, -17, -2, -11	0	11, 3, 5, 8, 15	-6, -9, -17, -2, -11	0	$2*0=0$	0
	11, 3, 5, 8, 15	-6, -29, -17, -2, -11	2	11, 3, 5, 8, 15	-6, -9, -17, -2, -11	0		0
2	11, 3, 5, 8, 15	-6, -9, -17, -2, -11	2	9, 1, 3, 6, 13	-4, -7, -15, -0, -9	1	0	0
	9, 1, 3, 6, 13	-4, -7, -15, 0, -9	1	9, 1, 3, 6, 13	-4, -7, -15, -0, -9	1	$1*1=1$	$0+1=1$
3	9, 1, 3, 6, 13	-4, -7, -15, 0, -9	1	8, 0, 2, 5, 12	-3, -6, -14, -0, -8	0	1	1
	8, 0, 2, 5, 12	-3, -6, -14, 0, -8	2	8, 0, 2, 5, 12	-3, -6, -14, -0, -8	0	$2*0=0$	$1+0=1$
4	8, 0, 2, 5, 12	-3, -6, -14, 0, -8	2	6, 0, 0, 3, 10	-1, -4, -12, 0, -6	-1	0	1
	6, 0, 0, 3, 10	-1, -4, -12, 0, -6	1	6, 0, 0, 3, 10	-1, -4, -12, 0, -6	-1	$1*1=0$	$1-1=0$
5	6, 0, 0, 3, 10	-1, -4, -12, 0, -6	1	5, 0, 0, 2, 0	0, -3, -11, 0, -5	0	1	0
	5, 0, 0, 2, 9	0, -3, -11, 0, -5	2	5, 0, 0, 2, 9	0, -3, -11, 0, -5	0	$2*0=0$	$0+0=0$
6	5, 0, 0, 2, 9	0, -3, -11, 0, -5	2	3, 0, 0, 0, 7	0, -1, -9, 0, -3	-1	0	0
	3, 0, 0, 0, 7	0, -1, -9, 0, -3	1	3, 0, 0, 0, 7	0, -1, -9, -0, -3	-1	$1*1=0$	$0-1=1$
7	3, 0, 0, 0, 7	0, -1, -9, 0, -3	1	2, 0, 0, 0, 6	0, 0, -8, 0, -2	0	1	1
	2, 0, 0, 0, 6	0, 0, -8, 0, -2	2	2, 0, 0, 0, 6	0, 0, -8, 0, -2	0	$2*0=0$	$-1+0=-1$
8	2, 0, 0, 0, 6	0, 0, -8, 0, -2	2	0, 0, 0, 0, 4	0, 0, -6, 0, 0	0	0	-1
	0, 0, 0, 0, 4	0, 0, -6, 0, 0	4	0, 0, 0, 0, 4	0, 0, -6, 0, 0	0	$4*0=0$	$-1+0=-1$
9	0, 0, 0, 0, 4	0, 0, -6, 0, 0	4	0, 0, 0, 0, 0	0, 0, -2, 0, 0	-1	0	-1
	0, 0, 0, 0, 0	0, 0, -2, 0, 0	2	0, 0, 0, 0, 0	0, 0, -2, 0, 0	-1	$2*1=0$	$-1-2=3$

