



УКРАЇНА

(19) UA (11) 52716 (13) C2

(51) 7 H02M3/07, G11C5/14,16/06

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ НА ВИНАХІД

(54) СХЕМА ДЛЯ ГЕНЕРУВАННЯ НЕГАТИВНИХ НАПРУГ І ГЕНЕРАТОР НАКАЧУВАННЯ ЗАРЯДІВ ДЛЯ ГЕНЕРУВАННЯ НЕГАТИВНИХ НАПРУГ

1

(21) 99074266  
(22) 23 09 1997  
(24) 15 01 2003  
(86) PCT/DE97/02154, 23 09 1997  
(31) 197 02 535 8  
(32) 24 01 1997  
(33) DE  
(46) 15 01 2003, Бюл. №1, 2003р  
(72) Блох Мартін, DE, Лаутербах Хрістл, DE  
(73) Сіменс акцієнгезельшафт, DE  
(56) DE 19601369 C1 10 04 97 EP 0616 329 A 21 09 94 US 5 612 921 A 18 03 97  
(57) 1 Схема для генерування негативних напруг, що містить перший транзистор (Tx2), перший вивід якого з'єднаний із вхідним виводом (E), а другий вивід якого з'єднаний із вихідним виводом (A) схеми, і вивід затвора якого через перший конденсатор (Cb2) з'єднаний із першим виводом тактового сигналу, другий транзистор (Ty2), перший вивід якого з'єднаний із виводом затвора першого транзистора (Tx2), другий вивід якого з'єднаний із другим виводом першого транзистора (Tx2), і вивід затвора якого з'єднаний із першим виводом першого транзистора (Tx2), і другий конденсатор (Cr2), перший вивід якого з'єднаний із другим виводом першого транзистора (Tx2), а другий вивід якого з'єднаний із другим виводом тактового сигналу, причому транзистори (Tx2, Ty2) є МОП-транзисторами, виконаними за технологією потрійної кишені, яка відрізняється тим, що вона містить третій транзистор (Tz2), перший вивід якого з'єднаний із другим виводом першого транзистора (Tx2), другий вивід третього транзистора (Tz2) з'єднаний із кишенею/кишенями (Kw), яка(які) містить(ять) транзистори (Tx2, Ty2, Tz2), а вивід

2

затвора третього транзистора (Tz2) з'єднаний із першим виводом першого транзистора (Tx2)

2 Схема за пунктом 1, яка відрізняється тим, що вона містить четвертий транзистор (Tza2), перший вивід якого з'єднаний із першим виводом першого транзистора (Tx2), другий вивід четвертого транзистора (Tza2) з'єднаний із кишенею/кишенями, яка(які) містить(ять) транзистори (Tx2, Ty2, Tza2, Tzb2), а вивід затвора четвертого транзистора (Tza2) з'єднаний із другим виводом першого транзистора (Tx2)

3 Схема за пунктом 1, яка відрізняється тим, що вона містить третій конденсатор (C3), перший вивід якого з'єднаний із першим виводом першого транзистора (Tx2), а другий вивід третього конденсатора (C3) з'єднаний із кишенею/кишенями (Kw), яка(які) містить(ять) транзистори (Tx2, Ty2, Tz2)

4 Генератор накачування зарядів для генерування негативних напруг, що містить послідовно з'єднані щонайменше дві схеми для генерування негативних напруг, який відрізняється тим, що схеми для генерування негативних напруг виконані за будь-яким із пунктів 1 - 3, причому вхідний вивід першої із цих схем з'єднаний із потенціалом маси, а тактові сигнали (F1, F2 або F3, F4) на виводах для тактових сигналів однієї схеми для генерування негативних напруг зміщені на половину тривалості періоду відносно тактових сигналів (F3, F4 або F1, F2) на виводах попередньої схеми для генерування негативних напруг

5 Генератор накачування зарядів за пунктом 4, який відрізняється тим, що коефіцієнт заповнення періоду імпульсів щонайменше тактових сигналів (F2, F4) на других виводах для тактових сигналів більший ніж 0,5

Винахід стосується схеми для генерування негативних напруг, що містить перший транзистор, перший вивід якого з'єднаний із вхідним виводом схеми і другий вивід якого з'єднаний із вихідним виводом схеми і вивід затвора якого з'єднаний через перший конденсатор із першим виводом тактового сигналу, другий транзистор, перший ви-

від якого з'єднаний із виводом затвора першого транзистора, другий вивід якого з'єднаний із другим виводом першого транзистора і вивід затвора якого з'єднаний із першим виводом першого транзистора і другий конденсатор, перший вивід якого з'єднаний із другим виводом першого транзистора, а другий вивід якого з'єднаний із другим виводом

(19) UA (11) 52716 (13) C2

тактового сигналу, причому транзистори є МОН-транзисторами, виконаними, щонайменше, в одній потрійній кишень (Triple Well)

Із відомих аналогічних пристроїв найближчим за технічною суттю є пристрій, описаний у патенті DE 196 01 369 C1 (МПК<sup>8</sup> H01L 23/58, дата публікації 10 04 1997) В ньому транзистори реалізовані у вигляді п-канальних транзисторів у р-кишені, р-кишеня зі свого боку виконана у глибокій ізолюючій п-кишені, розміщеній в р-підложці

У принципі схема може бути реалізована таким чином також із р-канальними МОН-транзисторами в п-підложці

Глибока п-кишеня з'єднана, також як і р-підложка з потенціалом маси Якщо тепер до п-кишені прикладають більш негативну напругу зміщення, ніж сама негативна напруга або на виводі стоку або на виводі витоку першого транзистора, в усталеному стані схеми через паразитні біполярні транзистори кишень - підложка не може протікати ніякий струм витікання Так, наприклад, рп-транзистор утворюється  $p^+$ -ділянкою стоку п-МОН-транзистора, який служить у якості емітера, р-кишенею, яка утворює базу, і п-кишенею, яка утворює колектор Якщо потенціал кишень є більш позитивним, ніж ділянка стоку п-МОН-транзистора, паразитний рп-транзистор буде проводити і робити негативний вплив на ефективність генератора накачування зарядів

Принцип відомої, працюючої в якості генератора накачування зарядів схеми ґрунтується на тому, що заряди від конденсатора, який з'єднаний із виводом стоку першого транзистора, "накачують" до конденсатора, який з'єднаний із його виводом витоку, за рахунок того, що поперемінно прикладають напругу до відповідно наступних конденсаторних виводів Якщо одну за одною включають N таких схем, вхід першої схеми і наступний вивід з'єднаного з виходом конденсатора з'єднані з виводом маси, то теоретично може бути досягнута вихідна напруга  $(N - 1)U_d$ , причому  $U_d$  є напругою на виводах тактового сигналу

Процес заряду є динамічним процесом, при якому напруги на виводах витоку і стоку першого транзистора схеми постійно змінюються, так що регулярно включається паразитний біполярний транзистор

Для вирішення цієї проблеми DE 196 01 369 C1 пропонує з'єднувати кишень, у яких розташовані транзистори, із відповідними виводами витоків транзисторів, так як там в усталеному стані прикладена відповідно найнегативніша напруга Це припущення однак, справедливо в дійсності тільки для статичного кінцевого стану схеми генератора накачування зарядів, яке на практиці ніколи не настає, так як від генератора накачування зарядів постійно відбирається заряд за рахунок навантаження

Уже при включенні у випадку відомої схеми кишень буде перебувати при відповідному напрузі тактового сигналу більш високому потенціалі, ніж вивід стоку, і тим самим буде включатися паразитний біполярний транзистор, який призводить до значної втрати ефективності, так як за рахунок цього генератор накачування зарядів, з одного боку, не досягає теоретично максимально можли-

вої вихідної напруги і, з іншого боку, приймає вихідну напругу, яка підлягає досягненню, значно повільніше

В основу винаходу покладена задача розробки схеми і генератора для генерування негативних напруг із більш високою ефективністю

Згідно з винаходом ця задача вирішена у схемі для генерування негативних напруг, що містить перший транзистор, перший вивід якого з'єднаний із вхідним виводом схеми і другий вивід якого з'єднаний із вихідним виводом схеми і вивід затвора якого з'єднаний через перший конденсатор із першим виводом тактового сигналу, другий транзистор, перший вивід якого з'єднаний із виводом затвора першого транзистора, другий вивід якого з'єднаний із другим виводом першого транзистора і вивід затвора якого з'єднаний із першим виводом першого транзистора і другий конденсатор, перший вивід якого з'єднаний із другим виводом першого транзистора, а другий вивід якого з'єднаний із другим виводом тактового сигналу причому транзистори є МОН-транзисторами, виконаними, щонайменше, в одній потрійній кишень (Triple Well) шляхом введення третього транзистора, який з'єднує кишень із виводом витоку першого (зарядного) транзистора тільки тоді, коли потенціал на виводі витоку є більш негативним, ніж потенціал на виводі стоку першого транзистора, створюються умови, що конденсатор, який утворюється за рахунок запираючого рп-переходу між обома кишень, заряджається до потенціалу витоку і підтримує кишень досить довго на цьому потенціалі, навіть якщо третій транзистор знову запирається, оскільки потенціал виводу стоку першого транзистора стає більш негативним, ніж його потенціал

У подальшій формі виконання винаходу передбачений четвертий транзистор, який з'єднує кишень із виводом стоку першого транзистора, якщо потенціал виводу стоку є більш негативним, ніж потенціал виводу витоку першого транзистора У цій формі виконання утворений кишень конденсатор таким чином завжди заряджається до більш негативного потенціалу так, що статичні стани, у яких позитивний потенціал кишень є більшій, ніж потенціал одного із виводів першого транзистора, не можуть наступати і таким чином паразитний біполярний транзистор стає провідним

Подальша переважна форма виконання винаходу передбачає під'єднання додаткового конденсатора між виводом стоку першого транзистора і кишень Цей конденсатор заряджається під час фази включення третього конденсатора, також як і утворений кишень конденсатор, до потенціалу виводу витоку і включається у фазі замикання третього транзистора послідовно з утвореним кишень конденсатором так, що при зниженні потенціалу виводу стоку напруга на утвореному кишень конденсаторі зростає до негативних значень Тому кишень є більш негативною, ніж це було б можливо за рахунок чистого заряду через вивід витоку першого транзистора

Шляхом послідовного з'єднання кількох відповідних винаходів схем можна одержати генератор накачування зарядів, яким можна генерувати напруги -12В або навіть -20В, необхідні, наприклад, для програмування і/або стирання енергонезале-

жних запам'ятовуючих пристроїв, зокрема, швидких СППЗП(програмованих ПЗП з електричним стиранням) при напругах живлення мікросхем тільки 2,5В

У такому генераторі накачування зарядів на непарні схеми подають перший і другий тактові сигнали, а на парні схеми подають третій і четвертий тактові сигнали, які мають такі ж характеристики, що і перший і другий тактові сигнали, однак, зміщені на половину періоду. У переважній формі подальшого вдосконалення тактові сигнали на другому виводі тактового сигналу схем мають шпаруватість імпульсів більшу, ніж 0,5 так що другі і четверті тактові сигнали накладаються один на одного. За рахунок цього перші транзистори попередньо заряджаються, що приводить до підвищення ефективності.

Винахід пояснюється в наступному більш докладно на прикладі виконання за допомогою креслень, на яких показано

Фігура 1 детальна блок - схема відповідної винаходу схеми,

Фігура 2 принципове представлення реалізації такої схеми в р-підложці за технологією потрійної кишені(Triple Well),

Фігура 3 перша форма виконання генератора накачування зарядів,

Фігура 4 друга форма виконання генератора накачування зарядів,

Фігура 5 третя форма виконання генератора накачування зарядів, і

Фігура 6 часова характеристика тактових сигналів

Відповідно до Фігури 1 у відповідній винаходу схемі, яку можна розглядати як каскад багатокаскадного генератора накачування зарядів для генерування негативної напруги, між вхідним виводом Е і вихідним виводом А включений перший n-MON-транзистор Тх2

Як подано на Фігурі 2, перший транзистор Тх2 виконаний у р-кишені, розташований, із свого боку, у глибокій ізолюючій n-кишені. Ця глибока n-кишеня виконана у р-підложці. Як n-кишеня, так і р-підложка під'єднані до маси.

Вивід затвора першого транзистора Тх2 через перший конденсатор Сб2 з'єднаний із першим виводом тактового сигналу, до якого може прикладатися перший тактовий сигнал F1. Вивід витоку першого транзистора Тх2 з'єднаний із першим виводом другого конденсатора Ср2, другий вивід якого зв'язаний із другим виводом тактового сигналу, до якого може прикладатися другий тактовий сигнал F2.

Вхідний вивід Е схеми може бути з'єднаний із вихідним виводом наступної подібної схеми, як це докладно подано на Фігурі 3, і намічено на Фігурі 1 шляхом другого конденсатора Ср1 цієї наступної схеми.

Як подано на Фігурі 6, другий і четвертий тактові сигнали F2, F4 мають таку ж часову характеристику, однак зміщені відносно один одного на половину тривалості періоду. За рахунок цієї попереминої подачі позитивної напруги на другий і четвертий виводи тактового сигналу заряди від другого конденсатора Ср1 наступної або, відповідно, попередньої схеми ланцюжка схем відповідно

до Фігури 3 "накачуються" до другого конденсатора Ср2 наступної, поданої на Фігурі 1, схеми через перший транзистор Тх2. Вивід його затвора під час фази накачування за рахунок першого тактового сигналу F1, часова характеристика якого також подана на Фігурі 6, підтягується до позитивного відносно виводу витоку першого транзистора Тх2 потенціалу, так що він проводить. Переважним чином тактові сигнали F2 і F4 трохи перекриваються, так що перший транзистор попередньо заряджається доти, поки він не включається першим тактовим сигналом F1 у провідний стан.

За рахунок накачування зарядів до другого конденсатора Ср2 він заряджається і після відключення другого тактового сигналу F2 вихідний вивід А або, відповідно, зв'язаний із ним вивід витоку першого транзистора Тх2 стає негативним. Таким чином вивід витоку став би більш негативним, ніж вивід затвора першого транзистора Тх2, за рахунок чого він би не замикався і другий конденсатор Ср2 міг би знову розряджатися. Тому між виводом затвора і виводом витоку першого транзистора Тх2 включений другий транзистор Ту2, вивід затвора якого зв'язаний із виводом стоку першого транзистора Тх2. За рахунок цього другого транзистора Ту2 також вивід затвора першого транзистора Тх2 доводиться до потенціалу виводу витоку першого транзистора Тх2 так, що він запирається.

Щоб перешкодити розряду другого конденсатора Ср2 через другий транзистор Ту2 і перший вивід тактового сигналу, передбачений перший конденсатор Сб2.

Відповідно до винаходу між виводом витоку першого транзистора Тх2 і виводом кишені Кw, у якій виконаний транзистор Тх2, включений третій n-MON-транзистор Тz2, вивід затвора якого також зв'язаний із виводом стоку першого транзистора Тх2.

Як можна зрозуміти з Фігури 2, другий і третій транзистори Ту2, Тz2 також розташовані в р-кишені, у якій виконаний перший транзистор Тх2. Як намічено штриховими лініями, вони можуть бути виконані також у власних кишенях, причому кишені переважним чином з'єднані один з одним провідниками.

За рахунок третього транзистора Тz2 кишеня, позначена на Фігурі 1 вузлом Кw, утримується на негативному потенціалі так, що рп-перехід між р-кишенею і n-кишенею зміщений у напрямку запирання і не може текти ніякий струм витоку. За рахунок третього транзистора Тz2 крім того заряджається конденсатор Сw кишеня — кишеня - запиірний шар так, що р-кишеня також при запиранні третього транзистора Тz2 утримується на негативному потенціалі.

На Фігурі 2 крім того поданий паразитний рп-транзистор Тр, який утворений p<sup>+</sup>-ділянкою стоку першого транзистора Тх2, р-кишенею, а також n-кишенею. Цей паразитний транзистор Тр показаний також на Фігурі 1. Можна явно зрозуміти, що цей транзистор Тр став би провідним і привів би до струмів витоку, якби р-кишеня стала більш позитивною, ніж вивід стоку першого транзистора Тх2. Це однак ефективно запобігається за рахунок відповідного винаходу третього транзистора.

Як уже сказано, можна включати друг за дру-

гом декілька таких відповідних винаходу схем, щоб генерувати не тільки негативну напругу, але й у порівнянні з напругою живлення високу негативну напругу, яка, наприклад, потрібна для програмування і стирання швидких СППЗП.

На фігурі 3 один за одним включена кількість  $N$  таких схем відповідно до Фігури 1. Перші транзистори позначені  $Tx1 - TxN$ . Інші частини схеми позначені цифрами еквівалентним чином. На другий конденсатор  $Cp$   $n$ -ної схеми не подана напруга тактового сигналу, так як на ньому повинна зніматися висока негативна напруга. Таким генератором накачування зарядів, як він поданий на Фігурі 3, що складається з  $N$ -каскадів накачування, можна одержати напругу  $(N - 1) \cdot U_0$  якщо вхід першого каскаду накачування з'єднаний із корпусом і  $U_0$  є рівнем тактових сигналів. Тактові сигнали  $F1 - F4$  мають часові характеристики, які представлені на Фігурі 6. Тактові сигнали  $F3$  і  $F4$  мають таку ж часову характеристику, що і тактові сигнали  $F1$  і  $F2$ , однак зрушені на половину тривалості періоду.

На непарні каскади накачування генератора накачування зарядів відповідно до Фігури 3 подаються тактовий сигнал  $F3$  і  $F4$ , а на парні - тактові сигнали  $F1$  і  $F2$ .

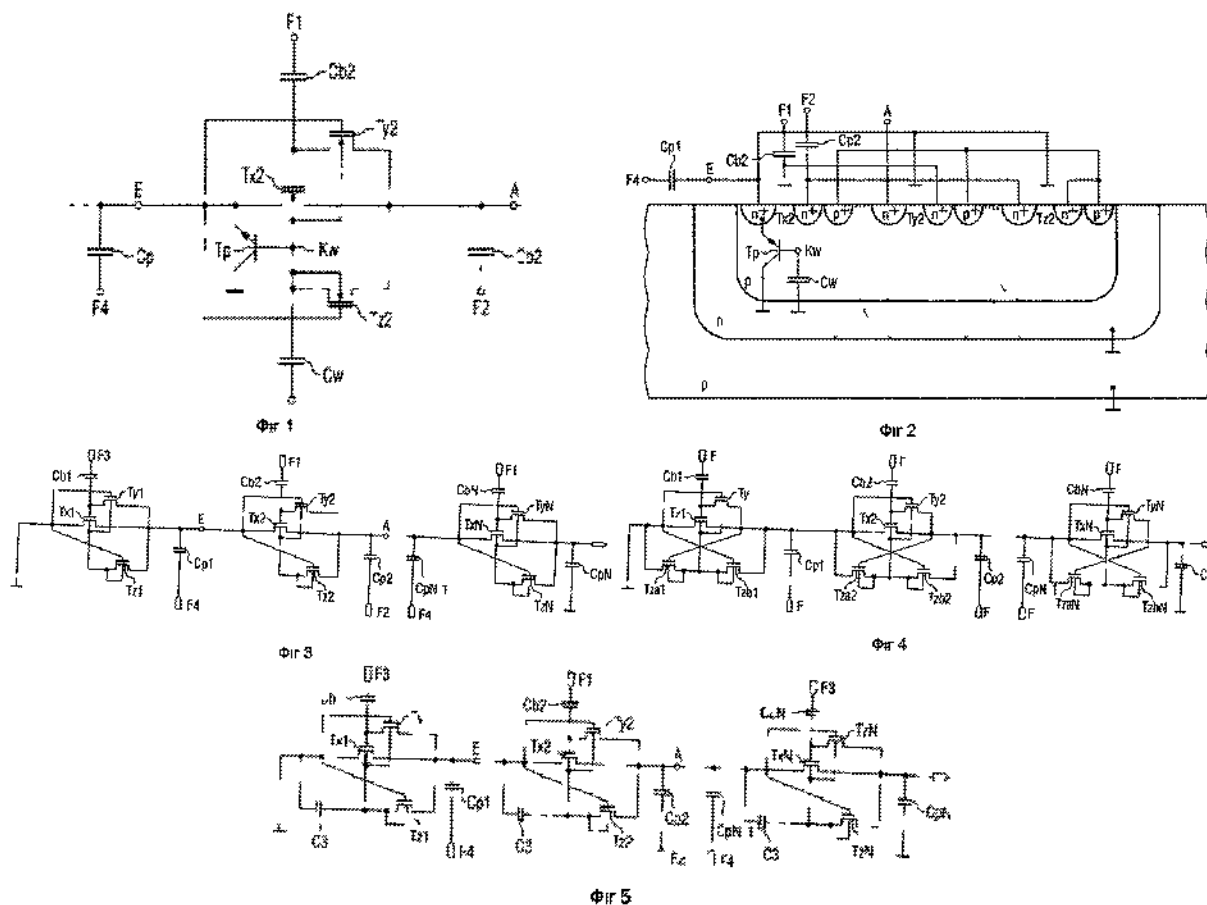
Фігура 4 показує наступну форму виконання винаходу. У випадку схем поданого там генератора накачування зарядів четверті  $n$ -МОП-транзистори  $Tza1 - TzaN$  розташовані між вивода-

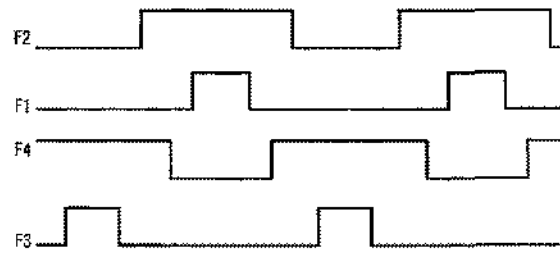
ми стоку перших транзисторів  $Tx1 - TxN$  і кишеньми. Виводи затвора четвертих транзисторів  $Tza1 - TzaN$  зв'язані відповідно з виводами витоків перших транзисторів  $Zx1 - ZxN$ . Треті транзистори позначені тут  $Tzb1 - TzbN$ .

Четверті транзистори  $Tza1 - TzaN$  служать для того, щоб також у випадку, коли на виводах стоку перших транзисторів  $Tx1 - TxN$  прикладений більш низький потенціал, ніж на їхніх виводах витоків, цей найнижчий потенціал переключався до кишень і кишень тим самим завжди перебували під найнижчим з обох потенціалів.

Замість четвертих транзисторів  $Tza1 - TzaN$  у переважній формі подальшого розвитку схеми відповідно до Фігури 1 або, відповідно, генератора накачування зарядів відповідно до Фігури 3 може бути включений третій конденсатор  $C3$  між виводами стоку перших транзисторів  $Tx1 - TxN$  і кишеньми  $Kw$ . Це подано на Фігурі 5. Третій конденсатор  $C3$  у з'єднанні з конденсаторами кишень - кишень  $Cw$  (які на Фігурі 5 у явному вигляді не представлені) приводять до подальшого падіння потенціалу кишень.

Подані на Фігурах 3 - 5 відповідні винаходи генератори накачування зарядів відрізняються більш високою ефективністю так, що також при малій напрузі живлення порядку 2,5В можуть досягатися вихідні напруги - 20В.





Фиг 6