



УКРАЇНА

(19) UA

(11) 45398

(13) C2

(51) 6 H04J3/06,3/07

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ НА ВІНАХІД(54) ПРИСТРІЙ ВІДНОВЛЕННЯ СИНХРОНІЗАЦІЇ ДЛЯ СИНХРОННОЇ ЦИФРОВОЇ ІЄРАРХІЧНОЇ СИСТЕМИ  
ПЕРЕДАЧІ ДАНИХ

1

2

(21) 97115363

(22) 03 05 1996

(24) 15 04 2002

(86) PCT/GB96/01071, 03 05 1996

(31) 9509216 9

(32) 05 05 1995

(33) GB

(46) 15 04 2002, Бюл. № 4, 2002 р

(72) Слатер Іан Джеймс, GB

(73) МАРКОНІ КОММУНІКЕЙШНС ЛІМІТЕД, GB

(56) Патент GB № 2257603 А, публікація  
13 01 1993 р

(57) 1 Пристрій відновлення синхронізації для синхронної цифрової ієрархічної (SDH) системи передачі даних, за допомогою якого треті сторони можуть використовувати SDH канал, що містить вхід для прийому мультимплексованого сигналу модуля синхронної передачі (STM), схему (20) відновлення синхронізації для відновлення синхронізуючого сигналу з STM сигналу, демультимплексор (21) для демультимплексування STM сигналу на множини сигналів підпорядкованих блоків (TU), процесор (25) показника для зчитування даних показника з TU сигналу, пристрій усунення вирівнювання бітів (28) для зчитування даних вирівнювання бітів з TU сигналу, буферний запам'ятовуючий пристрій (30) з монітором (34), причому у запам'ятовуючому пристрої (30) тимчасово зберігаються TU дані процесора, перш ніж вони будуть синхронізовані з відновленою частотою синхронізації, який відрізняється тим, що містить засіб фазового автопідстроювання частоти (32) для генерування сигналу відновленої синхронізації (31), причому засіб (32) включає в себе три входи підстроювання фази (ф1, ф2, ф3), які з'єднані з процесором показника, пристроєм усунення вирівнювання бітів (28) та монітором (34) запам'ятовуючого пристрою відповідно, причому використовуються тільки зчитані дані усунення вирівнювання бітів, зформовані пристроєм усунення вирівнювання бітів (28) (на вході ф2 підстроїлки фази) для змінення відновлюваного

синхронізуючого сигналу (23) і генерування сигналу відновленої синхронізації (31)

2 Пристрій відновлення синхронізації за п. 1, який відрізняється тим, що запам'ятовуючий пристрій (30) є "еластичним" запам'ятовуючим пристроєм, а вказані засоби (ф2, ф3, ф4) забезпечують перевірку умови недозаповнення чи переповнення запам'ятовуючого пристрою (30) для виконання підстроювання до сигналу відновленої синхронізації (31) так, щоб підтримати ємність запам'ятовуючого пристрою

3 Пристрій відновлення синхронізації за будь-яким з попередніх пунктів, який відрізняється тим, що відновлений сигнал синхронізації (31) модифікується у другому режимі (ф1, ф2), використовуючи дані вирівнювання бітів (28)

4 Пристрій відновлення синхронізації за будь-яким з попередніх пунктів, який відрізняється тим, що засіб (34) використовується в іншому режимі роботи (ф3) засобу фазового автопідстроювання частоти (32) для перевірки того, що запам'ятовуючий пристрій (30) заповнено приблизно наполовину та для налагодження швидкості передачі відновленого сигналу синхронізації так, щоб підтримати умову половинного заповнення

5 Пристрій відновлення синхронізації за будь-яким з попередніх пунктів, який відрізняється тим, що містить пристрій фазової автопідстроїлки частоти (32), який використовує як вхідний відновлюваний синхронізуючий сигнал (23), що видає сигнал відновленої синхронізації (31) на виході, та включає один чи більше додаткових входів (ф1, ф2, ф3) для налагодження частоти вихідного сигналу

6 Пристрій відновлення синхронізації за будь-яким з попередніх пунктів, який відрізняється тим, що ефект використання даних показника обнулюється шляхом модифікації відновленого сигналу двічі з використанням даних показника, що мають однакову амплітуду, але протилежну полярність

(13) C2

(11) 45398

(19) UA

Даний винахід відноситься до пристрою відновлення синхронізації для використання в синхронній цифровій ієрархічній (SDH) системі передачі даних. Зокрема, винахід стосується створення пристрою, за допомогою якого треті сторони, що бажають використовувати SDH лінію зв'язку, яка знаходиться під керуванням іншого оператора, можуть передавати сигнали власної синхронізації та іншу інформацію в такий мережі.

Синхронізація третьої сторони встановлюється, коли сигнали синхронізації, які повинні бути передані в сигнали основної швидкості передачі, походять від джерела, яке несинхронізоване із джерелом, що використовується для синхронізації SDH мережі. Тому синхронізація третьої сторони виявляється плезіохронною відносно до тактового сигналу широкополосного каналу передачі даних.

У SDH мережі сигнали основної частоти відображаються в модулі синхронної передачі (STM-N) з високою швидкістю передачі бітів в точці вводу мережі з використанням віртуальних накопичувачів (VC) та підпорядкованих блоків (TU), розмір і тип яких залежить від швидкості передачі даних підпорядкованих блоків об'єднуються разом в єдиний модуль синхронної передачі. У точці виділення модуль синхронної передачі демультимплексується і відображається назад в сигнали основної швидкості передачі. Однак, сигнали піддаються фазовим та частотним викривленням, що впливають на якість сигналу, який використовується для передачі синхронізуючої інформації. Ключовим компонентом у SDH системах, що використовується для зменшення цих викривлень, є так званий десинхронізатор або пристрій відновлення синхронізації.

Даний винахід спрямований на удосконалення системи, розкритої в заявці на патент Великобританії 9114841 1, опублікованої під № GB 2257603A 13 січня 1993.

Задача даного винаходу полягає в забезпеченні можливості третім сторонам, які використовують своє власне джерело синхронізації для основної швидкості передачі, передавати синхронізуючу інформацію по SDH мережі, яка використовується першою стороною. В даний час це неможливо і, як показано на фіг 1В згаданого вище документу, потребує окремого каналу для передачі цієї синхронізуючої інформації.

В згаданому вище документі для відновлення синхронізації використовуються як дані показчика, так і дані вирівнювання бітів, або ніякі з таких даних, причому синхронізація забезпечується на виході основної швидкості передачі в припущенні, що сигнал основної швидкості передачі синхронізований із широкополосним каналом передачі даних. Заявник виявив, що коли дані вирівнювання бітів використовуються без даних показчика, то SDH мережа може бути адаптована для передачі такої синхронізуючої інформації третьої сторони для надання окремого каналу.

Винахід пропонує пристрій відновлення синхронізації для синхронної цифрової ієрархічної (SDH) системи передачі даних, що забезпечує можливість третім сторонам використовувати SDH канал та містить вхід (5) для прийому мультимплек-

сованого сигналу модуля синхронної передачі, схеми (20) відновлення синхронізації для відновлення синхронізуючого сигналу із сигналу модуля синхронної передачі, демультимплексор (21) для демультимплексування сигналу модуля синхронної передачі на безліч сигналів підпорядкованих блоків, процесор показчика (25) для зчитування даних показчика із сигналу підпорядкованих блоків, пристрій усунення бітів вирівнювання (28) для зчитування даних вирівнювання бітів із сигналу підпорядкованих блоків, буферний запам'ятовуючий пристрій (30) з монітором (34) запам'ятовуючого пристрою. У вказаному запам'ятовуючому пристрої (30) тимчасово зберігаються дані процесора підпорядкованих блоків, до того, як вони будуть синхронізовані з відновленою частотою синхронізації, при чому вказаний пристрій відновлення синхронізації відрізняється тим, що має засіб (32) для генерування сигналу відновленої синхронізації (31), який містить в собі три входи підстройки фази (ф1, ф2, ф3), які з'єднані з процесором (25) показчика, пристроєм усунення бітів вирівнювання (28) та монітором запам'ятовуючого пристрою (34) відповідно, при цьому використовуються тільки зчитані дані усунення бітів вирівнювання, сформовані пристроєм усунення бітів вирівнювання (28) (на вході ф2 підстройки фази) для модифікації відновленого синхронізуючого сигналу (23) і генерування відновленого сигналу синхронізації (31).

Варіант здійснення винаходу буде описаний за допомогою приклада з посиланням на креслення, на яких показано наступне.

Фіг 1 - схематично показана SDN-мережа, яка може бути використана користувачем як третя сторона.

фіг 2 - блок-схема, що ілюструє пристрій відновлення синхронізації, який виконаний у відповідності до винаходу.

SDN-мережа (фіг 1) має джерело синхронізації 1 мережі, яке подає сигнал, наприклад, частотою 2 МГц, в пристрій обміну АТС-2. Пристрій обміну 2 подає сигнал із швидкістю 2Мбіт/сек на N сигнальних виходів 3 (зображено два), зв'язаних із SDH-мультимплексором 4. Мультимплексований STM-N сигнал потім передають по широкополосному SDH-каналу 5 в SDH-демультимплексор 6. Пристрій обміну 2 також приєднаний до SDH-мультимплексору 4 за допомогою лінії управління 7, яка синхронізує широкополосний SDH-канал 5 із частотою синхронізації 2МГц. У демультимплексорі 6 сигнал перетворюється назад у формат основної швидкості передачі 2Мбіт/сек та подається по лінії 8 до пристрою обміну 9. Лінія 10, відповідна до лінії 7, призначена для отримання синхронізуючої інформації із широкополосного каналу.

Додатково до цього, використовуючи пристрій відновлення синхронізації, який буде описаний, користувач третьої сторони може використовувати SDH-мережу для передачі синхронізуючої інформації та інших даних від приватної мережі 11. Джерело синхронізації 10 приватної мережі, яке не синхронізовано з джерелом синхронізації 1 мережі, передає синхронізуючі сигнали, тобто сигнали основної швидкості передачі 1544Мбіт/сек чи 2048Мбіт/сек по каналу 12 до SDH-

мультиплексора 4. Після демультимплексування синхронізуючі сигнали передаються по каналу 13 до приватної мережі 14. Можна бачити, порівнюючи фіг 1 з фіг 1b у вищезгаданій заявці на патент Великобританії, що синхронізуюча інформація від третьої сторони у пристрої, який передував даному винаходу, повинна була передаватися по окремому каналу.

На фіг 2 більш докладно зображено демультимплексор 6 разом з пристроєм десинхронізації чи пристроєм відновлення синхронізації. Мультиплексований STM-N сигнал спочатку подається на схему відновлення синхронізації 20, в якому так званий синхронізуючий сигнал "TU" подається на лінію 23. Після цього об'єднаний сигнал надходить на демультимплексор 21, де він поділяється на N сигналів низького порядку, позначених як дані TU-11 чи TU-12 в залежності від частоти проходження бітів сигналів основної швидкості (1 544 Мбіт/сек чи 2 048 Мбіт/сек відповідно). Кожний з N сигналів основної швидкості 22 потім надходить на пристрій відновлення синхронізації. Хоча зображено тільки один такий пристрій для одного демультимплексора, на практиці має існувати окремий пристрій для кожного з N каналів 22. Дані TU підпорядкованих блоків спочатку надходять на процесор 25 показника. Процесор показника є частиною засобів адаптації каналу високого порядку, і його функція полягає в інтерпретації різниць фаз та частот між сигналами синхронізації в точці входу та точці виходу SDH-мережі, які закодовані показником підпорядкованих блоків "Показники" більш детально описані у зазначеній вище заявці на патент Великобританії. По суті, кожний віртуальний накопичувач або VC сигнал має можливість знаходитися у об'єднаному потоці байтів, так що початкова точка віртуального накопичувача у спільному SDH-сигналі може змінюватися для кадрів, що йдуть один за одним. Значення показника встановлює початкову точку конкретного віртуального накопичувача. Процесор 25 показника, крім того, приймає сигнал дозволу по лінії 26, який функціонує як динамічний флаг для вказування, чи є дані у будь-якому конкретному SDH-сигналі істинними чи дійсними даними, чи відносяться до службових (непродуктивних) даних.

Після процесору показника отримані дані віртуального накопичувача передаються на пристрій усунення бітів вирівнювання 28, який утворює частину службових даних каналу низького порядку.

Бітове вирівнювання визначено стандартами МККТТ. По суті, дані вирівнювання бітів забезпечують засіб, який вказує, де у віртуальному накопичувачі знаходиться сигнал зі швидкістю передачі 2 Мбіт/сек. Наприклад, у точці входу до системи може бути більше даних графіка, ніж це може бути розміщено у байтовому просторі, призначеному для цієї мети. Будь-які дані переповнення можуть бути розміщені у додаткових байтах вирівнювання. Вирівнювання бітів використовується для отримання засобу вказування, що дані графіка розміщені у додаткових байтах вирівнювання, і що їх необхідно віднайти перш, ніж сигнал може бути надісланий на подальшу обробку. Після усунення бітів вирівнювання дані, що залишилися, подаються до "еластичного" запам'ятовуючого пристрою

30, в якому поглинаються тимчасові фазові перехідні процеси, зумовлені проміжками, викликаними виділенням службових (додаткових) байтів та байтів вирівнювання. Сигнал основної швидкості 29 з відновленою синхронізацією за допомогою засобу, який буде описаний, а потім зчитується з "еластичного" запам'ятовуючого пристрою по лініям 8 чи 13 (фіг 1).

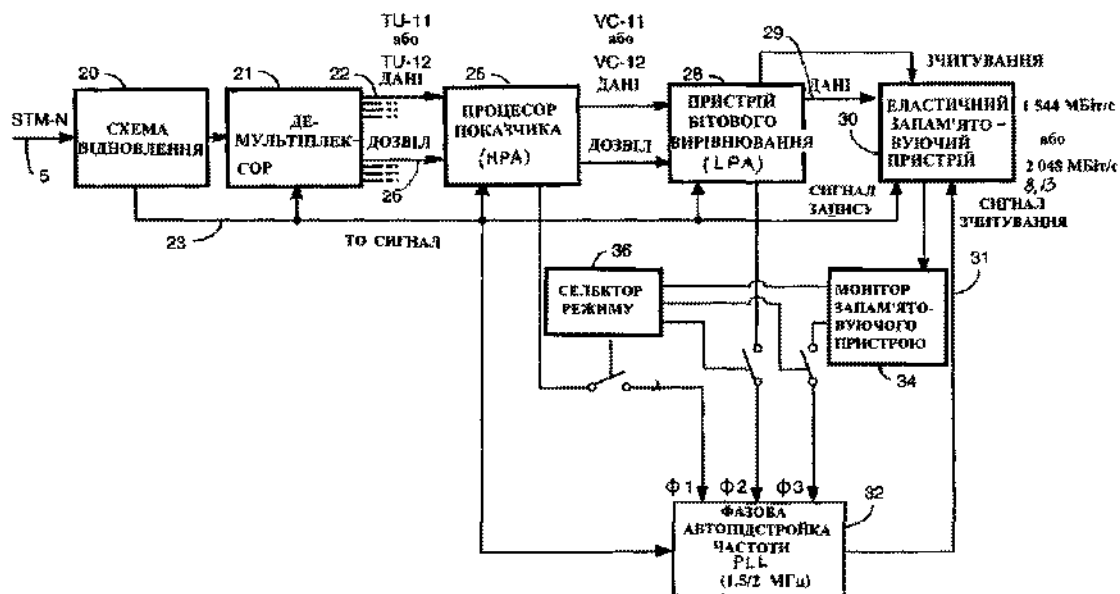
Схема фазової автопідстройки частоти (ФАПЧ) 32 отримує як вхідний опорний сигнал синхронізації Т0 широкополосного каналу, відновлений пристроєм 20 та видає модифікований сигнал синхронізації зчитування для використання у даних відновленої синхронізації з "еластичного" запам'ятовуючого пристрою 30. Сигнал синхронізації зчитування 31 може бути отриманий будь-яким з множини способів. Схема фазової автопідстройки частоти 32 має три входи підстройки фази ф1, ф2 та ф3. Вони з'єднані з процесором 25 показника, пристроєм усунення вирівнювання бітів 28 та монитором 34 запам'ятовуючого пристрою, відповідно. Вибір конкретної комбінації для використання регулюється через селектор режиму 36, який керує відповідними перемикачами для кожного з входів підстройки фази.

Робота схеми спочатку буде описана у нормальному режимі роботи, тобто без участі третьої сторони. У першому режимі вибирається вхід ф1, і монитор запам'ятовуючого пристрою 34 регулюється так, щоб гарантувати, що "еластичний" запам'ятовуючий пристрій залишиться напівзаповненим, так що швидкість даних, що видаються із запам'ятовуючого пристрою, дорівнювала швидкості, з якою вони поступають до запам'ятовуючого пристрою. Таким чином, синхронізуючий сигнал для основної швидкості передачі може бути відтворений точно.

У другому режимі обираються входи ф1 та ф2, а вхід ф3 блокується. У цьому режимі сигнал відновленої синхронізації широкополосного каналу на лінії 23 використовується безпосередньо з фазовим регулюванням, що здійснена процесором 25 показника та пристроєм усунення бітового вирівнювання 28.

Коли зазначена вище схема повинна бути використана для відновлення синхронізації основної швидкості для користувача третьої сторони, жоден з наведених вище режимів не може бути використаний. Робота вищезгаданого пристрою десинхронізації виконує регулювання показника підпорядкованих блоків, призводячи до фазового перехідного процесу, що приблизно дорівнює 3,5 мксек на один показник, на виході SDH мережі. При належній конструкції десинхронізатора буде мати місце обмеження швидкості "відходу" цієї фази за рахунок обмеження відповідного зсуву частоти пристрою ФАПЧ десинхронізатора. Це обмеження звичайно набуває фазової форми звуження смуги пропускання ФАПЧ, призводячи до близько розташованих налаштувань показника протилежної полярності, що взаємно компенсуються та не виявляють результативної дії на кінцевий вихідний сигнал. Однак, налаштування показника протилежної полярності, не розділені великим проміжком (більше, ніж постійна часу RC схеми ФАПЧ) не будуть взаємно скомпенсовані.





ФІГ.2

ДП «Український інститут промислової власності» (Укрпатент)

вул. Сим'ї Хохлових, 15, м. Київ, 04119, Україна

(044) 456 - 20 - 90

ТОВ «Міжнародний науковий комітет»

вул. Артема, 77, м. Київ, 04050, Україна

(044) 216 - 32 - 71