



УКРАЇНА

(19) UA (11) 34114 (13) A

(51) 6 G06G7/48

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДвидається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ МОДЕЛЮВАННЯ ІМОВІРНОСНОГО ГРАФА

(21) 99063073

(22) 03.06.1999

(24) 15.02.2001

(33) UA

(46) 15.02.2001, Бюл. № 1, 2001 р.

(72) Зеленков Олександр Аврамович

(73) Київський міжнародний університет цивільної авіації

(57) Пристрій для моделювання імовірнісного графа, який містить перший та другий генератори випадкових сигналів, лічильник, індикатор, першу та другу схеми І, що відрізняється тим, що в нього додатково введені перший, другий та третій постійні запам'ятовуючі пристрої (ПЗП), перша, друга та третя схеми порівняння, перший і другий елементи АБО, перший і другий регістри, формувач, перший та другий накопичуючі суматори, перший та другий блоки ділення, реверсивний лічильник, перший та другий блоки задання константи, причому вихід першого ПЗП підключений до першого входу першої схеми порівняння, другий вхід якої з'єднаний з виходом першого генератора випадкових сигналів, а перший вихід з'єднаний з першими входами першого елемента АБО і першої схеми І, другий вхід якої підключено до виходу другого ПЗП, другий вихід першої схеми порівняння підключено відповідно до других входів першого елемента АБО і другої схеми І, перший вхід якої з'єднаний з виходом третього ПЗП, адресний вхід якого з'єднаний з відповідними адресними входами першого та другого ПЗП, із входом формувача і підключений до виходу першого регістра, інформаційний вхід якого з'єднаний з першим входом другої схеми порівняння і з виходом другого елемента АБО, перший і другий входи якого підключені до виходів відповідно першої та другої схеми І, вхід скидання першого регістра з'єднаний із входами скидання лічильника, першого накопичуючого суматора, із входом підсумовування реверсивного лічильника і підключений до виходу другої схеми порівняння, другий вхід якої підключено до виходу першого блока задання константи, вихід першого елемента АБО з'єднаний із входом другого генератора випадкових сигналів, вихід якого підключений до інформаційного входу першого накопичуючого суматора, вихід якого з'єднаний з інформаційним входом другого регістра і з першим входом третьої схеми порівняння, другий вхід якої підключено до виходу другого блока задання константи, перший вихід з'єднаний із входом керування другого регістра, а другий вихід підключено до входу віднімання реверсивного лічильника і входу скидання другого регістра, вихід якого з'єднаний із входом другого, накопичуючого, суматора, вихід якого підключено до першого входу першого блока, ділення, другий вхід якого з'єднаний з першим входом другого блока ділення і підключений до виходу реверсивного лічильника, а вихід з'єднаний з першим входом індикатора, другий вхід якого з'єднаний з виходом другого блока ділення, другий вхід якого підключений до виходу лічильника.

Винахід відноситься до галузі автоматики та обчислювальної техніки і призначений для моделювання характеристик надійності відмовостійких обчислювальних систем.

Відомий пристрій для моделювання імовірнісного графа, що містить перший, другий та третій генератори випадкових сигналів, ключ, лічильник, два тригери, три елемента АБО, два елемента заборони, генератор сигналів, два елементи І, два блоки індикації, одновібратор, генератор вхідних сигналів [1]. Пристрій дозволяє моделювати процес функціонування складної системи, що подана у вигляді графа з урахуванням відмов і відновлень. Недоліком пристрою є те, що він не визначає

статистичних характеристик процесу автоматичного відновлення.

Відомий пристрій для моделювання імовірнісного графа, в якому для моделювання динаміки роботи операційних та логічних елементів з урахуванням їх відмов та відновлень використовуються елементарні комірки. Кількість комірок визначається відповідно до структури графа. Кожна комірка містить три генератори випадкових сигналів, які можуть регулюватися, ключ, лічильник, два тригери, елемент АБО, генератор імпульсів, схему заборони, елемент І та блок індикації [2]. Зміною частоти генератора встановлюються імовірності переходів із вершин графа. Недоліком такого пристрою є те, що він не визначає статистичні харак-

(19) UA (11) 34114 (13) A

теристики процесу автоматичного відновлення відмовостійких систем після виникнення відмов, а також те, що при створенні моделі навіть нескладних імовірнісних графів необхідно мати велику кількість комірок і, отже, велику кількість генераторів випадкових сигналів та інших елементів.

В основу винаходу поставлена задача вдосконалення пристрою для моделювання часових характеристик процесу автоматичного відновлення за допомогою імовірнісного графа, в якому за рахунок багаторазового проходження різних маршрутів графа підвищується точність визначення характеристик при одночасному спрощенні пристрою і розширенні його функціональних можливостей.

Поставлена задача вирішується тим, що до пристрою, який містить перший та другий генератори випадкових сигналів, лічильник, індикатор, першу та другу схеми І, відповідно до винаходу, додатково введені перший, другий та третій постійні запам'ятовуючі пристрої (ПЗП), перша, друга та третя схеми порівняння, перший і другий елементи АБО, перший і другий регістри, формувач, перший та другий накопичуючі суматори, перший та другий блоки ділення, реверсивний лічильник, перший та другий блоки задання константи, причому вихід першого ПЗП підключений до першого входу першої схеми порівняння, другий вхід якої з'єднаний з виходом першого генератора випадкових сигналів, а перший вихід з'єднаний з першими входами першого елемента АБО і першої схеми І, другий вхід якої підключено до виходу другого ПЗП, другий вихід першої схеми порівняння підключено відповідно до других входів першого елемента АБО і другої схеми І, перший вхід якої з'єднаний з виходом третього ПЗП, адресний вхід якого з'єднаний з відповідними адресними входами першого та другого ПЗП, із входом формувача і підключений до виходу першого регістра, інформаційний вхід якого з'єднаний з першим входом другої схеми порівняння і з виходом другого елемента АБО, перший і другий входи якого підключені до виходів відповідно першої та другої схеми І, вхід скидання першого регістра з'єднаний із входами скидання лічильника, першого накопичуючого суматора, із входом підсумовування реверсивного лічильника і підключений до виходу другої схеми порівняння, другий вхід якої підключено до виходу першого блока задання константи, вихід першого елемента АБО з'єднаний із входом другого і оператора випадкових сигналів, вихід якого підключений до інформаційного входу першого накопичуючого суматора, вихід якого з'єднаний з інформаційним входом другого регістра і з першим входом третьої схеми порівняння, другий вхід якої підключено до виходу другого блока задання константи, перший вихід з'єднаний із входом керування другого регістра, а другий вихід підключено до входу віднімання реверсивного лічильника і входу скидання другого регістра, вихід якого з'єднаний із входом другого накопичуючого суматора, вихід якого підключено до першого входу першого блока ділення, другий вхід якого з'єднаний з першим входом другого блока ділення і підключений до виходу реверсивного лічильника, а вихід з'єднаний з першим входом індикатора, другий вхід якого з'єднаний з виходом другого блока ділення, другий вхід якого підключений до виходу лічильника.

На фіг. 1 показано блок-схему пристрою, а на фіг. 2 - приклад імовірнісного графа.

Вихід першого регістра 1 з'єднаний з адресними входами відповідно першого 2, другого 3, третього 4 ПЗП і з входом формувача 5. Вихід першого ПЗП 2 з'єднаний з першим входом першої схеми порівняння 6, другий вхід якої підключено до виходу першого генератора випадкових сигналів 7, вхід якого підключений до виходу формувача 5. Перший і другий виходи першої схеми порівняння 6 підключені відповідно до першого і другого входів першої 8 і другої 9 схем І. Другий вхід першої схеми 18 підключений до виходу другого ПЗП 3, а перший вхід другої схеми 19 підключений до виходу третього ПЗП 4. Виходи першої 8 і другої 9 схем І підключені відповідно до першого і другого входів другого елемента АБО 10, вихід якого підключений до першого входу другої схеми порівняння 11 і інформаційного входу першого регістра 1, вхід скидання якого з'єднаний із входом лічильника 12, із входом підсумовування реверсивного лічильника 13, входом скидання першого накопичуючого суматора 14 і підключений до виходу другої схеми порівняння 11, другий вхід якої підключено до виходу першого блока задання константи 15. Вхід керування першого регістра 1 є входом пристрою. Перший і другий виходи першої схеми порівняння 6 підключені відповідно до першого і другого входів першого елемента АБО 16, вихід якого підключено до входу другого генератора випадкових сигналів 17, вихід якого підключено до інформаційного входу першого накопичуючого суматора 14. Вихід суматора 14 з'єднаний з інформаційним входом другого регістра 18 із першим входом третьої схеми порівняння 19, другий вхід якої підключено до виходу другого блока задання константи 20, а вихід підключений до входу віднімання реверсивного лічильника 13 і входу скидання другого регістра 18. Вихід другого регістра 18 підключено до входу другого накопичуючого суматора 21, вихід якого підключено до першого входу першого блока ділення 22, другий вхід якого з'єднаний з першим входом другого блока ділення 23 і підключено до виходу реверсивного лічильника 13. Другий вхід другого блока ділення 23 підключено до виходу лічильника 12, а вихід підключено до другого входу індикатора 24, перший вхід якого з'єднаний з виходом першого блока ділення 22.

Принцип роботи пристрою такий.

При відмові будь-якого елемента відмовостійкої обчислювальної системи відбувається його відновлення. Модель процесу відновлення задається імовірнісним графом, вершини якого відповідають можливим станам відмовостійкої системи. На фіг. 2 показаний один з можливих варіантів такого графа (деякі можливі зв'язки з метою спрощення не показані). Наприклад, стан Z_1 - виникнення помилки, Z_2 - помилка виявлена програмними засобами контролю, Z_3 - помилка виявлена апаратними засобами контролю, Z_5 - повторення операції, яка виконувалася, Z_6 - повторення успішне, тобто мав місце збій, наслідки якого при повторенні операції задану кількість разів зникли, і обчислювальний процес продовжується (перехід до стану Z_{23}), Z_7 - повторення операції не успішне, Z_8 - реконфігурація системи шляхом автоматичного підключення резервного елемента замість еле-

мента, який відмовив, Z_9 - відновлення інформації, Z_{10} - відновлення обчислювального процесу з контрольної точки, яка передувє моменту виникнення відмови і т.д.

Для визначення показників надійності, таких як середній час відновлення та імовірність відновлення за заданий час, використовується моделювання. Максимально допустимий час відновлення $\tau_{\text{в доп}}$ відомий. Відомі також імовірності переходів із тих вершин графа, які мають два виходи (імітація логічного елемента). Очевидно, що єдиний вихід операційного елемента (стан з єдиним виходом) активізується з імовірністю одиниця. Довжина дуги графа визначається часом між відповідними подіями (станами) в обчислювальній системі. Цей час є випадковим і при моделюванні реалізується відповідно до заданого закону розподілу.

Статистичні характеристики надійності визначаються після багаторазового проходження тих чи інших маршрутів імовірнісного графа. Кількість таких реалізацій визначає об'єм моделювання M . Якщо довжина маршруту виявиться більшою за $\tau_{\text{в доп}}$, то така реалізація вилучається при розрахунку середнього часу відновлення і імовірності відновлення, які визначаються такими виразами

$$P_g = \frac{N}{M}, \quad \tau_g = \frac{\sum_{i=1}^N \tau_{ig}}{N},$$

де N - кількість успішних реалізацій, а $\tau_{ig} < \tau_{\text{в доп}}$.

Блоки 1-11, що показані на фіг. 1, визначають ту чи іншу реалізацію маршруту на імовірнісному графі. Накопичуючий суматор 14 визначає час відновлення τ_{ig} i -го маршруту, а другий накопичуючий суматор 21 визначає сумарний час успішних відновлень. Реверсивний лічильник 13 фіксує кількість успішних відновлень N , а лічильник 12 фіксує об'єм моделювання M .

Генератор випадкових сигналів 7 формує реалізацію неперервної випадкової величини, яка має рівномірний розподіл на інтервалі (0,1). Другий генератор випадкових сигналів 17 формує реалізацію неперервної випадкової величини із заданим законом розподілу, які визначають випадковий час між сусідніми станами (вершинами графа).

В першому ПЗП 2 зберігаються значення імовірностей переходів у відповідності з послідовними номерами вершин графа. Наприклад, у першій комірці, яка відповідає вершині Z_1 (номер вершини - 1), записане число, яке дорівнює найменшому значенню імовірності переходу (p_{12} чи p_{13}), у другій комірці ПЗП 2 записане значення або p_{24} , або p_{25} , у четвертій комірці (відповідає четвертій вершині) записується одиниця і т.д.

У другому ПЗП 3 записується найменший номер вершини графа, яка пов'язана з поточною вершиною, а у другому ПЗП 3 записується номер другої вершини, що зв'язана з поточною (при відсутності такої вершини записується 0). Нехай, наприклад, на виході регістра 1 встановлено код поточної вершини Z_3 (три), а $p_{3,13} < p_{3,17}$. Тоді на виході першого ПЗП 2 буде значення $p_{3,16}$, на виході другого ПЗП 3 - номер 16, а на виході третього ПЗП 4 - номер 17, тобто номери вершин, які пов'язані з поточною вершиною під номером три.

Таким чином, в трьох ПЗП кодується конкретна реалізація імовірнісного графа. Для іншого графа ПЗП необхідно перепрограмувати.

Пристрій працює таким чином.

При надходженні сигналу запуску на вхід керування регістра 1 на його виході встановлюється код першої вершини графа Z_1 , (одиниця), який, надходячи на адресні входи усіх ПЗП, встановлює на їхніх виходах відповідно значення імовірності p_{12} (при умові, що $p_{12} < p_{13}$), код числа 2 (ПЗП 3) і код числа 3 (ПЗП 4). Крім того, сигнал з виходу регістра 1 за допомогою формувача 5 запускає перший генератор випадкових сигналів 7, на виході якого одержується випадкове число r_1 з інтервалу $[0, 1]$.

Якщо $r_1 \leq p_{12}$, то це значить, що у графі реалізувалась дуга, що відповідає імовірності переходу p_{12} . В іншому разі реалізується дуга p_{13} . Тоді для випадку $r_1 \leq p_{12}$ на першому виході першої схеми порівняння 6 з'являється сигнал, який дозволяє проходження коду номера другої вершини через першу схему 18. Сигнал на другому виході схеми порівняння блокує другу схему 19. На випадок $r_1 > p_{12}$ активізується другий вихід схеми порівняння 6. Крім того, сигнал з відповідного виходу схеми порівняння 6 через перший елемент АБО 16 надходить на вхід другого генератора випадкових сигналів 17, активізуючи на його виході випадкове число, яке дорівнює довжині дуги графа між станами Z_1 і Z_2 . Це число надходить до інформаційного входу першого накопичуючого суматора 14.

Далі код з виходу першої схеми 18 через другий елемент АБО 10 (на виході елемента АБО 10 утворюється код поточної вершини графа при проходженні маршруту) надходить до інформаційного входу першого регістра 1 і далі передається на адресні входи усіх ПЗП. На виході першого ПЗП 2 встановлюється код p_{24} ($p_{24} < p_{25}$), на виходах другого та третього ПЗП - коди вершин Z_4 і Z_5 .

Якщо $r_1 \leq p_{24}$, то код вершини Z_5 передається на вихід елемента АБО 10 і ця вершина стає поточною тощо. Після проходження маршруту на виході елемента АБО 10 встановлюється код останньої вершини Z_{23} , а на виході першого суматора 14 утворюється код, відповідний часу відновлення τ_g для реалізованого маршруту. Якщо значення τ_g не перевищує $\tau_{\text{в доп}}$, яке задається другим блоком заведення константи 20, то на першому виході третьої схеми порівняння 19 виникає сигнал, який переписує вміст першого суматора 14 за допомогою другого регістра 18 до другого накопичуючого суматора 21. В протилежному випадку сигнал з'явиться на другому виході схеми порівняння 19, який встановлює регістр в нульовий стан і віднімає одиницю із вмісту реверсивного лічильника 13.

Крім того, поточний номер вершини на виході елемента АБО 10 надходить до першого входу другої схеми порівняння 11, де порівнюється з кодом останньої вершини Z_{23} , який надходить з виходу першого блока 15 заведення константи. Якщо коди збігаються, то на виході схеми порівняння 11 утворюється сигнал, який додає одиницю у лічильнику 12 і реверсивному лічильнику 13. Крім того, цей сигнал встановлює перший суматор 14 в нульовий стан та встановлює регістр 1 в початковий стан, що відповідає номеру першої вершини Z_1 . Далі процес повторюється.

Таким чином, на виході другого накопичуючого суматора 21 утворюється поточна сума часу встановлення для успішних маршрутів, так що на виходах першого 22 і другого 23 блоків ділення утворюються поточні оцінки середнього часу відновлення та імовірності відновлення p_v . Ці значення відображаються на індикаторі 24.

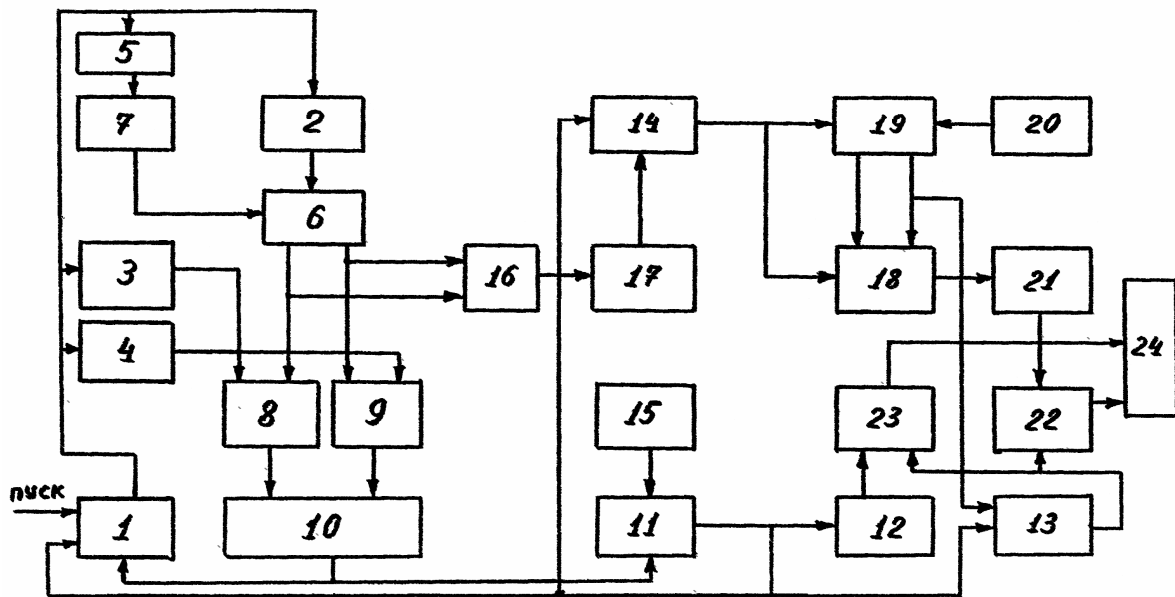
З метою спрощення схеми та її опису в блок-схемі відсутні елементи затримки (у вигляді ланцюгів елементів І), які необхідні для забезпечення стійкої роботи пристрою.

Пристрій може бути реалізований у цифровому варіанті на стандартних мікросхемах, з підвищеною надійністю функціонування в широкому діапазоні часових інтервалів.

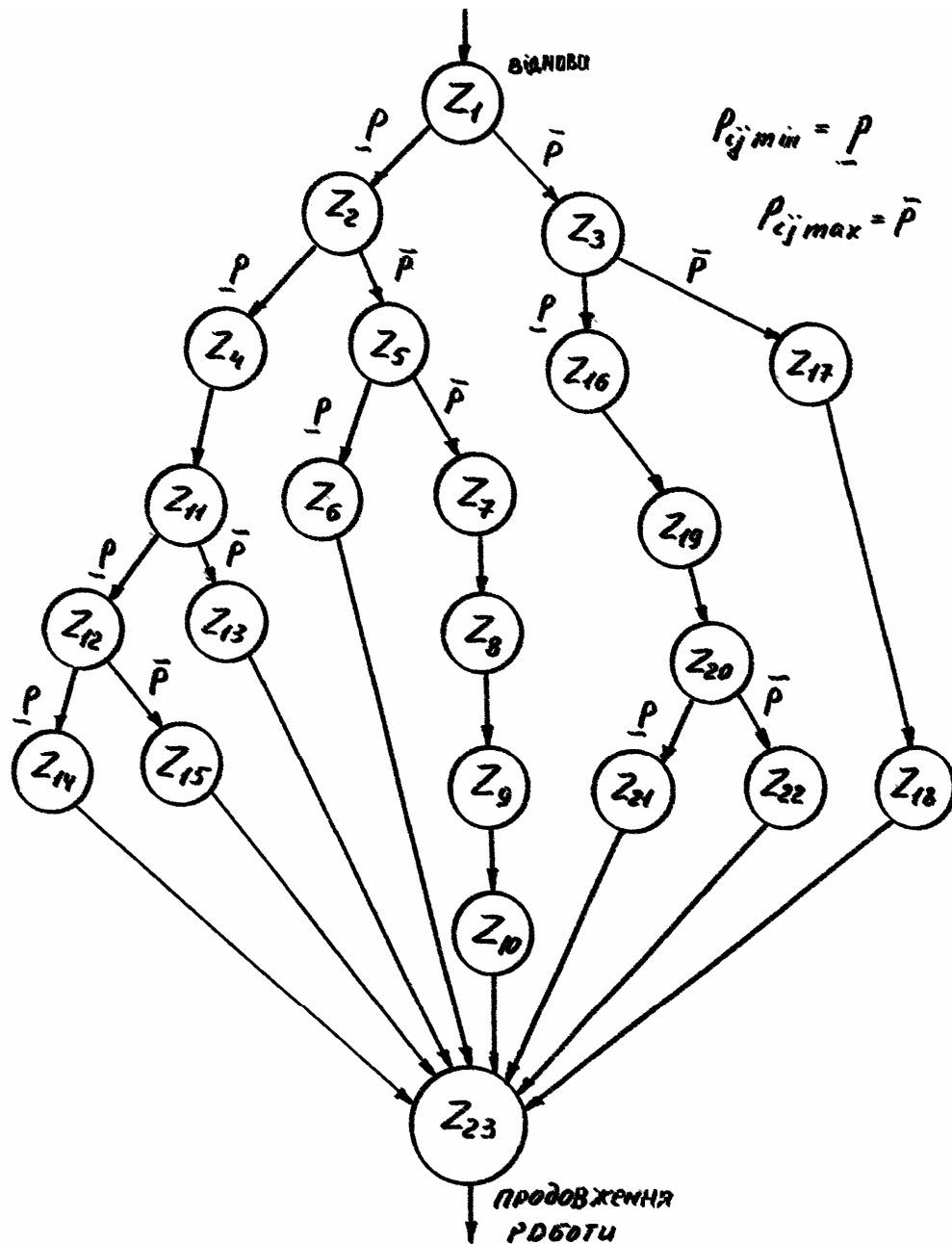
Джерела інформації

1. А.с. №1091191, G06G7/52. Устройство для моделирования вероятностного графа (аналог)

2. Карповский Е.Я., Сагач В.В., Чернецкий А.А. Надежность алгоритмов управления. - К.: Техника, 1983. - С. 33-35 (прототип).



Фіг. 1



Фіг. 2

ДП "Український інститут промислової власності" (Укрпатент)
 Україна, 01133, Київ-133, бульв. Лесі Українки, 26
 (044) 295-81-42, 295-61-97

Підписано до друку _____ 2001 р. Формат 60x84 1/8.
 Обсяг _____ обл.-вид. арк. Тираж 50 прим. Зам. _____

УкрІНТЕІ, 03680, Київ-39 МСП, вул. Горького, 180.
 (044) 268-25-22