

Изобретение относится к области вычислительной техники и может быть использовано при построении арифметических устройств вычислительных машин с плавающей запятой.

Известно устройство для суммирования двоичных чисел с плавающей запятой, содержащее регистр суммы, первый и второй регистры операндов и управляющий автомат (логическую часть) [Малиновский Б.Н. Справочник по цифровой вычислительной технике. - Киев: Техніка, 1974, с. 10].

Данное устройство обладает низким быстродействием из-за того, что обработку информации осуществляет последовательно программным способом.

Известно устройство суммирования двух чисел с плавающей запятой, входящее в состав арифметического устройства ЭВМ Star-100. С целью повышения быстродействия суммирование производится аппаратным способом. Устройство содержит первый и второй регистры и последовательно соединенные блок сравнения порядков, первый и второй входы которого соединены с выходами первого и второго регистров соответственно, блок сдвига мантииссы, блок сложения мантиисс и выходной блок селекции и передачи, соединенный обратной связью со вторыми входами первого и второго регистров, на первые входы которых поступают слагаемые $A \cdot 2^x$ и $B \cdot 2^y$ соответственно [Самофалов К.Г., Луцкий Г.М. Структуры и организация функционирования ЭВМ и систем. - Киев: Вища школа, 1978, с. 100-101].

Недостатком прототипа является его низкое быстродействие, обусловленное наличием операции определения модуля выравнивающей разности $|x-y|$, выполняемой после операций сравнения порядков и сохранения большего из них.

Цель изобретения - повышение быстродействия устройства путем исключения из алгоритма суммирования операции определения модуля выравнивающей разности.

Для решения поставленной задачи в устройстве суммирования двух чисел с плавающей запятой мантииссы A первого слагаемого $A \cdot 2^x$ сдвигается вправо на число разрядов, равное значению порядка y второго слагаемого $B \cdot 2^y$, а мантиисса B одновременно с этим сдвигается вправо на число разрядов, равное значению порядка x . В результате этого между мантииссами формируется относительный сдвиг, равный значению модуля выравнивающей разности $|x-y|$, и, таким образом, операция определения модуля выравнивающей разности из алгоритма суммирования исключается.

В устройстве суммирования двух чисел с плавающей запятой, содержащее первый регистр первого слагаемого $A \cdot 2^x$, второй регистр второго слагаемого $B \cdot 2^y$, блок сравнения порядков, первый и второй входы которого соединены с выходами первого и второго регистров соответственно, блок сложения мантиисс и выходной блок селекции и передачи, соединенного обратной связью с первыми входами первого и второго регистров, на вторые входы которых поступают первое и второе слагаемые соответственно, причем выход блока сложения мантиисс соединен со вторым входом выходного блока селекции и передачи, выход которого является выходом устройства, введены блок сдвига мантиисс A и B и первый и второй блоки предварительной нормализации мантиисс A и B соответственно, причем первый и второй входы блока сдвига мантиисс A и B соединены с выходами первого и второго регистров соответственно, первый выход блока сдвига мантиисс A и B соединен со вторым входом первого блока предварительной нормализации мантииссы A , второй выход блока сдвига мантиисс A и B соединен со вторым входом второго блока предварительной нормализации мантииссы B , первые входы первого и второго блоков предварительной нормализации мантиисс A и B соединены со вторым выходом блока сравнения порядков, первый выход которого соединен с первым входом выходного блока селекции и передачи, выходы первого и второго блоков предварительной нормализации мантиисс A и B соединены с первым и вторым входами блока сложения мантиисс соответственно.

На фиг. 1 изображена структурная схема заявляемого устройства; на фиг. 2. - дешифраторы и коммутаторы блока сдвига мантиисс A и B ; на фиг. 3 - структурная схема коммутатора 1 блока сдвига мантиисс A и B .

Устройство суммирования двух чисел с плавающей запятой содержит регистр 1 первого слагаемого $A \cdot 2^x$, регистр 2 второго слагаемого $B \cdot 2^y$, блок 3 сравнения порядков, блок 4 сдвига мантиисс A и B , блок 5 предварительной нормализации мантииссы A , блок 6 предварительной нормализации мантииссы B , блок 7 сложения мантиисс и блок 8 селекции и передачи.

Устройство работает следующим образом.

С выходом регистров 1 и 2 числа $A \cdot 2^x$ и $B \cdot 2^y$ поступают на первый и второй входы блоков 3 и 4 (фиг. 1) соответственно. В блоке 3 сравниваются порядки x и y , больший из них сохраняется и поступает на первый выход блока 3. Кроме того, в блоке 3 определяется и сохраняется также меньший порядок, который поступает на второй выход блока 3.

В блоке 4 (фиг. 2) порядок y поступает на вход дешифратора (ДЧ) 1, мантиисса A поступает на второй вход коммутатора (К) 1, Выход дешифратора 1 разрядностью 2^y соединен с первым входом коммутатора 1. Кроме того, порядок x поступает на вход дешифратора 2, мантиисса B поступает на второй вход коммутатора 2. Выход дешифратора 2 разрядностью 2^x соединен с первым входом коммутатора 2.

Коммутатор 1 блока 4 (фиг. 3) состоит из $2n-1$ модулей (где n - разрядность мантиисс слагаемых и $n=2^y$), На информационные входы данных модулей поступают разряды мантииссы A : A_1, A_2, \dots, A_n , а на управляющие - разряды выхода дешифратора 1: $P_1, P_2, \dots, P_{2y-1}, P_{2y}$. На выходе коммутатора 1 формируется денормализованная мантиисса A' разрядностью $2n-1$ ($A'_1, A'_2, \dots, A'_{2n-1}$), которая поступает на первый выход блока 4.

Сдвиг мантииссы A вправо на число разрядов, равное значению порядка y , происходит следующим образом: при значении порядка y , равном нулю (при этом значение разряда P_1 равно лог. 1, значение разрядов P_2, P_3, \dots, P_{2y} равно лог. 0), сдвига мантииссы A не происходит; при значении порядка y , равном единице (при этом значение разряда P_2 равно лог. 1, значение остальных разрядов выхода дешифратора 1 равно лог. 0), мантиисса A сдвигается вправо на один разряд и т.д. При максимальном значении порядка y мантиисса A сдвигается на 2^y-1 разрядов вправо.

Коммутатор 2 аналогичен коммутатору 1, но при этом на его информационные входы поступают разряды

мантиисы В, а на управляющие - разряды выхода дешифратора 2.

Аналогично происходит сдвиг вправо и мантиисы В. В результате на выходе коммутатора 2 формируется денормализованная мантииса В' разрядностью $2n-1$ ($B'_1, B'_2, \dots, B'_{2n-1}$), которая поступает на второй выход блока 4.

Таким образом, одновременно с появлением на выходах блока 3 значений большего и меньшего порядков, на выходы блока 4 поступают денормализованные мантиисы А' и В', между которыми сформирован относительный сдвиг на число разрядов, равный значению модуля выравнивающей разности.

При сдвиге в блоке 4 мантиис А и В вправо происходит формирование между ними не только относительного сдвига, но и сдвиг каждой из мантиис вправо на число разрядов, равное значению меньшего порядка. Поэтому перед суммированием мантиис в блоках 5, 6 производится сдвиг влево мантиис А' и В' соответственно на число разрядов, равное значению меньшего порядка.

Устройства, аналогичные блокам 5, 6, рассмотрены в следующих заявках:

Авт. св. СССР №602939, кл. G 06 F 7/00, 1978.

Патент США №4051353, кл. G 06 F 13/00, 1978.

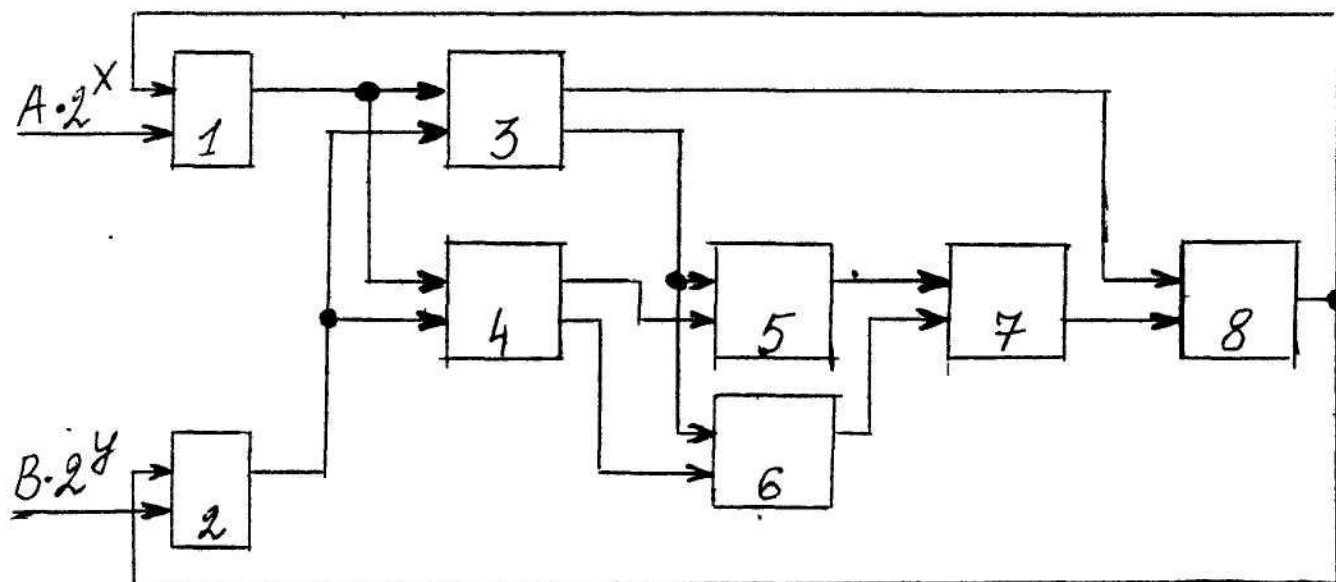
Заявка Японии №52-30818, кл. G 06 F 7/38, 1978.

Заявка Японии №53-22024, кл. G 06 F 7/00, 1978.

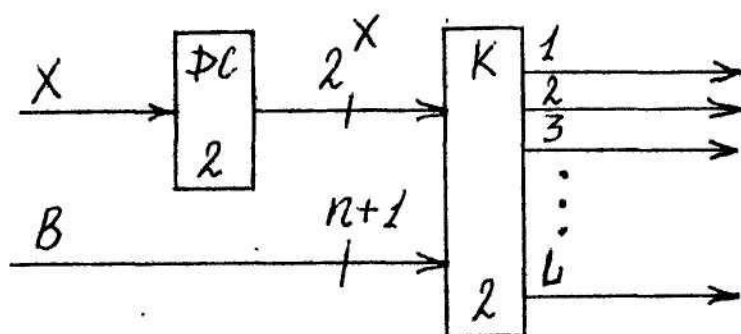
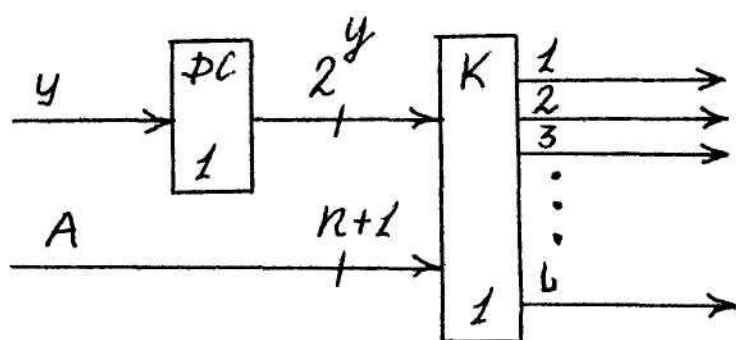
В блоке 7 мантиисы суммируются.

Результат суммирования мантиис А и В, а также больший порядок поступают в блок 8, где происходит их коррекция во избежание переполнения разрядной сетки. Далее скорректированный результат $S \cdot 2^z$ выдается на выход устройства.

Таким образом, при сравнении временных диаграмм работы устройства-прототипа и заявляемого устройства видно, что выигрыш в быстродействии в заявляемом устройстве достигается за счет отсутствия в нем операции определения модуля выравнивающей разности, выполняемой в устройстве-прототипе после операций сравнения порядков и сохранения большего из них.

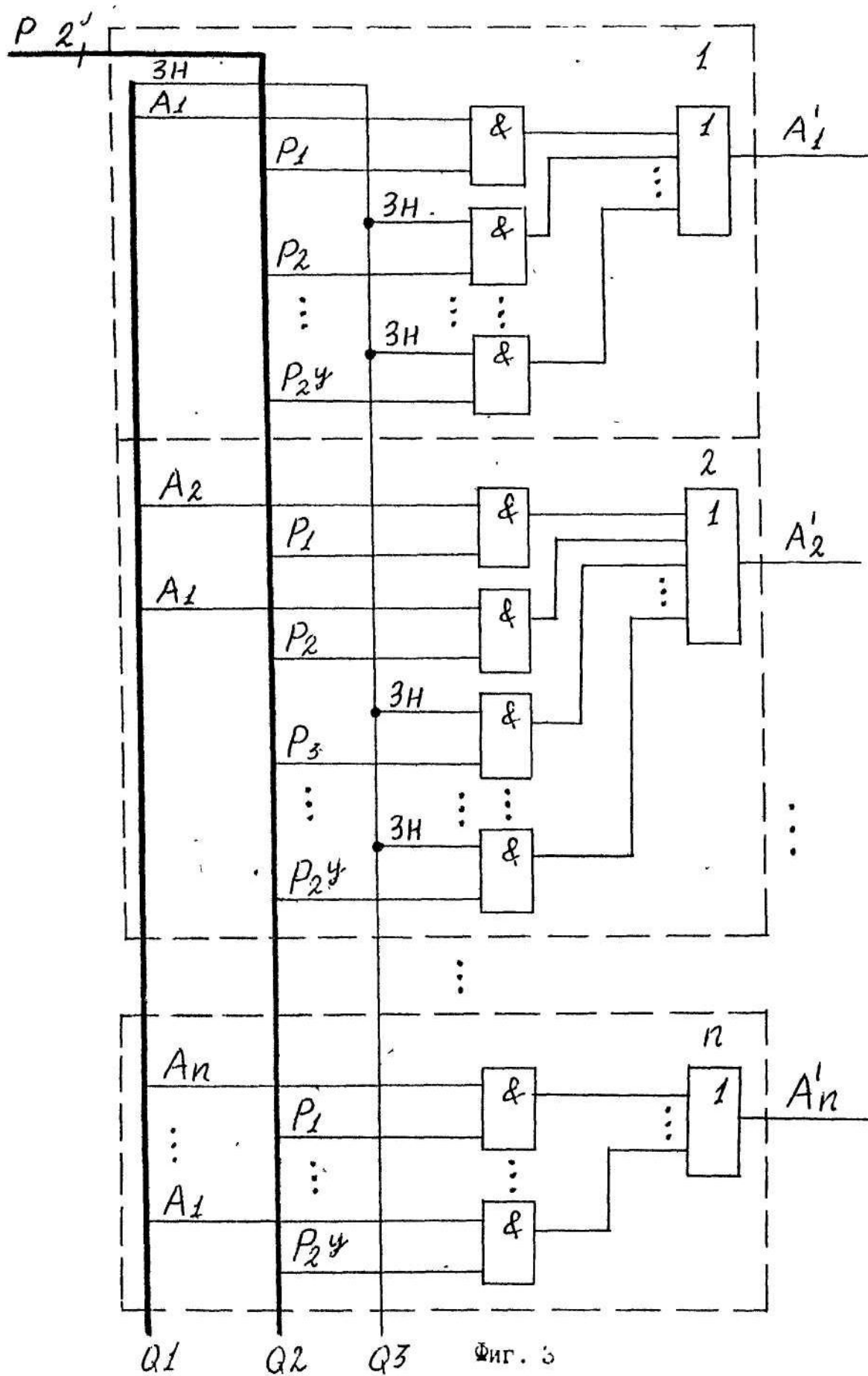


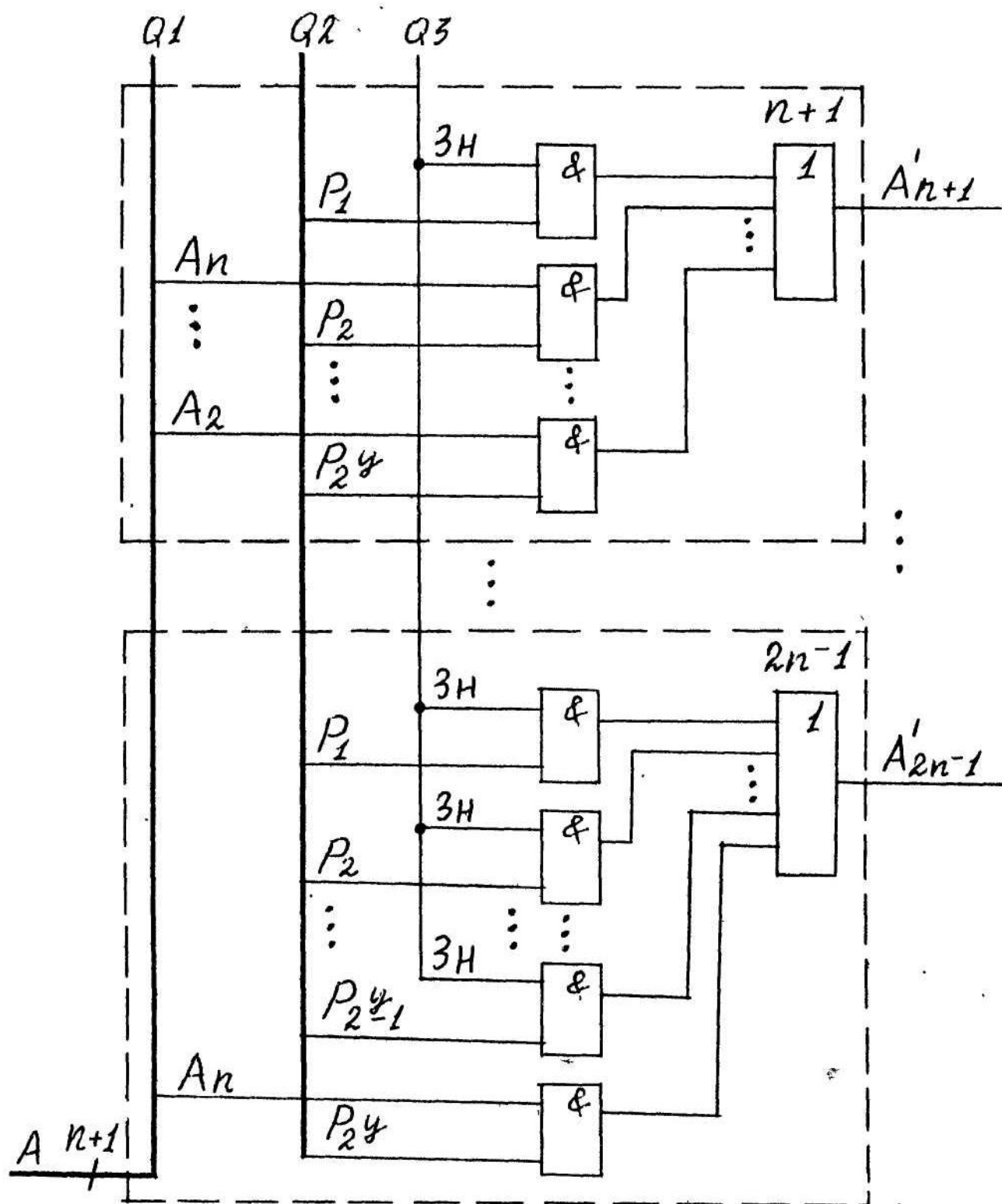
Фиг. 1



$$L = 2n - 1$$

Фиг. 2





Фиг. 3 /продолжение/