



УКРАЇНА

(19) UA (11) 17725 (13) U  
(51) МПК (2006)  
G06F 15/16

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС ДО ПАТЕНТУ НА КОРИСНУ МОДЕЛЬ

видається під  
відповідальність  
власника  
патенту

### (54) БАГАТОПРОЦЕСОРНА ОБЧИСЛЮВАЛЬНА СИСТЕМА

1

2

(21) u200603465

(22) 30.03.2006

(24) 16.10.2006

(46) 16.10.2006, Бюл. № 10, 2006 р.

(72) Булаченко Олег Миколайович, Коваль Валерій Миколайович, Кривонос Юрій Георгієвич, Любарський Валерій Федорович, Рябчун Сергій Григорович, Сергієнко Іван Васильович

(73) ІНСТИТУТ КІБЕРНЕТИКИ ІМЕНІ В.М.ГЛУШКОВА НАЦІОНАЛЬНОЇ АКАДЕМІЇ НАУК УКРАЇНИ

(57) Багатопроцесорна обчислювальна система, що містить обчислювальні блоки, модулі спільної пам'яті, керуючий процесор, головний комутатор, комутатор коротких повідомлень, причому перша група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів головного комутатора та комутатора коротких по-

відомлень, друга група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з першою групою входів-виходів керуючого процесора, третя група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів кожного з модулів спільної пам'яті, група входів-виходів кожного з модулів спільної пам'яті з'єднана відповідно з групами входів-виходів головного комутатора, кожна з відповідних груп керуючих виходів комутатора коротких повідомлень з'єднана відповідно з групою керуючих входів кожного з обчислювальних блоків, вхід-вихід керуючого процесора утворює вхід-вихід обчислювальної системи, яка відрізняється тим, що система додатково містить блоки обробки, входи-виходи котрих з'єднані з входами-виходами керуючого процесора.

Корисна модель відноситься до цифрової обчислювальної техніки, зокрема, до систем паралельної обробки структур даних різної складності і точності подання, що містять велике число процесорів, що управляються керуючим процесором, і може бути використана при побудові ефективних обчислювальних систем широкого призначення.

Відома мультипроцесорна обчислювальна система [Патент 4979096 США, G06 F13/00], яка містить основний комп'ютер, зв'язаний через інтерфейс по шині з керуючим процесором, системною пам'яттю, контролером кільцевої шини, контролером введення-виведення і з масивом процесорних вузлів, з'єднаних в вигляді матриці, які складаються з одноразрядних процесорних елементів (ПЕ) з локальною пам'яттю з'єднаних кільцевою шиною зв'язку, які працюють спільно з основним комп'ютером. Введення зображень здійснюється контролером кільцевої шини.

Спільною ознакою з запропонованою системою є керуючий процесор.

Причиною, що заважає досягненню технічного результату є спеціалізація мультипроцесорної системи-аналога на вирішення тільки класу задач, зв'язаних з обробкою пікселів зображень однороз-

рядними ПЕ-ми.

Друга високотпаралельна обчислювальна система з розвинутими можливостями [Патент 4891787 США, МКІ 4О 06 F 9/DO, MIT, -90г] містить керуючий процесор, групи процесорних елементів, з'єднаних між собою мережею зв'язку в вигляді трьохрівневого двоїчного дерева, і пристрої введення-виведення. Системна шина з'єднує керуючий процесор, локальний пристрій управління, групи ПЕ-в і пристрої введення-виведення. Сукупність локальних пам'ятей утворить загальну системну пам'ять.

Спільними признаками запропонованої системи є керуючий процесор і функції, що ним виконуються.

Причиною, що заважає досягненню технічного результату є спеціалізація обчислювальної системи-аналога, внаслідок надбудови його апаратури на роботу тільки с масивом малорозрядних ПЕ-в при обробці зображень і інших складних структур даних.

Найбільш близьким до корисної моделі по технічній суті і ефективності роботи є обчислювальна система, описана в [патенті України UA №56139, МКІ 7 G06F15/16], що містить обчислю-

(19) UA (11) 17725 (13) U

вальні блоків, модулі спільної пам'яті, керуючий процесор, головний комутатор, комутатор коротких повідомлень, причому група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів головного комутатора, перші групи входів-виходів кожного з обчислювальних блоків з'єднані відповідно з групою входів-виходів керуючого процесора, другі групи входів-виходів кожного з обчислювальних блоків з'єднані відповідно з другими групами входів-виходів кожного з модулів спільної пам'яті, перші групи входів-виходів кожного з модулів спільної пам'яті з'єднані відповідно з першими групами входів-виходів головного комутатора, група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів комутатора коротких повідомлень, кожна з груп керуючих виходів комутатора коротких повідомлень з'єднана відповідно з групою керуючих входів кожного з обчислювальних блоків, інформаційний вхід-вихід керуючого процесора утворює інформаційний вхід-вихід обчислювальної системи.

Загальними признаками прототипу з системою, що пропонується, є обчислювальні блоки, модулі спільної пам'яті, керуючий процесор, головний комутатор, комутатор коротких повідомлень, причому перша група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів головного комутатора та комутатора коротких повідомлень, друга група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з першою групою входів-виходів керуючого процесора, третя група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів кожного з модулів спільної пам'яті, група входів-виходів кожного з модулів спільної пам'яті з'єднана відповідно з групами входів-виходів головного комутатора, кожна з відповідних груп керуючих виходів комутатора коротких повідомлень з'єднана відповідно з групою керуючих входів кожного з обчислювальних блоків, вхід-вихід керуючого процесора утворює вхід-вихід обчислювальної системи.

Причиною, що заважає досягненню очікуваного ефекту є те, що в прототипі відсутня можливість ефективної оперативної обробки зображень і інших складних структур даних, зв'язаних з рішенням задач штучного інтелекту і одночасного рішення задач загальнообчислювального характеру, що використовують дані великої розрядності для отримання результатів високої точності.

Технічна задача, на вирішення якої направлена корисна модель, полягає в введенні додаткових можливостей ефективної обробки, зображень, графів і інших складних структур даних шляхом введення в склад системи асинхронно функціонуючих блоків обробки, які виконують операції над складними структурами даних за допомогою великого числа зв'язуваних, одночасно оброблюючих елементів і їх управління керуючим процесором, що призводить до підвищення продуктивності при вирішенні задач обробки складних структур даних в реальному часі та розширенні функціональних можливостей обчислювальної системи.

Рішення поставленої задачі досягається тим, що в багатопроекторну обчислювальну систему,

що містить обчислювальні блоки, модулі спільної пам'яті, керуючий процесор, головний комутатор, комутатор коротких повідомлень, причому перша група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів головного комутатора та комутатора коротких повідомлень, друга група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з першою групою входів-виходів керуючого процесора, третя група входів-виходів кожного з обчислювальних блоків з'єднана відповідно з групою входів-виходів кожного з модулів спільної пам'яті, група входів-виходів кожного з модулів спільної пам'яті з'єднана відповідно з групами входів-виходів головного комутатора, кожна з відповідних груп керуючих виходів комутатора коротких повідомлень з'єднана відповідно з групою керуючих входів кожного з обчислювальних блоків, вхід-вихід керуючого процесора з входом-виходом обчислювальної системи, блоки обробки, причому кожний блок обробки з'єднаний відповідно групою входів-виходів з групою входів-виходів керуючого процесора.

Відмітними признаками системи, що пропонується є блоки обробки, причому кожний блок обробки з'єднаний відповідно групою входів-виходів з групою входів-виходів керуючого процесора.

Введення в систему цих признаков дозволяє підвищити ефективну продуктивність обчислювальної системи при рішенні широкого класу задач, яка досягається шляхом спільного паралельного функціонування обчислювальних блоків, керуючого процесора, блоків обробки та виконання паралельних операцій над складними структурами даних в них за рахунок великого числа паралельно функціонуючих процесорних елементів з локальною пам'яттю під керуванням керуючого процесора, за рахунок підключення блоків обробки при діалоговій взаємодії користувача з системою в реальному часі природними мовами.

Розширення функціональних можливостей обчислювальної системи досягається шляхом підключення до спільної роботи з основними обчислювальними блоками блоків обробки, які функціонують паралельно, що дозволяє виробляти схемну паралельну обробку складних структур даних типу масивів пікселів зображень, списки і графи, а також, проводить лексико-синтаксичний аналіз потоку лексем при діалоговій взаємодії в реальному часі користувача з системою і з Базою Знань природною мовою під управлінням керуючого процесора.

На Фіг. представлена функціональна схема запропонованої багатопроекторної обчислювальної системи.

Багатопроекторна обчислювальна система (Фіг.) містить обчислювальні блоки 1.1-1.М, модулі загальної пам'яті 2.1-2.М, керуючий процесор 3, головний комутатор 4, комутатор коротких повідомлень 5, блоки обробки 7.1-7.К. Групи входів-виходів обчислювальних блоків 1.1-1.М з'єднані відповідно з групами входів-виходів головного комутатора 4 і комутатора коротких повідомлень 5. Перша група входів-виходів обчислювальних блоків 1.1-1.М з'єднані відповідно з першою групою входів-виходів керуючого процесора 3. Друга група

входів-виходів обчислювальних блоків 1.1-1.M з'єднані відповідно з другими групами входів-виходів модулів загальної пам'яті (МЗП) 2.1-2.M. Групи входів-виходів блоків обробки 7.1-7.K. з'єднані відповідно з групою входів-виходів керуючого процесора 3. Перша група входів-виходів МЗП 2.1-2.M з'єднані відповідно з першими групами входів-виходів головного комутатора 4. Група керуючих виходів комутатора коротких повідомлень 5 з'єднані відповідно з групою керуючих входів кожного з обчислювальних блоків 1.1-1.M. Інформаційний вхід-вихід керуючого процесора 3 утворює вхід-вихід 6 обчислювальної системи.

Блок обробки 7.1 (Фіг.) може бути виконаний, наприклад, як система с масивом процесорних елементів [див. Патент USA 4891787, G06F9/00], де функції центрального пристрою і пристрою управління виконує керуючий процесор 3.

Керуючий процесор 3 (Фіг.) [див. Патент RU 2042193 РФ, G06F15/16] здійснює вибір обчислювальних блоків 1.1-1.M [див. Патент UA №56139 України, МКІ 7 G06F15/16] і блоків обробки 7.1-7.K через свій регістр зв'язку по одній з шин першої групи входів-виходів і виконує передачу даних і керуючої інформації в форматі і в режимі, що визначається типом блоку, що вибирається. Режим передачі і тип інформації, що передається для обчислювальних блоків 1.1-1.M і блоків обробки 7.1-7.K відрізняється набором керуючих сигналів і типами даних, що визначаються керуючим полем мікрокоманди керуючого процесора 3. Так, для обчислювальних блоків 1.1-1.M обмін інформації іде по виділеній шині введення-виведення. Для блоків обробки 7.1-7.K використовується режим обміну даними по системній шині введення-виведення, що поділяється в часі, для чого резервуються підшина адрес/дані, підшина тега і підшина управління з лініями пріоритету, зайнятості, запиту і синхронізації для виконання арбітражу шини. Вигляд даних, що передаються по шині визначається лініями тега. Транзакція передачі команд і даних шиною може займати один або більш циклів передачі. В останньому випадку, за час першого циклу тразакції запису або читання пристроїв, вони реагують на свою адресу, яка передана по шині адрес/дані, видачею сигналу BUSY (зайнято) по керуючій підшині, що тримається до повного завершення транзакції. Сигнал BUSY перешкоджає проведенню арбітражу на шині і захоплення шини іншими пристроями. Якщо тразакція займає один цикл, сигнал BUSY не встановлюється.

Для ініціалізації мікропроцесорів (МП) обчислювальних блоків 1.1-1.M на вхід RESET МП подається сигнал одиничного рівня, якій має бути витриманий не менше чотирьох тактів CI (наприклад, для МП Р-III Хеон серії INTEL). По цьому сигналу МП припиняє виконання внутрішніх операцій і переключає в неактивний стан шинні виходи адреси даних і управління. Після переходу сигналу на вході RESET МП в нульовий стан виконується початкова установка регістрів МП, для чого вимагається до восьмих тактів CI. По завершенню початкового запуску, МП переходить до виконання програми (команди), розташованої за адресою FFFF0H, що присвоєна кожному буфер-

ному регістру зв'язку. Як правило, в буферному регістрі міститься команда міжсегментного переходу (типу JMP для МП систем INTEL), але може бути розміщена будь-яка команда цілком або частинами. Після виконання підпрограми (або після команди) ставиться команда зупинки (типу HLT для МП систем INTEL). Під час зупинки МП не видає жодних керуючих сигналів. Вихід з стану ЗУПИНКА можливий за сигналами запитів шини МП, після чого має бути перехід в стан ЗАХОПЛЕННЯ, а після цього повернення в стан ЗУПИНКА. Інший можливий шлях виходу з стану ЗУПИНКА - по сигналу початкової установки по входу МП RESET, або по сигналу запиту переривання по входу INT. Можлива синхронізація взаємодії керуючого процесора 3 і мікропроцесорного модуля (типу INTEL) на програмному рівні за допомогою команди WAIT. При значенні сигналу TEST=1 мікропроцесорний модуль очікує (виконуючи холості такти) сигналу низького рівня - TEST=0 (тривалістю не менше 5 тактів CI МП), який встановлюється по команді SETM, яка виконується керуючим процесором 3. При такій взаємодії не порушується вміст загальних регістрів МП, завдяки чому створюються умови для підвищення продуктивності. Зі своєї сторони любий обчислювальний блок 1.1...1.M може виставити сигнал переривання через свій контролер шини (наприклад, з набору Intel 855GM/PM) для керуючого процесора 3 по одній з шин першої групи входів-виходів, або для МП в іншому обчислювальному блоці через комутатор коротких повідомлень 5. Керуючий процесор 3 управляє роботою обчислювальних блоків 1.1-1.M в режимі ОКМД (Одна Команда Множина Даних), або в режимі МКМД (Множина Команд Множина Даних), або в змішаному режимі. В режимі ОКМД всі МП виконують однакову послідовність команд. В режимі МКМД кожний МП може виконувати іншу послідовність команд. Команди і/або дані для МП можуть передаватися також з зовнішніх носіїв, включаючи жорсткий диск, гнучкий диск або флеш-пам'ять, підключених через контролер введення-виведення до загальної шини у вибраному обчислювальному блоці 1.1-1.M. Для ініціалізації пристроїв блоку обробки 7.1 керуючий процесор 3 передає сигнал RESET по лінії підшини управління на всіх пристроях цього блоку, встановлюючи їх у початковий для роботи стан. Після цього керуючий процесор 3 активізує роботу всіх або вибраних за адресою ПЕ-в шляхом передачі в їхню локальну пам'ять даних або набору команд. Команди і/або дані для ПЕ-в можуть передаватися також з зовнішніх носіїв, включаючи жорсткий диск, гнучкий диск або флеш-пам'ять, які підключені до системної шини блоку обробки 7.1, шляхом подачі сигналу запиту на обслуговування REQUEST.

Керуючий процесор 3 управляє роботою масиву ПЕ-в, які входять в блок обробки 7.1, в режимі ОКМД (Одна Команда Множина Даних), або в режимі МКМД (Множина Команд Множина Даних) шляхом активізації сигналу MIMD-ACTIVE на підшині управління.

Дані і команди для обробки пересилаються в адресовану локальну пам'ять і в адресовані ПЕ-ти. В режимі ОКМД всі ПЕ-ти виконують однакову послідовність команд. В режимі МКМД кожний ПЕ

може виконувати іншу послідовність команд. Завдяки локальним зв'язкам між ПЕ-ми результати обробки одних ПЕ-в можуть передаватися іншим ПЕ-м, дозволяючи завдяки цьому реалізовувати ефективну обробку складних структур даних, в тому числі пікселів зображень. Результати виконання операції і її статус можуть бути записані на зовнішній носій, виданий на термінал або печать, або переданий в керуючий процесор 3. Для цього кожний з ПЕ встановлює свій сигнал запиту на обслуговування REQUEST, що збираються схемою АБО і реалізуються на пріоритетній основі по системній шині, описаним вище засобом.

Обчислювальна система працює слідуючим чином. В керуючому процесорі 3 і в усіх обчислювальних блоках 1.1-1.М ініціюється робота заздалегідь загрузених інтерпретаторів мови паралельного програмування (наприклад, мови С+Граф) з необхідними драйверами пристроїв і драйверами інтерфейсу шин зв'язку з обчислювальними блоками 1.1-1.М і блоками обробки 7.1-7.К. Ці дії, а також діагностика всієї системи, можуть бути виконані через консоль системного оператора, підключеного до керуючого процесора через вхід - вихід 6. Керуючий процесор 3, вибираючи з своєї пам'яті команди-оператори, викликає роботу мікропідпрограм, окремі мікрокоди яких у вигляді керуючих директив передаються через шини на входи вибраних обчислювальних блоків або блоків обробки.

Ініційовані для роботи мікропроцесорні модулі (МГПМ) в обчислювальних блоках починають вибирати з своєї пам'яті і виконувати ті команди-оператори, які попередньо завантажені, паралельно і незалежно один від одного аж до того моменту, поки в програмній гілці не зустрінуться оператори синхронізації і оператори, які вимагають даних з іншої гілки програми. Якщо ці дані розміщені в пам'яті в межах обчислювального блоку, то вони будуть викликані через загальну шину цього блоку або з жорсткого диску. Якщо ж дані розміщені в пам'яті іншого обчислювального блоку, то МГПМ виставляє команду або код переривання на свій буферний регістр комутатора коротких повідомлень 5 з вказівкою адреси МГПМ. Якщо шлях вільний, переривання передається в відповідний МГПМ, який опрацьовуючи команду, виконує дії зі збереженням результату в пам'яті. Після цього МГПМ виставляє повідомлення-переривання через комутатор коротких повідомлень 5 про готовність даних і їхнє місцезнаходження. МГПМ, який запросив дані, звертається за ним через головний комутатор каналів 4, прочитає їх з магістральною швидкістю. Так може працювати будь-який з задіяних МГПМ. Закінчивши виконувати свої програмні гілки, МГПМ повідомляє про це керуючому процесору 3, повертаючи через магістраль зв'язку результати умов завершення виконання своїх програм, і розміщує коди умов на буферні регістри зв'язку. Після цього ті МГПМ, які закінчили роботу, переходять в стан „Очікування”, очікуючи наступних керуючих вказівок з боку будь-якого з МГПМ або керуючого процесора 3. Керуючий процесор 3, послідовно проглядаючи коди умов завершення по кожному перериванню з МГПМ, приймає відповідні рішення про подальші дії згідно основного алгоритму про-

грами, що виконується.

Ініційовані для роботи блоки обробки і процесорні елементи (ПЕ) в них починають вибирати з своєї пам'яті і виконувати попередньо завантажені команди-оператори, паралельно і незалежно один від одного при установленому режимі МКМД, або паралельно і спільно - в режимі ОКМД. У режимі МКМД ПЕ-и працюють аж до того моменту, поки в програмній гілці не зустрінуться оператори синхронізації і оператори, які вимагають даних з іншої гілки програм. Якщо ці дані розміщені в пам'яті в межах блоку обробки, то вони будуть викликані ПЕ-ми незалежно один від одного через локальні шини з других ПЕ-в або з жорсткого диску. Після завершення виконання своєї програмної гілки кожний ПЕ незалежно і асинхронно виставляє коди умов на свої буферні регістри і сигнал повідомлення-переривання REQUEST керуючому процесору 3. Керуючий процесор 3, послідовно проглядаючи коди умов завершення по кожному перериванню з ПЕ-в блоку обробки, приймає відповідні рішення про подальші дії згідно основного алгоритму програми, що виконуються. У режимі ОКМД ПЕ-и працюють паралельно до завершення завантаженої послідовності команд і припиняються, виставивши коди умов на свої буферні регістри і сигнал REQUEST в вигляді переривання на обслуговування керуючому процесору 3. Керуючий процесор 3, послідовно проглядаючи коди умов завершення по кожному перериванню з ПЕ-в блоку обробки, приймає відповідні рішення про подальші дії згідно основного алгоритму програми, що виконується.

Користувачі вводять свої задачі через термінали і контролери введення-виведення, що розміщені в обчислювальних блоках і блоках обробки, в буфери введення-виведення, де вони утворюють чергу вхідних задач. Далі заявки з вихідної черги задач вимагають свій перший ресурс - компілятор або інтерпретатор, що надається їм розподіленою базовою операційною системою. Компілятор по кожній задачі складає супровід-команди управління потоком даних і ресурси, які разом з іншими командами-операторами, отриманими в результаті трансляції пропозицій мови високого рівня (наприклад, мови С+Граф), складають для виконання програми внутрішньою мовою. Далі, паралельні термінальні блоки програм містяться в паралельних МГПМ обчислювальних блоках і блоках обробки, а ведучі блоки програм - в керуючому процесорі 3, де вони утворюють чергу готових до виконання програм. Операційна система керуючого процесора 3 планує виконання програм, розміщених в черзі готовності, підключає ресурси в вигляді обчислювальних блоків або блоків обробки для виконання термінальних блоків програм.

В залежності від обсягу необхідних ресурсів, задачі поділяються на великі і малі. Малі задачі звичайно вимагають ресурсів одного процесора і частини локальної пам'яті, а великі - більше одного МГПМ або ПЕ, або потужності всієї системи. В останньому випадку для підвищення ефективності роботи всієї системи використовується комутатор коротких повідомлень для взаємної передачі переривань між МГПМ в обчислювальних блоках і обробка цих переривань в мультипоточковому ре-

жимі, що підтримується на апаратному рівні, або апаратну автоматичну передачу повідомлень між ПЕ-и в блоках обробки. Це дозволяє виконувати переключення потоків (процесів) в швидкому темпі, зберігаючи поточний стан процесу в невеликому об'ємі даних, таких, як:

- сегмент стану потоку;
- дескриптор сегменту стану потоку;
- дескриптор запуску потоку.

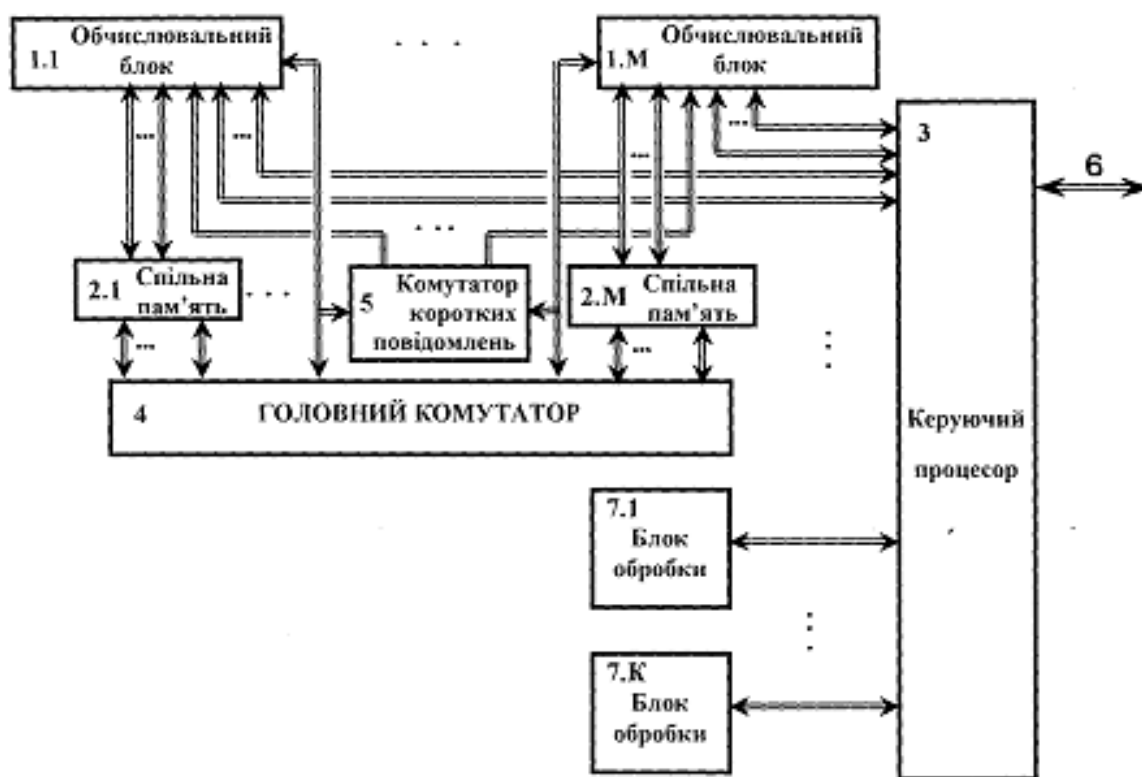
З зазначеними структурами процесор (у тому числі керуючий) може в межах однієї задачі переключати виконання з одного потоку на другий, але зберігає при цьому контекст первинного потоку і дозволяє поновлення нового.

Використання цих можливостей запропонованими у даній корисній моделі засобами дозволяє поширити коло ефективно вирішуваних задач і

підвищити продуктивність різнорідних багатопроцесорних систем.

Проведене імітаційне моделювання спільної роботи всіх компонентів обчислювальної системи підтвердили підвищення продуктивності при рішенні одночасно задач обчислювального характеру і задач обробки графів.

Компоненти обчислювальної системи - обчислювальні блоки 1.1-1.М - можуть бути збудовані на стандартних мікросхемах - мікропроцесорах і чіп-сетах, а блоки обробки 7.1-7.К і керуючий процесор 3 - на стандартних програмованих логічних матрицях (наприклад, на програмованих матрицях фірми XILINX). Завдяки цим особливостям запропонована багатопроцесорна обчислювальна система може бути легко впроваджена в промисловість.



Фіг.