



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1040623 A

3(51) H 04 N 1/40

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

ВЛФК

(21) 3362230/18-09

(22) 04.12.81

(46) 07.09.83. Бюл. № 33

(72) Г.Ф.Балькин, В.И.Голосной,

А.Г.Зайченко и М.В.Сапунков

(53) 621.397.7(088.8)

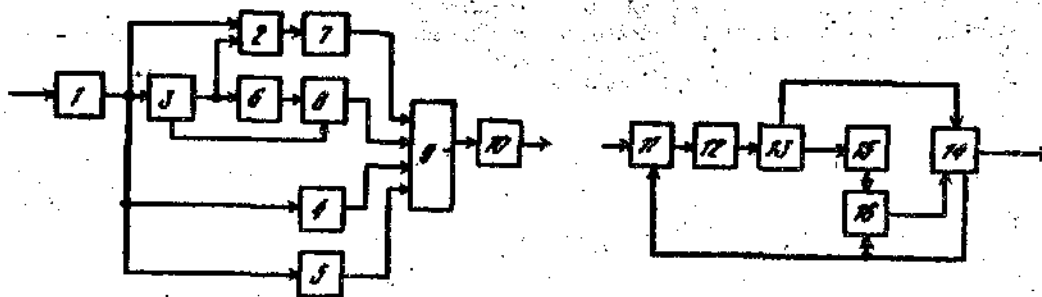
(56) 1. Авторское свидетельство СССР

№ 678709, кл. H 04 N 1/40, 06.01.76

(прототип)

(54)(57) УСТРОЙСТВО СТАТИСТИЧЕСКОГО КОДИРОВАНИЯ И ДЕКОДИРОВАНИЯ ФАКСИМИЛЬНЫХ СИГНАЛОВ, содержащее на передающей стороне входной делитель, выход которого соединен с входом кодера видеосигнала и через формирователь разделительных бит и формирователь бит описания с двумя первыми входами сумматора, выход которого подключен ко входу первого буферного блока, а на приемной стороне последовательно соединенные второй буферный блок, дешифратор разделительных бит, распределитель и декодер видеосигнала, первый выход которого является выходом устройства, а второй выход соединен с управ-

ляющим входом второго буферного блока, отличающееся тем, что, с целью увеличения помехоустойчивости, в него введены на передающей стороне последовательно соединенные счетчик-накопитель и формирователь данных о числе кодовых бит, включенные между выходом входного делителя и первым дополнительным входом сумматора, и последовательно соединенные блок управления и запоминающий блок, включенные между выходом кодера видеосигнала и вторым дополнительным входом сумматора, причем выход кодера видеосигнала соединен с вторым входом счетчика-накопителя, а дополнительный выход кодера видеосигнала - с вторым входом запоминающего блока, а на приемной стороне последовательно соединенные приемник данных о числе кодовых бит и элемент сравнения, включенные между дополнительным выходом распределителя и вторым входом декодера видеосигнала, второй выход которого соединен с вторым входом элемента сравнения.



Фиг. 1

(19) SU (11) 1040623 A

Изобретение относится к факсимильной технике, в частности к устройствам сжатия объема передаваемых сигналов путем статистического кодирования, и может быть использовано для передачи информации, закодированной как равномерным, так и неравномерным кодом.

Известно устройство статистического кодирования и декодирования факсимильных сигналов, которое на передающей стороне содержит входной делитель видеосигнала. Выход делителя подан на кодер видеосигнала, формирователь разделительных бит, формирователь бит описания, формирователь сигнала адреса, выходы которых через последовательно соединенные сумматор и первый буферный блок поданы в канал связи. Кроме того, дополнительный выход кодера видеосигнала подключен к дополнительному входу формирователя сигнала адрес. На приемной стороне известно устройство, содержащее последовательно соединенные второй буферный блок, дешифратор разделительных бит, распределитель, дешифратор сигнала адреса и декодер [1].

Недостаток известного устройства заключается в сравнительно низкой помехоустойчивости, что обуславливается наличием в сигнале бит адреса.

Цель изобретения - повышение помехоустойчивости при передаче факсимильных сигналов.

Указанная цель достигается тем, что в устройство статистического кодирования и декодирования факсимильных сигналов, содержащее на передающей стороне входной делитель, выход которого соединен с входом кодера видеосигнала и через формирователь разделительных бит и формирователь бит описания с двумя входами сумматора, выход которого подключен к входу первого буферного блока, а на приемной стороне последовательно соединенные второй буферный блок, дешифратор разделительных бит, распределитель и декодер видеосигнала, первый выход которого является выходом устройства, а второй выход соединен с управляющим входом второго буферного блока, введены на передающей стороне последовательно соединенные счетчик-накопитель и формирователь данных о числе кодовых бит, включенные между выходом входного делителя и первым дополнительным входом сумматора, и последовательно соединенные блок управления и запоминающий блок, включенные между выходом кодера видеосигнала и вторым дополнительным входом сумматора, причем выход кодера соединен с вторым входом счетчика-накопителя, а дополнительный выход коде-

ра видеосигнала - с вторым входом запоминающего блока, а на приемной стороне последовательно соединенные приемник данных о числе кодовых бит и элемент сравнения, включенные между дополнительным выходом распределителя и вторым входом декодера видеосигнала, второй выход которого соединен с вторым входом элемента сравнения.

На фиг. 1 представлена структурная электрическая схема устройства статистического кодирования и декодирования факсимильных сигналов; на фиг. 2 - структурная электрическая схема формирователя данных о числе кодовых бит; на фиг. 3 - структурная электрическая схема приемника данных о числе кодовых бит; на фиг. 4 - структурная электрическая схема блока управления и запоминающего блока для случая применения неравномерного кода (модифицированного кода Хаффмена (МКХ)).

Устройство статистического кодирования и декодирования факсимильных сигналов (фиг. 1) содержит на передающей стороне входной делитель 1, выход которого соединен с первым входом счетчика-накопителя 2 и со входами кодера 3 видеосигнала, формирователя 4 разделительных бит, формирователя 5 бит описания. Второй вход счетчика-накопителя 2 вместе со входом 6 управления подключен к дополнительному выходу кодера 3, выход счетчика-накопителя 2 подан на вход формирователя 7 данных о числе кодовых бит, а выход блока 6 управления - на вход запоминающего блока 8. Выходы формирователя 7 данных, запоминающего блока 8, формирователя 4 разделительных бит и формирователя 5 бит описания подсоединены к соответствующим входам сумматора 9, выход которого через первый буферный блок 10 подан в канал связи. На приемной стороне устройство содержит последовательно соединенные второй буферный блок 11, дешифратор 12 разделительных бит, распределитель 13 и декодер 14 видеосигнала. Между вторым выходом распределителя 13 и вторым входом декодера 14 введены последовательно соединенные приемник 15 данных о числе кодовых бит и элемент 16 сравнения, второй вход которого подключен ко второму выходу декодера 14 и к управляющему входу второго буферного блока 11.

Устройство работает следующим образом.

Входной сигнал во входном делителе 1 делится на строки и на интервалы кодирования. В начале строки развертки после разделительных бит, сформированных формирователем 4, передаются биты описания строки по интервалам кодирования. Эти биты

образуются в формирователе 5. В интервалах, содержащих информацию, эта информация кодируется кодером 3 и записывается в запоминающий блок 6 с помощью блока 6 управления. Одновременно подсчитывается счетчиком-накопителем 2 число кодовых бит на данном интервале. Полученные числа кодируются в формирователе 7.

Далее все полученные биты объединяются сумматором 9, уплотняются во времени первым буферным блоком 10 и передаются по каналу связи на приемную сторону. На приемной стороне во втором буферном блоке 11 под действием поступающих запросов от декодера 14 происходит разуплотнение кодовых бит. Дешифратор 12 выделяет разделительные биты, после которых распределитель 13 подает в приемник данных 15 закодированные числа кодовых бит по интервалам кодирования. После получения этих данных распределитель 13 переключает поток бит на декодер 14, который начинает декодирование. По мере декодирования декодер 14 запрашивает новые биты из второго буферного блока 11. Число запрошенных бит сравнивается элементом 16 сравнения с числом, полученным от приемника данных 15. Когда сравниваемые числа совпадут, элемент 16 сравнения, независимо от результата декодирования, дает команду декодеру 14 перейти к декодированию следующего содержащего информацию интервала.

На фиг. 2 изображен формирователь данных о числе кодовых бит интервалов. Формирователь данных содержит регистр 17 числа, вычитатель 18 и кодер 19 числа; на фиг. 3 - приемник данных 15 о числе кодовых бит, который содержит декодер 20 числа, регистр 21 числа, и блок 22 сложения.

Формирователь 7 данных работает следующим образом.

В конце интервала кодирования счетчик-накопитель 2 выдает число кодовых бит в прошедшем интервале. Это число подается на вход вычитателя 18 и регистра 17, в котором хранится предыдущее число. Затем

вновь поступившее число и число, поступившее из регистра 17, вычитаются одно из другого, а полученная на выходе вычитателя 18 разность с учетом знака кодируется кодером 19 и подается на сумматор 9 для включения в общий поток бит.

На приемной стороне (фиг. 3) полученная разность декодируется декодером 20 и поступает на вход блока 22 сложения, на втором входе которого находится предыдущий результат сложения. Блок 22 сложения производит суммирование двух чисел с учетом знака и выдает результат на элемент 16 сравнения. Одновременно полученный результат запоминается регистром 21 для последующего суммирования.

На фиг. 4 представлен пример реализации блока 6 управления запоминающего блока 8 для случая применения неравномерного кода МКХ. В качестве запоминающих элементов могут быть применены адресные регистры с организацией 1024 x 1 слов. Блок 6 управления содержит входные коммутаторы 23 и 24 управляющих сигналов, двоичные счетчики 25 и 26 адресов, реверсивные двоичные счетчики 27 и 28, дешифраторы 29 и 30, запоминающие элементы 31, 32 и коммутаторы 33 и 34 выходных сигналов. Подтверждением достижения положительного эффекта служат данные машинного моделирования. Моделирование проводилось с использованием электронных тест-таблиц МККТТ, которые содержат восемь различных стандартных изображений. При моделировании использовались ошибки канала связи, полученные при цифровой передаче со скоростью 4800 бит/с при помощи модема, удовлетворяющего рекомендации V 27 МККТТ путем записи этих ошибок на реальном канале.

Таким образом, предлагаемое устройство позволяет значительно повысить помехоустойчивость для широкого класса устройств статистического кодирования, применяющих как равномерные, так и неравномерные коды, и использующие различные методы формирования факсимильного сигнала.

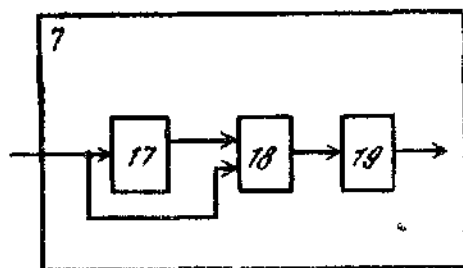


Fig. 2

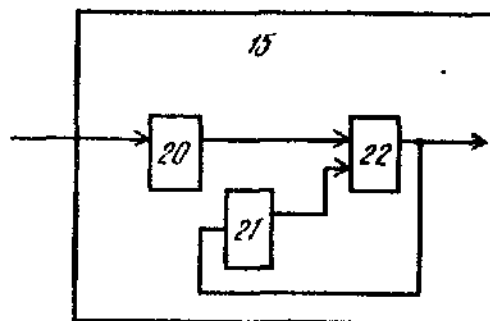


Fig. 3

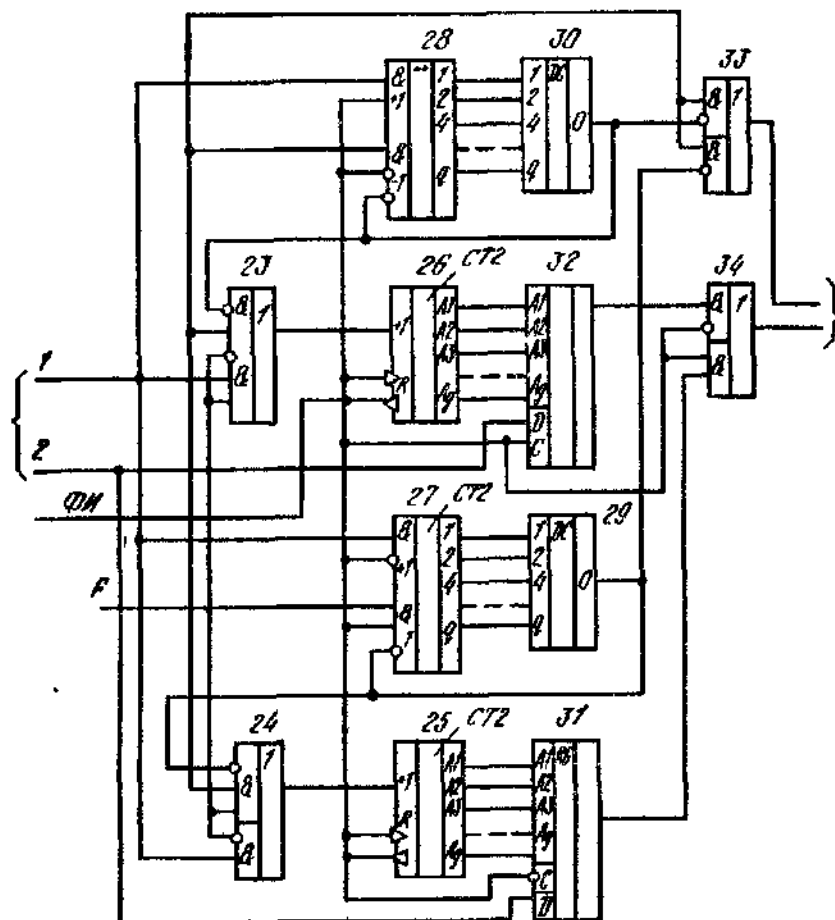


Fig. 4

Составитель Г. Ромашов

Редактор В. Вилипенко Техред М. Надь

Корректор В. Бутяга

Заказ 6949/59

Тираж 677

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4