



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

для служебного пользования ЭКЗ № 0 071

(19) **SU** (11) **1652934 A1**

(51) **G 01 R 21/00**

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

1

2

(21) 4406579/21

(22) 29.02.88

(71) Львовский политехнический институт  
им. Ленинского комсомола

(72) О.М.Доронина, В.Н.Ванько и Г.Н.Лавров

(53) 621.317.7 (088.8)

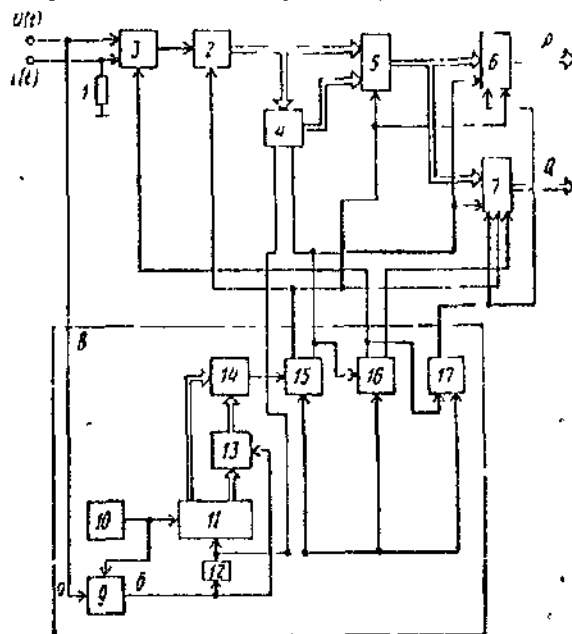
(56) Авторское свидетельство СССР  
№ 497530, кл. G 01 R 21/06, 1970.

Авторское свидетельство СССР  
№ 855516, кл. G 01 R 21/00, 1979.

(54) УСТРОЙСТВО ДЛЯ ИЗМЕРЕНИЯ АКТИВНОЙ И РЕАКТИВНОЙ МОЩНОСТИ

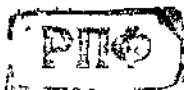
(57) Изобретение относится к электроизмерительной технике и может быть использовано в автоматике и энергетике для реализации измерительных преобразователей активной и реактивной мощности. Целью изобретения является увеличение

точности измерения и упрощение устройства. Цель достигается введением коммутатора 3, позволяющего чередовать во времени обработку цифровых кодов тока и напряжения, и изменением блока 8 управления устройством, который содержит нуль-орган 9, генератор 10 опорной частоты, счетчик 11, элемент 12 задержки, ячейку 13 памяти и схему 14 сравнения формирующие 1/4 полушага дискретизации входных сигналов, триггеры 15 и 16, выделяющие соответственно 1/2 шага и шаг дискретизации, триггер 17, осуществляющий установку в "0" сумматоров 6 и 7, накапливающих информацию об активной и реактивной мощностях за период, в начале очередного периода. Устройство содержит также калиброванный резистор 1, аналого-цифровой преобразователь 2, ячейку 4 памяти, перемножитель 5, сумматоры 6, 7, 1 з.п.ф. 2 ил.



Фиг. 1

(19) **SU** (11) **1652934 A1**



Изобретение относится к электроизмерительной технике и может быть использовано в автоматике и энергетике, например, для реализации измерительных преобразователей активной и реактивной мощности.

Целью изобретения является повышение точности измерения активной и реактивной мощности с одновременным упрощением устройства.

На фиг. 1 представлена блок-схема устройства для измерения активной и реактивной мощности; на фиг. 2 – временные диаграммы его работы.

Устройство (фиг.1) содержит калиброванный резистор 1, аналого-цифровой преобразователь 2, коммутатор 3, ячейку 4 памяти, перемножитель 5, накапливающие сумматоры 6, 7 и блок 8 управления. Первый и второй входы коммутатора 3 подключены соответственно к входной шине напряжения, соединенной также с входом блока 8 управления, и через калиброванный резистор 1 – к входной шине тока, вход управления – к первому выходу блока 8 управления, а выход – к входу аналого-цифрового преобразователя 2. Выходы аналого-цифрового преобразователя 2 соединены с первыми и – через ячейку 4 памяти – с вторыми входами перемножителя 5, а тактовый вход – с вторым выходом блока 8 управления и входами управления записью перемножителя 5 и накапливающих сумматоров 6 и 7. Выходы перемножителя 5 подключены к входам накапливающих сумматоров 6 и 7, выходы которых являются выходами устройства. Третий выход блока 8 управления соединен с входом установки в "0" ячейки 4 памяти, четвертый выход – с входами установки в "0" накапливающих сумматоров 6 и 7, пятый выход – с входами управления записью ячейки 4 памяти и регистров памяти накапливающих сумматоров 6 и 7, а шестой выход – с входом выбора режима работы накапливающего сумматора 7.

Блок 8 управления содержит нуль-орган 9, генератор 10 опорной частоты, счетчик 11, элемент 12 задержки, ячейку 13 памяти, схему 14 сравнения кодов и триггеры 15–17. Вход нуль-органа 9 подключен к входу блока 8 управления, вход синхронизации к выходу генератора 10 опорной частоты и входу счетчика 11, а выход – к входу управления записью ячейки 13 памяти и через элемент 12 задержки – к входам установки в "0" счетчика 11, триггеров 15–17 и третьему выходу блока 8 управления. Выходы младших разрядов счетчика 11 соединены с первыми входами схемы 14 сравнения кодов, выходы старших разрядов – через ячейку памяти 13 – с вторыми входами схемы 14, выход

которой соединен со счетным входом триггера 15. Прямой и инверсный выходы последнего подключены соответственно к второму выходу блока 8 управления и пятому выходу блока 8, соединенному также со счетным входом триггера 16. Прямой и инверсный выходы триггера 16 подключены соответственно к первому выходу блока 8, соединенному также с входом установки в "1" триггера 17, и шестому выходу блока 8, четвертый выход которого соединен с выходом триггера 17.

Измерение активной и реактивной мощности производится устройством по каждому периоду сигналов контролируемой электрической сети, выделяемому по соседним переходам напряжения  $U(t)$  через "0" в одном направлении. В начале очередного периода  $T_x$  (фиг 2а) нуль-органом 9 формируется импульс (фиг 2б), синхронизированный с импульсом опорной последовательности с выхода генератора 10 опорной частоты, осуществляющий перенос в ячейку 13 памяти кода  $1/4$  шага  $\Delta T_x$  дискретизации входных сигналов из старших разрядов счетчика 11 и установку через некоторое время задержки счетчика 11, триггеров 15–17 и ячейки 4 в состояние "0". В течение  $T_x$  схема 14 сравнения сравнивает код  $\Delta T_x/4c$  текущим кодом младших разрядов счетчика 11, на вход которого поступают импульсы опорной частоты следования с выхода генератора 10. При равенстве кодов вырабатывается импульс, ограничивающий очередную  $1/4$  шага дискретизацию входных сигналов (фиг.2в). Триггеры 15 и 16 производят деление частоты следования импульсов с выхода схемы 14 на 2 и 4, выделяя тем самым текущие полушаги  $\Delta T_x/2$  и шаги  $\Delta T_x$  дискретизации (фиг.2г, д).

В течение второго полушага очередного  $(j-1)$ -го шага дискретизации (триггер 16 – в "0") преобразователь 2 при помощи резистора 1 и коммутатора 3 производит выборку и преобразование в цифровой код значения тока  $i(t_j - \Delta T_x/2)$  (триггер 15 – в "0") и переходит в режим хранения (триггер 15 – в "1"). В конце  $(j-1)$ -го шага  $(\Delta T_x \cdot j-1)$  дискретизации информация с выходов преобразователя 2 переносится в ячейку 4 памяти. В течение первого полушага  $j$ -го шага  $(\Delta T_x)$  дискретизации (триггер 16 – в "1") преобразователь 2 при помощи коммутатора 3 производит выборку и преобразование в цифровой код значения напряжения  $U(t_j)$  (триггер 15 – в "0") и переходит в режим хранения (триггер 15 – в "1"), после чего код  $U(t)$  с выходов преобразователя 2 и одновре-

менно с ним код  $i(t_j \Delta T_x / 2)$  с выходов ячейки 4 памяти заносятся в перемножитель 5 и перемножаются там между собой. В конце первого полушага  $\Delta T_x$  код  $U(t_j)$  записывается в ячейку 4 памяти. Во втором полушаге  $\Delta T_x$  код произведения  $U(t_j)$  и  $i(t_j - \Delta T_x / 2)$  заносится в сумматоры 6, 7 соответственно, прибавляется к содержимому сумматора 6 и вычитывается из содержимого сумматора 7, после чего (в конце  $\Delta T_x$ ) результаты этих операций записываются в регистры памяти сумматоров 6 и 7. Кроме того, во втором полушаге  $\Delta T_x$  преобразователь 2 при помощи резистора 1 и коммутатора 3 производит выборку и преобразование в цифровой код значения тока  $i(t_j + \Delta T_x / 2)$  (триггер 15 - в "0"), после чего перемножитель 5 производит перемножение кодов  $U(t_j)$  и  $i(t_j + \Delta T_x / 2)$  (триггер 15 - в "1"). В конце  $\Delta T_x$  код  $i(t_j + \Delta T_x / 2)$  записывается в ячейку памяти, в течение первого полушага  $(j+1)$ -го шага дискретизации код произведения  $U(t_j)$  и  $i(t_j + \Delta T_x / 2)$  прибавляется к содержимому сумматоров 6 и 7.

В результате указанных операций для  $j$ -й точки отсчета мощности содержимое сумматоров 6 и 7 изменяется соответственно на значения:

$$P' = K'_P [U_m \sin \omega t_j; J_m \sin(\omega t_j + \varphi - \omega \Delta T_x / 2) + U_m \sin \omega t_j; J_m \sin(\omega t_j + \varphi + \omega \Delta T_x / 2)],$$

$$Q' = K'_Q [U_m \sin \omega t_j; J_m \sin(\omega t_j + \varphi + \omega \Delta T_x / 2) - U_m \sin \omega t_j; J_m \sin(\omega t_j + \varphi - \omega \Delta T_x / 2)]$$

и к концу периода  $T_x$  при  $\Delta T_x \ll T_x$  составляет соответственно

$$P = \frac{K'_P T_x}{\Delta T_x} \int_0^{T_x} P'(t) dt = K_P J_m U_m \cos \varphi;$$

где

$$K_P = K'_P T_x \cos(2\pi \Delta T_x / T_x \cdot 2) / \Delta T_x \approx K'_P n;$$

$$Q = \frac{K'_Q T_x}{\Delta T_x} \int_0^{T_x} Q'(t) dt = K_Q J_m U_m \sin \varphi,$$

$$K_Q = K'_Q T_x \sin(2\pi \Delta T_x / T_x \cdot 2) / \Delta T_x = K'_Q \pi$$

За время текущего периода  $T_x$  входных сигналов в счетчике 11 накапливается число  $T_x / f_0$  импульсов опорной частоты следования с выхода генератора 10. В начале следующего периода входных сигналов содержимое старших разрядов счетчика 11  $T_x f_0 / 4n$ , где  $n$  - необходимое число шагов дискретизации, переносится в регистр ячейки памяти 13 и определяет  $1/4$  шага

дискретизации для этого периода. Кроме того, в начале последнего на выходе триггера 17 формируется импульс (фиг. 2e), сбрасывающий по своему заднему фронту сумматоры 6 и 7 в "0" и подготавливая их тем самым к работе в этом периоде.

Предлагаемое устройство для измерения активной и реактивной мощности выгодно отличается от известного, так как благодаря введению смещения точек измерения тока на половину шага дискретизации входных сигналов по отношению к точкам измерения напряжения позволяет использовать для преобразования и тока, и напряжения один и тот же аналого-цифровой преобразователь и, следовательно, исключить погрешности измерения активной и реактивной мощности от временной разности срабатывания дискретных преобразователей тока и напряжения, свойственные прототипу. Кроме того, введение смещения точек измерения тока и напряжения приводит к упрощению алгоритма обработки их мгновенных значений

Кроме того, смещение точек измерения тока по отношению к точкам измерения напряжения приводит к смещению во времени обработки кодов напряжения и тока, что позволяет исключить из устройства аналого-цифровой преобразователь, еще один перемножитель кодов и ячейку памяти, добавив при этом лишь коммутатор и триггер в блок управления.

Таким образом, технико-экономическим преимуществом изобретения в сравнении с прототипом является увеличение точности измерения активной и реактивной мощности при одновременном упрощении устройства

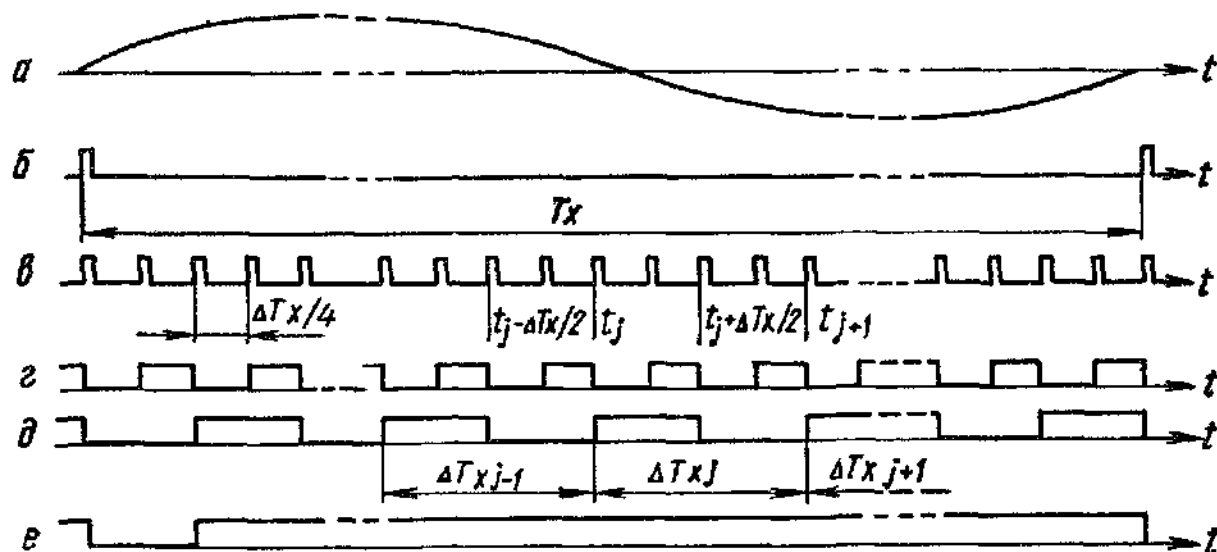
#### Формула изобретения

1. Устройство для измерения активной и реактивной мощности, содержащее аналого-цифровой преобразователь, ячейку памяти, перемножитель, первый и второй накапливающие сумматоры и блок управления, причем выходы аналого-цифрового преобразователя подключены к первым входам перемножителя, выходы которого соединены с входами первого накапливающего сумматора, а выходы накапливающих сумматоров являются выходами устройства, отличающееся тем, что, с целью повышения точности и упрощения устройства, в него введены калиброванный резистор, коммутатор, первый и второй входы которого подключены соответственно к входной шине напряжения, соединенной также с входом блока управления и через калиброванный резистор - с входной шиной тока, вход управления - к первому выходу

блока управления, а выход — к входу аналого-цифрового преобразователя, выходы которого через ячейку памяти соединены с вторыми входами перемножителя, а тактовый вход — с вторым выходом блока управления и входами управления записью перемножителя и накапливающих сумматоров, выходы перемножителя подключены к входам второго накапливающего сумматора, третий выход блока управления соединен с входом установки в "0" ячейки памяти, четвертый выход — с входами установки в "0" первого и второго накапливающих сумматоров, пятый выход — с входами управления записью ячейки памяти и регистров памяти накапливающих сумматоров, а шестой выход — с входом выбора режима работы второго накапливающего сумматора.

2. Устройство по п.1, отличающееся тем, что блок управления содержит нуль-орган, генератор опорной частоты, счетчик, элемент задержки, схему сравнения кодов, ячейку памяти, первый, второй и третий триггеры, причем вход нуль-органа

5 подключен к входу блока управления, вход синхронизации — к выходу генератора опорной частоты, соединенному также с входом счетчика, а выход — к входу управления записью ячейки памяти и через элемент задержки — к входам установки в "0" счетчика, первого, второго и третьего триггеров и третьему выходу блока управления, выходы младших разрядов счетчика соединены с первыми входами схемы сравнения кодов, выходы старших разрядов через ячейку памяти — с вторыми входами схемы сравнения кодов, выход которой соединен со счетным входом первого триггера, прямой и инверсный выходы последнего подключены соответственно к второму и пятому выходам блока управления, соединенному также со счетным входом второго триггера, прямой и инверсный выходы второго триггера подключены соответственно к первому выходу блока управления, соединенному также с входом установки в "1" третьего триггера и шестому выходу блока управления, четвертый выход которого соединен с выходом



Фиг. 2

Редактор А. Маковская

Составитель С. Хромов

Техред М. Моргентал

Корректор М. Максимишинец

Заказ 3227/ДСП

Тираж 279

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101