



УКРАЇНА

(19) UA

(11) 58743

(13) A

(51) 7 G06F7/04

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ  
НА ВИНАХІДвидається під  
відповідальність  
власника  
патенту

## (54) ПРИСТРІЙ ДЛЯ РЕАЛІЗАЦІЇ ШВИДКОГО ПЕРЕТВОРЕННЯ ХАРТЛІ

1

2

(21) 2002107777

(22) 01 10 2002

(24) 15 08 2003

(46) 15 08 2003, Бюл. № 8, 2003 р.

(72) Дуденко Сергій Васильович, Рубан Ігор Вікторівич, Голубничий Дмитро Юрійович, Корольова Наталія Анатоліївна

(73) ХАРКІВСЬКИЙ ВІЙСЬКОВИЙ УНІВЕРСИТЕТ

(57) 1 Пристрій для реалізації швидкого перетворення Хартлі містить блок оперативної пам'яті, блок постійної пам'яті, блок управління, суматор, перемножувач, накопичуючий суматор, причому вхід запуску пристрою з'єднаний з входом блоку управління, вхід дозволу читання блоку пам'яті з'єднаний з першим виходом блоку управління, адресні входи блоку оперативної пам'яті та блоку постійної пам'яті з'єднані з другим виходом блоку управління, вихід блоку оперативної пам'яті з'єднаний з першим входом перемножувача, вихід котрого з'єднаний з входом накопичуючого суматора, вихід три блоку управління з'єднаний з входом управління читанням блоку оперативної пам'яті та входом управління суматором, з входом дозволу читанням блоку постійної пам'яті, з входом управління перемноженням елементів в перемножувачі, з входом управління накопичуючого суматора, який **відрізняється** тим, що перший та другий виходи блоку постійної пам'яті з'єднані з першим та другим входами суматора відповідно, вихід котрого з'єднаний з другим входом перемножувача

2 Пристрій для реалізації швидкого перетворення Хартлі за п. 1 містить блок управління до складу якого входять генератор тактових імпульсів, тригер, перший та другий лічильники, дешифратор, одновібратор, перший, другий, третій та четвертий

елементи І, причому вхід блоку управління з'єднаний з входом переводу тригера в одиницю, вихід тригеру з'єднаний з входом генератору тактових імпульсів, вихід якого з'єднаний з рахунковим входом другого лічильника та другим входом першого, другого, третього та четвертого елементів І, перший вихід другого лічильника (молодший розряд) з'єднаний з першим входом дешифратора (молодший розряд), другий вихід другого лічильника (старший розряд) з'єднаний з входом одновібратора та другим входом дешифратора (старший розряд), вихід котрого з'єднаний з входом скидання другого лічильника і рахунковим входом першого лічильника, вихід переповнення першого лічильника з'єднаний з входом скидання тригера, виходи лічення другого лічильника з'єднані з другим виходом блоку управління, перший вихід дешифратора з'єднаний з першим входом першого елемента І, другий вихід дешифратора з'єднаний з першим входом другого елемента І та першим виходом блоку управління, третій вихід дешифратора з'єднаний з першим входом третього елемента І, четвертий вихід дешифратора з'єднаний з першим входом четвертого елемента І, вихід першого елемента І по другому виходу блоку управління з'єднаний з входом дозволу читання блоку постійної пам'яті, вихід другого елемента І по другому виходу блоку управління з'єднаний з входом управління читанням блоку оперативної пам'яті та з входом управління суматора, вихід третього елемента І по другому виходу блоку управління з'єднаний з входом управління перемноженням елементів перемножувача, вихід четвертого елемента І по другому виходу блоку управління з'єднаний з входом управління накопичуючого суматора

Запропонований винахід відноситься до галузі автоматики й обчислювальної техніки і може бути використаний в системах обробки і відображення інформації

Найбільш близьким до запропонованого технічним рішенням, обраним як прототип, є пристрій для реалізації швидкого перетворення Хартлі [1],

який містить блок пам'яті, блок постійної пам'яті, блок управління, перемножувач, два накопичувачі суматора, елемент АБО, три комутатори, два лічильники, два реєстри зсуву

Блок управління містить одновібратор, елемент АБО, тригер обробки, лічильник ітерацій, генератор тактових імпульсів, накопичуючий сума-

(19) UA (11) 58743 (13) A

тор, двійковий лічильник, дешифратор нульової операції, елемент що виключає АБО, елемент АБО-НІ, елемент І

Перетворення Хартлі дійсної функції  $f(t)$ ,  $t=0,1, \dots, N-1$  є сума косинусного та синусного перетворень

$$H(v) = N^{-1} \sum_{t=0}^{N-1} f(t) \cos(2\pi vt/N), \quad v = \overline{0, N-1}$$

де  $\cos(\oplus) = \cos(\ominus) + \sin(\oplus)$

Пристрій прототип для реалізації швидкого перетворення Хартлі виконує елементарне перетворення як  $A+B \cdot W_1+C \cdot W_2$  (1)

де  $A, B, C$  - перший, другий та третій операнди, які зберігаються в блоці пам'яті та є значеннями дійсної функції  $f(t)$ ,

$W_1, W_2$  - перший та другий коефіцієнти, які зберігаються в блоці постійної пам'яті та є значеннями косинус та синус коефіцієнтів

Недоліком даного пристрою є необхідність дворазового множення елементів, що в свою чергу виражається у низькій швидкодії пристрою

В основу винаходу поставлена задача створити такий пристрій для реалізації швидкого перетворення Хартлі, який дозволить зменшити час одержання результату

Поставлена задача вирішується за рахунок того, що пристрій для реалізації швидкого перетворення Хартлі містить блок оперативної пам'яті, блок постійної пам'яті, блок управління, суматор, перемножувач, накопичувач суматор, причому вхід запуску пристрою з'єднаний з входом блоку управління. Вхід дозволу читання блоку пам'яті з'єднаний з першим виходом блоку управління. Адресні входи блоку оперативної пам'яті та блоку постійної пам'яті з'єднані з другим виходом блоку управління. Вихід блоку оперативної пам'яті з'єднаний з першим входом перемножувача. Вихід перемножувача з'єднаний з входом накопичувача суматора. Третій вихід блоку управління з'єднаний з входом управління читанням блоку оперативної пам'яті та входом управління суматором, з входом дозволу читання блоку постійної пам'яті, з входом управління перемноженням елементів в перемножувачі, з входом управління накопичувача суматора. Додатково введено суматор. Перший та другий виходи блоку постійної пам'яті з'єднані з першим та другим входами суматора відповідно. Вихід суматора з'єднаний з другим входом перемножувача.

Блок управління містить генератор тактових імпульсів, тригер, перший та другий лічильники, дешифратор, одновібратор, перший, другий, третій та четвертий елементи І, причому вхід блоку управління з'єднаний з входом переводу тригера в одиницю, вихід тригера з'єднаний з входом генератора тактових імпульсів, вихід якого з'єднаний з рахунковим входом другого лічильника та другим входом першого, другого, третього та четвертого елементів І. Перший вихід другого лічильника (молодший розряд) з'єднаний з першим входом дешифратора (молодший розряд). Другий вихід другого лічильника (старший розряд) з'єднаний з входом одновібратора та другим входом дешифратора (старший розряд). Вихід одновібратора з'єднаний з входом скидання другого лічильника і

рахунковим входом першого лічильника. Вихід переповнення першого лічильника з'єднаний з входом скидання тригера. Виходи лічлення другого лічильника з'єднані з другим виходом блоку управління. Перший вихід дешифратора з'єднаний з першим входом першого елемента І, другий вихід дешифратора з'єднаний з першим входом другого елемента І та першим виходом блоку управління, третій вихід дешифратора з'єднаний з першим входом третього елемента І, четвертий вихід дешифратора з'єднаний з першим входом четвертого елемента І. Вихід першого елемента І по другому виходу блоку управління з'єднаний з входом дозволу читання блоку постійної пам'яті. Вихід другого елемента І по другому виходу блоку управління з'єднаний з входом управління читанням блоку оперативної пам'яті та з входом управління суматора. Вихід третього елемента І по другому виходу блоку управління з'єднаний з входом управління перемноженням елементів перемножувача. Вихід четвертого елемента І по другому виходу блоку управління з'єднаний з входом управління накопичувача суматора.

Технічний результат, який може бути отриманий при здійсненні винаходу, полягає в спрощенні пристрою для реалізації швидкого перетворення Хартлі та підвищенні його швидкодії.

На фіг 1 зображена блок-схема пропонованого пристрою.

На фіг 2 зображена структурна схема блоку управління пропонованого пристрою.

Запропонований пристрій для реалізації швидкого перетворення Хартлі (фіг 1) містить блок оперативної пам'яті 1, блок постійної пам'яті 2, блок управління 3, суматор 4, перемножувач 5, накопичувач суматор 6, вхід запуску пристрою 7, вихід 8, виходи блоку управління 9, 10 та 11, причому вхід запуску пристрою 7 з'єднаний з входом блоку управління 3. Вхід дозволу читання блоку оперативної пам'яті 1 з'єднаний з виходом 9 блоку управління 3. Адресні входи блоку оперативної пам'яті 1 та блоку постійної пам'яті 2 з'єднані з виходом 10 блоку управління 3. Вихід блоку оперативної пам'яті 1 з'єднаний з першим входом перемножувача 5. Перший та другий виходи блоку постійної пам'яті 2 з'єднані з першим та другим входами суматора 4 відповідно. Вихід суматора 4 з'єднаний з другим входом перемножувача 5. Вихід перемножувача 5 з'єднаний з входом накопичувача суматора 6. Вихід суматора 6 є вихід пристрою 8. Вихід 11 блоку управління 3 з'єднаний з входом управління читанням блоку оперативної пам'яті 1 та входом управління суматором 4, з входом дозволу читання блоку постійної пам'яті 2, з входом управління множенням елементів в перемножувачі 5, з входом управління накопичувача суматора 6.

Блок управління 3 пристрою для реалізації швидкого перетворення Хартлі (фіг 2) містить генератор тактових імпульсів 12, тригер 13, лічильники 14 та 15, дешифратор 16, одновібратор 17, елементи І 18-21, причому вхід блоку управління 3 з'єднаний з входом переводу тригера 13 в одиницю, вихід тригера 13 з'єднаний зі входом генератора тактових імпульсів 12, вихід якого з'єднаний з рахунковим входом лічильника 15 та другими вхо-

дами елементів І 18-21. Перший вихід (молодший розряд) лічильника 15 з'єднаний з першим входом (молодший розряд) дешифратора 16. Другий вихід (старший розряд) лічильника 15 з'єднаний з входом одновібратора 17 та другим входом (старший розряд) дешифратора 16. Вихід одновібратора 17 з'єднаний з входом скидання лічильника 15 і рахунковим входом лічильника 14. Вихід переповнення лічильника 14 з'єднаний з входом скидання тригера 13. Виходи лічення лічильника 14 з'єднані через вихід 10 блоку управління 3 з адресними входами блоку оперативної пам'яті 1 та блоку постійної пам'яті 2. Перший вихід дешифратора 16 з'єднаний з першим входом елемента І 18, другий вихід дешифратора 16 з'єднаний з першим входом елемента І 19 та через вихід 9 блоку управління 3 з входом дозволу читання блоку оперативної пам'яті 1, третій вихід дешифратора 16 з'єднаний з першим входом елемента І 20, четвертий вихід дешифратора 16 з'єднаний з першим входом елемента І 21. Вихід елемента І 18 з'єднаний через перший розряд виходу 11 блоку управління 3 з входом дозволу читання блоку постійної пам'яті 2. Вихід елемента І 19 з'єднаний через другий розряд виходу 11 блоку управління 3 з входом управління читанням блоку оперативної пам'яті 1 та з входом управління суматора 4. Вихід елемента І 20 з'єднаний через третій розряд виходу 11 блоку управління 3 з входом управління множенням операндів поданих на входи перемножувача 5. Вихід елемента І 21 з'єднаний через четвертий розряд виходу 11 блоку управління 3 з входом управління накопичувачою суматора 6.

Робота запропонованого пристрою полягає в наступному.

Перед початком роботи в блок оперативної пам'яті 1 записані операнди А та В в додатковому коді, а в блок постійної пам'яті 2 записані коефіцієнти  $W_1$  та  $W_2$ , причому синус  $W_1$  та косинус  $W_2$  коефіцієнти знаходяться на різних сторінках пам'яті за однією адресою, накопичуючий суматор 6, лічильник 14 ітерацій, лічильник тактів 15 і тригер 13 у нульовому стані.

По сигналу "Запуск обробки", що надходить по входу пристрою 7, тригер 13 встановлюється в одиничний стан, сигнал "1" з виходу тригера обробки 13 надходить на вхід генератора тактових імпульсів 12, що починає формувати послідовність тактових імпульсів, що надходять на рахунковий вхід лічильника тактів 15 та другі входи елементів І 18-І 21. На виході дешифратора 16 формується унітарний код такту, причому рівень "1" буде тільки на одному з чотирьох його виходів, з'єднаних з першими входами відповідних елементів І 18-І 21.

На першому такті формується рівень "1" на першому виході дешифратора 16, який дозволяє проходження тактового імпульсу з генератора 12 через вихід 11 блоку 3 управління на вхід управління блоку постійної пам'яті 2. На адресні входи блоку оперативної пам'яті 1 і блоку постійної пам'яті 2 через вихід 10 блоку управління 3 подається код адреси, що відповідає номеру ітерації, що задається лічильником ітерацій 14. У результаті коефіцієнти з блоку постійної пам'яті 2 надходять на входи суматора 4.

На другому такті по задньому фронту тактово-

го імпульсу інкрементується лічильник тактів 15, а також із другого виходу дешифратора 16 рівень "1" через вихід 9 блоку управління 3 дозволяє робити операцію читання даних із блоку оперативної пам'яті 1, що керується тактовим імпульсом, який надходить через елемент 119 блоку управління 3. Одночасно цей імпульс синхронізує операцію підсумовування коефіцієнтів у суматорі 4, результат якого передається на другий вхід перемножувача 5, на перший вхід якого надходить операнд із блоку оперативної пам'яті 1.

На третьому такті при надходженні через елемент І 20 виходу 11 блоку управління 3 тактового імпульсу результат множення суми коефіцієнтів і операнда формується на виході перемножувача 5.

На четвертому такті кожної ітерації в суматорі 6 накопичується результат перетворення при надходженні через елемент І 21 виходу 11 блоку управління 3 тактового імпульсу.

На рахунковий вхід лічильника ітерацій 14 з виходу одновібратора 17 надходить рахунковий імпульс, формований із заднього фронту старшого розряду лічильника тактів 15, при цьому вміст лічильника ітерацій 14 інкрементується, що свідчить про закінчення першої ітерації.

Наступні ітерації ідентичні першій. Після завершення останньої ітерації на виході переповнення лічильника ітерацій 14 формується рівень "1", що скидає тригер 13 у нульовий стан, а пристрій повертається у

початковий стан, при цьому з виходу пристрою 8 повинний бути зчитаний остаточний результат.

Запропонований пристрій для реалізації швидкого перетворення Харті виконує елементарне перетворення як

$$A+B \cdot (W_1+W_2) \quad (2)$$

де А, В - перший та другий операнди, які зберігаються в блоці оперативної пам'яті та є значеннями дійсної функції  $f(t)$ ,

$W_1$ ,  $W_2$  - перший та другий коефіцієнти, які зберігаються в блоці постійної пам'яті та є значеннями косинуса та синуса коефіцієнтів.

Модифікація виразу (1) до виразу (2) дозволяє уникнути дворазового множення елементів.

Особливість алгоритму полягає в послідовному повторенні на чотирьох ітераціях елементарних перетворень за виразом (2). Кожне елементарне перетворення виконується за чотири такти таким чином.

1 З блоку постійної пам'яті витягаються перший і другий коефіцієнти, що надходять на входи суматора.

2 Додаються коефіцієнти в першому суматорі 3 блоку оперативної пам'яті витягається операнд і надходить на вхід перемножувача, на інший вхід якого надходить результат додавання коефіцієнтів з виходу суматора.

3 Множиться операнди 3 виходу перемножувача результат надходить на вхід накопичувачою суматора.

4 Накопичується результат в накопичувачою суматорі.

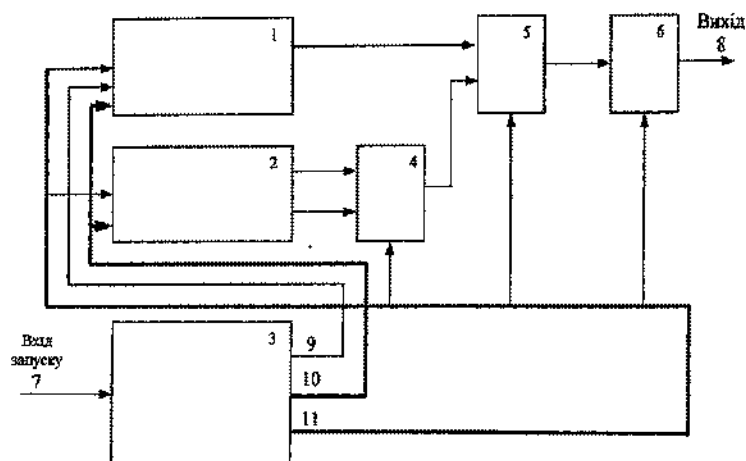
Аналізуючи алгоритм виконання елементарного перетворення пристроєм прототипом та запропонованим пристроєм (незважаючи на те, що пристрої виконують елементарне перетворення в

чотири такти), можна побачити, що 1,3 та 4 такти однакові. Відрізнення в роботі полягає у виконанні другого такту. Так пристрій прототип на цьому такті виконує множення операндів, а запропонований пристрій - додавання. У зв'язку з тим, що в обчислювальній техніці операція множення займає набагато довше часу ніж додавання, в цілому це

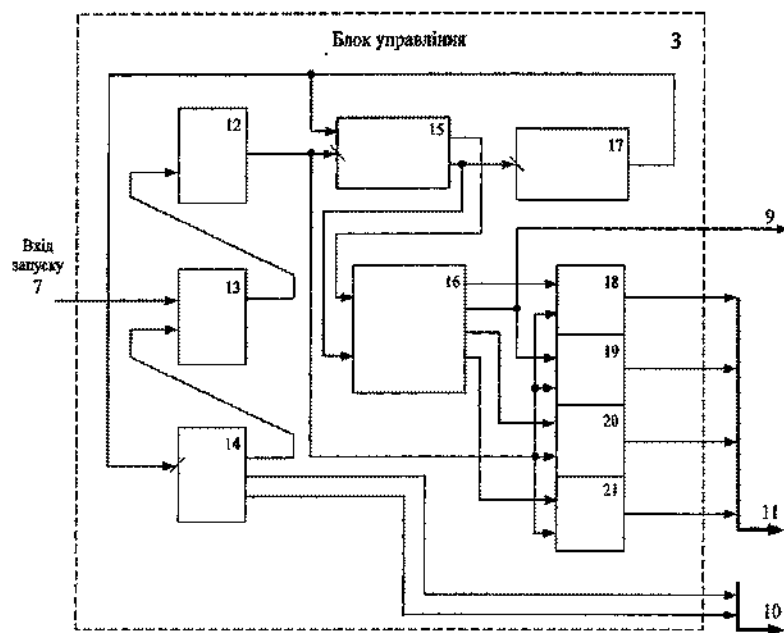
приводить до підвищення швидкодії пристрою. Спрощення пристрою для реалізації швидкого перетворення Хартлі полягає в усуненні 8 елементів з 14 в пристрої прототипу.

Джерела інформації

1 Авторское свидетельство СССР №1444815, 1988, БИ №46



Фіг.1



Фіг.2