



УКРАЇНА

(19) UA (11) 53412 (13) A

(51) 7 G01R25/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДВИДАЄТЬСЯ ПІД
ВІДПОВІДАЛЬНІСТЬ
ВЛАСНИКА
ПАТЕНТУ

(54) ДИНАМІЧНИЙ АНАЛІЗАТОР СПЕКТРА

1

2

(21) 2002054094

(22) 20 05 2002

(24) 15 01 2003

(46) 15 01 2003, Бюл. № 1, 2003 р.

(72) Іванько Олександр Олександрович, Боженар Віктор Якимович, Іванько Олег Олександрович, Іванько Ярослав Олександрович

(73) Боженар Віктор Якимович

(57) Динамічний аналізатор спектра, що містить вхідний блок, вихід якого з'єднаний з виходом підсилювача, а вхід - з вхідною шиною, а також формувач адрес і блок перепрограмовних постійних запам'ятовувачів пристроїв, адресні входи яких підключені до кодових виходів формувача адрес, до виходу підсилювача підключений аналого-цифровий перетворювач, два блоки помноження, кожний з яких містить N помножувачів, два блоки квадраторів, кожний з яких містить N квадраторів, блок обчислення модуля, що містить N обчислювачів, блок функціональних перетворювачів, що містить N перетворювачів, пристрій синхронізації і другий блок перепрограмовних постійних запам'ятовувачів пристроїв, який відрізняється тим, що в нього введені два блоки зсувних реєстрів, кожний з яких містить N реєстрів з M-1 каскадами, два блоки суматорів, кожний з яких містить N суматорів, блок комутації входів суматорів, при цьому перший і другий блок перепрограмовних запам'ятовувачів пристроїв містять N запам'ятовувачів пристроїв кожний, адресні входи яких об'єднані і підключені до виходу формувача адрес, вхід якого об'єднаний з першим виходом пристрою синхронізації і першим входом аналого-цифрового перетворювача, другий вхід якого підключено до виходу підсилювача, а вихід - до першого входу кожного з N помножувачів першого і другого блоків помножувачів, другий вхід кожного з N помножувачів першого блока помножувачів з'єднаний з виходом відносного запам'ятовувача пристрою першого блока перепрограмовних постійних

запам'ятовувачів пристроїв, другий вхід кожного з N помножувачів другого блока помножувачів з'єднаний з виходом відносного запам'ятовувача пристрою другого блока перепрограмовних постійних запам'ятовувачів пристроїв, треті входи кожного з N помножувачів першого і другого блоків помножувачів з'єднані і підключені до другого виходу пристрою синхронізації, вхід кожного з N реєстрів першого блока зсувних реєстрів з'єднаний з виходом відносного помножувача першого блока помножувачів, а виходи і вхід кожного каскаду з N реєстрів з'єднані з M входами суматорів першого блока суматорів, вихід суматора - з першим входом відповідного квадратора першого блока квадраторів і першим входом відповідного перетворювача блока функціональних перетворювачів, вхід кожного з N реєстрів другого блока зсувних реєстрів з'єднаний з виходом відповідного помножувача другого блока помножувачів, а виходи і вхід кожного каскаду з N реєстрів з'єднані з M входами суматорів другого блока суматорів, вихід суматора - з першим входом відповідного квадратора другого блока квадраторів і другим входом відповідного перетворювача блока функціональних перетворювачів, другі входи кожного з N квадраторів першого і другого блоків квадраторів підключені до другого виходу пристрою синхронізації, а вихід кожного з N квадраторів першого блока квадраторів з'єднаний з першим входом відповідного обчислювача блока обчислювачів модуля, другий вхід кожного з N обчислювачів блока обчислювачів модуля підключений до виходу відповідного квадратора другого блока квадраторів, другі входи кожного з N реєстрів першого і другого блоків зсувних реєстрів з'єднані з третім виходом пристрою синхронізації, при цьому виходи блока обчислювачів модуля є першою вихідною шиною аналізатора спектра, а виходи блока функціональних перетворювачів - його другою вихідною шиною

Винахід відноситься до області вимірювальної техніки та електронних інформаційних систем обробки детермінованих та випадкових сигналів в частотній області в реальному часі.

Відомий аналізатор комплексного спектру пе-

рюдичних напруг, що має вхідний блок, вихід якого з'єднано з виходом підсилювача, а вхід з вхідною шиною, синхронний детектор, вихід якого з'єднано з виходом індикатора, формувач опорної напруги, перший вихід якого з'єднано з першим входом

(19) UA (11) 53412 (13) A

синхронного детектору, а вхід - з шиною опорної напруги, а також цифро-аналоговий перетворювач, програмуємий постійний запам'ятовуючий блок і формувач адрес, причому сигнальний вхід і вихід цифро-аналогового перетворювача підключено відповідно до виходу підсилювача і до другого входу синхронного детектора, а керуючі входи цифро-аналогового перетворювача з'єднані з кодовими виходами програмуемого постійного запам'ятовуючого блока, адресні входи якого підключені до кодових виходів формувачів адрес, вхід якого з'єднано з другим входом формувача опорної напруги [CPCP, авторське свідоцтво № 1122004, G01R25/00]

Суттєвим недоліком наведеного аналізатора є його низька швидкість обчислювань, що є необхідністю зміни частоти опорної напруги в процесі спектрального аналізу для подальшого обчислення амплітудних і фазових спектрів

Задачею винаходу є створення динамічного аналізатора спектра, який за рахунок введення до складу першого і другого блоків зсувних реєстрів з $M - 1$ каскадами та з виводами від загального входу і виходів кожного каскаду реєстра, які виконують роль цифрової лінії затримки, а також заміною першого і другого блоків накопичувальних суматорів звичайними суматорами з M входами, причому, входи першого і другого зсувних реєстрів підключені до вихідних шин першого і другого блоків помножувачів, а перший і другий суматори до M виводів першого і другого блоків реєстрів відповідно, а виходи першого і другого суматорів підключені до першого і другого блоків квадраторів відповідно і входу блока функціонального перетворювача

Введення в аналізатор спектру нових елементів і зв'язків дозволило реалізувати рекурентний алгоритм довільних сигналів в плинному часовому вікні тривалістю $M \cdot T$ з можливістю паралельного виконання операцій, де M - довільне ціле число, T - період дискретизації оцифрованого в аналого-цифровому перетворювачі (АЦП) сигналу, а M - кількість часових дискретів чекаемого сигналу

Поставлена задача вирішується тим, що в динамічному аналізаторі спектра, який містить вхідний блок, вихід якого з'єднано з входом підсилювача, а вхід - з вхідною шиною, а також формувач адрес і блок перепрограмованих постійних запам'ятовуючих пристроїв, адресні входи яких підключені до кодових виходів формувача адрес, до виходу підсилювача підключено аналого-цифровий перетворювач, два блоки помноження, кожен з яких вміщує N помножувачів, два блоки квадраторів, кожен з яких вміщує N квадраторів, блок обчислення модулю, який містить N обчислювачів, блок функціональних перетворювачів, який містить N перетворювачів, пристрій синхронізації і другий блок перепрограмованих постійних запам'ятовуючих пристроїв, згідно з винаходом, в нього введені два блоки зсувних реєстрів, кожен з яких вміщує N реєстрів з $M-1$ каскадами, два блоки суматорів, кожен з яких вміщує N суматорів, блок комутації входів суматорів, причому перший і другий блок перепрограмованих запам'ятовуючих пристроїв вміщують N запам'ятовуючих пристроїв кожен, адресні входи яких об'єднані і підключені до вихо-

ду формувача адрес, вхід якого об'єднано з першим виходом пристрою синхронізації і першим входом аналого-цифрового перетворювача, другий вхід якого підключено до виходу підсилювача, а вихід - до першого входу кожного з N помножувачів першого і другого блоків помножувачів, другий вхід кожного з N помножувачів першого блока помножувачів з'єднано з виходом відносного запам'ятовуючого пристрою першого блока перепрограмованих постійних запам'ятовуючих пристроїв, другий вхід кожного з N помножувачів другого блока помножувачів з'єднано з виходом відносного запам'ятовуючого пристрою другого блока перепрограмованих постійних запам'ятовуючих пристроїв, третій входи кожного з N помножувачів першого і другого блоків помножувачів з'єднані і підключені до другого виходу пристрою синхронізації, вхід кожного з N реєстрів першого блока зсувних реєстрів з'єднано з виходом відносного помножувача першого блока помножувачів, а виходи і вхід кожного каскаду з N реєстрів з'єднані з M входами суматорів першого блока суматорів, вихід суматора - з першим входом відповідного квадратора першого блока квадраторів і першим входом відповідного перетворювача блока функціональних перетворювачів, вхід кожного з N реєстрів другого блока зсувних реєстрів з'єднано з виходом відносного помножувача другого блока помножувачів, а виходи і вхід кожного каскаду з N реєстрів з'єднані з M входами суматорів другого блока суматорів, вихід суматора - з першим входом відповідного квадратора другого блока квадраторів і другим входом відповідного перетворювача блока функціональних перетворювачів, другі входи кожного з N квадраторів першого і другого блоків квадраторів підключені до другого виходу пристрою синхронізації, а вихід кожного з N квадраторів першого блока квадраторів з'єднано з першим входом відповідного обчислювача блока обчислювачів модуля, другий вхід кожного з N обчислювачів блока обчислювачів модуля підключено до виходу відповідного квадратора другого блока квадраторів, другі входи кожного з N реєстрів першого і другого блоків зсувних реєстрів з'єднані з третім виходом пристрою синхронізації, при цьому виходи блока обчислювачів модуля є першою вихідною шиною динамічного аналізатора спектра, а виходи блока функціональних перетворювачів - його другою вихідною шиною

Структурная схема динамічного аналізатора спектрів в плинному в часі вікні надана на кресленні

Динамічний аналізатор спектру включає в себе послідовно з'єднані вхідний блок 1, підсилювач 2, АЦП 5, вихід якого підключено до перших входів кожного з N помножувачів першого блока помножувачів 4 і другого блока помножувачів 5. До інших входів кожного з N помножувачів блока 4 підключені виходи відносних запам'ятовуючих пристроїв першого блока ППЗП 6. До других входів кожного з N помножувачів блока 5 підключені виходи відносних запам'ятовуючих пристроїв другого блока ППЗП 7. Адресні входи блоків ППЗП 6 і 7 об'єднані і підключені до виходу формувача адрес 8, вхід якого з'єднано з першим входом пристрою синхронізації 9 і керуючим входом АЦП 5.

Треті входи кожного з N помножувачів блоків 4 і 5 з'єднані з другим виходом пристрою синхронізації 9. Перший і другий блок зсувних регістрів 10 і 12 мають по $M-1$ запам'ятовувачих каскадів кожний. Вхід та інші виходи першого і другого блоків зсувних регістрів 10 і 12 з'єднані з M входами першого і другого суматорів 11 і 13 відносно. Вихід кожного суматора блока 11 з'єднано з першим входом відносного квадратора першого блока квадраторів 14 і першим входом відносного перетворювача блока функціональних перетворювачів 14. Виходи кожного з суматорів блока 11 з'єднані з другим входом відносного перетворювача блока функціональних перетворювачів 17. Другі входи кожного з N квадраторів блока 14 і блока 15 об'єднані і підключені до другого виходу пристрою синхронізації 9, третій вихід якого з'єднано з другим входом кожного з $M-1$ каскадів регістрів блоків 10 і 12. Вихід кожного з N квадраторів блока 14 з'єднано з першим входом відносного обчислювача блока обчислювачів модуля 16. Другий вхід кожного з N обчислювачів блока 16 підключено до виходу відносного квадратора другого блока квадраторів 15. Виходи кожного з N обчислювачів блока 16 є першою вихідною шиною аналізатора спектру, а N виходів блока функціональних перетворювачів 17 - є друга вихідна шина. Зміна ширини часового вікна спектрального аналізу реалізується за допомогою блока комутації 18 входів суматорів.

Для практичної реалізації введених до прототипу елементів рекомендуються наступні відомі рішення.

Суматори блоків складання 11 і 13 можуть бути реалізовані по схемі [Файзулаев Б. Н. Применение интегральных микросхем в электронной вычислительной технике - М. Радио и связь, 1987 - с. 114].

Зсувні регістри блоків 10 і 12 можна реалізувати по схемі [Цыкин И. А. Дискретно-аналоговая обработка сигналов - М. Радио и связь, 1982 - с. 18].

Блок комутації входів суматорів може бути реалізованим на основі механічних перемикачів.

Робота винайденого динамічного аналізатора спектру заснована на реалізації перетворення Фур'є аналізованого сигналу $U(t)$ за допомогою аналого-цифрової техніки по наступним рекурентним формулам [1].

- поки не заповняться всі $M-1$ каскадів зсувного регістру, дійсна (Re) і уявна (Im) частини спектрів описуються виразами

$$Re_n(n) = Re_{n-1}(n) + U(n * T) * \Phi_c(n), \quad (1)$$

$$Im_n(n) = Im_{n-1}(n) + U(n * T) * \Phi_s(n), \quad (2)$$

де

$\Phi_c(n) = \cos(2\pi f_1 n * T)$, $\Phi_s(n) = \sin(2\pi f_1 n * T)$ - ортогональні фазові коефіцієнти перетворення Фур'є,

$Re_n(n)$, $Im_n(n)$ - дійсна і уявна складові спектру для n -ї вибірки часового процесу на f_1 -й частоті,

$n = 1, 2, \dots, M$ - номер вибірки в часовому вікні,

$f_1 = 1, 2, \dots, N$ - номер аналізованої частоти,

M - число, відносне розміру часової вибірки,

N - число, відносне інтервалу (кількості) аналізованих частот,

T - період дискретизації часового процесу $U(t)$

- після заповнення регістру і надходження слі-

дуючих дискретних значень сигналу ($n > M$), складові спектру описуються виразами

$$Re_n(n+1) = \sum_{m=1}^M U(n * T) * \Phi_c(n) - U((n - M - 1) * T) * \Phi_c(n) + u(n) * \Phi_c(n+1) \quad (3)$$

$$Im_n(n+1) = \sum_{m=1}^M U(n * T) * \Phi_s(n) - U((n - M - 1) * T) * \Phi_s(n) + u(n) * \Phi_s(n+1) \quad (4)$$

Очевидно, що для реалізації цифрового перетворення Фур'є за допомогою виразів (1) - (4) необхідно

зробити дискретизацію в часі і квантування по рівню часового процесу $U(t)$,

знайти періодичні фазові коефіцієнти Φ_c та Φ_s для всіх вибраних частот і часових виборок,

по виразам (1) - (4) знайти $Re_n(n)$, $Im_n(n)$, за допомогою яких розрахувати для кожної n -ї частоти модуль і фазу спектральної складової,

В початковому стані виходи суматорів блоків 11 і 15 обнульовані. В N запам'ятовувачих пристрої першого і другого блоків ППЗП записані раніш розраховані і оптимізовані для всіх N аналізованих частот на глибину періоду повтору фазові коефіцієнти Φ_c та Φ_s .

Аналізатор спектра працює наступним чином.

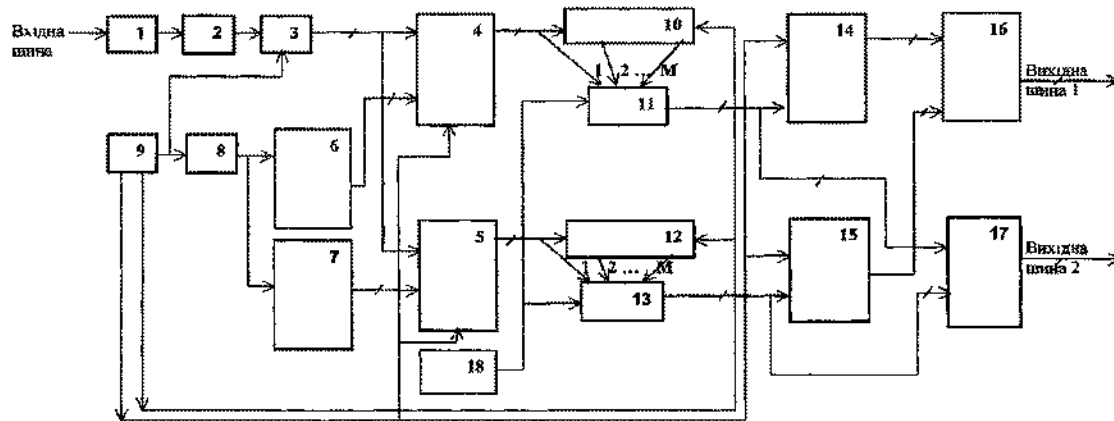
Аналізований сигнал $U(t)$ через вхідний блок 1 і підсилювач 2 поступає на інформаційний вхід АЦП 5. Одночасно на керуючий вхід АЦП 5 поступає імпульс запуску з першого виходу пристрою синхронізації 9. Цим імпульсом в АЦП 3 починається перетворення аналогового сигналу в цифровий, а також встановлюється на виході формувача 8 код адреси, що відповідає першій часовій вибірці процесу $U(t)$. По вибраному адресу із запам'ятовувачих пристроїв блоків 6 і 7 вибираються цифрові коди фазових коефіцієнтів для всіх аналізованих частот і подаються на другі входи помножувачів 4 і 5. На перші входи помножувачів подається вихідний код АЦП 5, відносний величині оцифрованого сигналу. В кожному з N помножувачів проводиться множення величини оцифрованого сигналу на відносний фазовий коефіцієнт. З виходів N помножувачів блоків 4 і 5 цифрові коди поступають на входи зсувних регістрів - еквівалентів дискретної лінії затримки з M виходами. Вихідні величини з першого вихода кожного блоку регістрів 10 і 12 через суматори блоків складання 11 і 13 подаються в квадратори, а потім в блок 16 для обчислення модуля спектру (амплітудного спектру сигналу) і безпосередньо на блок функціональних перетворювачів 17 для обчислення аргументу спектру (фазового спектру сигналу). Так на кожному з N виходів блоку 16 формується миттєвий (плинний) амплітудний спектр аналізованого сигналу, а на кожному з N виходів блоку функціональних перетворювачів - плинний фазовий спектр цього процесу.

При надходженні на АЦП 3 і блок 8 з першого виходу пристрою синхронізації 9 чергового імпульсу запуску, за допомогою АЦП 3 здійснюється друга вибірка процесу $U(t)$ а також вибірка других значень фазових коефіцієнтів. Помножені значення цих фазових коефіцієнтів на чергову вибірку з АЦП поступають на входи зсувних регістрів 10 і 12 і складаються в блоках 11 і 13 з попередніми значеннями добутку, зсунутих на другий вихід регістрів.

Так продовжується до тих пір, поки не заповняться обидва регістри. Далі перші добутки вихо-

Отриманий динамічний спектр дає нові можливості в обробці, ототождженні і розрізненні простих, складних та скритих сигналів в частотній області.

ласті



Фіг.