



УКРАЇНА

(19) UA

(11) 39576

(13) A

(51) 7 G11C17/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДвидається під
відповідальність
власника
патенту

(54) МАТРИЧНИЙ НАКОПИЧУВАЧ ПОСТІЙНОГО ЗАПАМ'ЯТОВУЮЧОГО ПРИСТРОЮ

(21) 2000105932

(22) 20.10.2000

(24) 15.06.2001

(46) 15.06.2001, Бюл. № 5, 2001 р.

(72) Бардаченко Віталій Феодосійович, Шурчков
Ігор Олегович, Абубекеров Равіль Абдурахімович,
Бардаченко Андрій Віталійович

(73) БАРДАЧЕНКО ВІТАЛІЙ ФЕОДОСІЙОВИЧ

(57) Матричний накопичувач постійного запам'я-
товуючого пристрою, який містить адресні та

розрядні шини, що утворюють запам'ятовуючі осередки, кожен з яких містить резистивний елемент, з'єднаний з адресною та розрядною шинами, який відрізняється тим, що в кожен стовпець матриці додатково введено за кількістю розрядних шин накопичувача смісний елемент, з одного боку підключений до шини нульового потенціалу, а з другого до розрядної шини і виходу пристрою, а кожна адресна шина підключена до анода діода, катоди яких об'єднані і є виходом пристрою.

Винахід, що пропонується, відноситься до галузі обчислювальної техніки і може бути використаний при виготовленні постійних запам'ятовуючих пристроїв (ПЗП).

Відомі накопичувачі постійно запам'ятовуючих пристроїв (див. Каган Б.М. Електронні обчислювальні машини. М.: Енергоатомиздат, 1985 р., с. 110-111), які мають безліч розрядних і адресних шин, що перетинаються, між якими в місцях перетину підключені запам'ятовуючі елементи, які з'єднують або не з'єднують між собою відповідні розрядні та адресні шини. Наявність або відсутність зв'язку між розрядною й адресною шиною відповідає визначеному логічному стану, що виражає двійковий розряд інформації, який зберігається в запам'ятовуючому елементі постійного запам'ятовуючого пристрою.

Загальними ознаками із запропонованим накопичувачем є адресні та розрядні шини, запам'ятовуючі елементи, що підключені до цих шин.

Слід зазначити, що кожен запам'ятовуючий елемент може зберігати лише один двійковий розряд інформації, що приводить до малої інформаційної ємності накопичувача ПЗП.

Відомий матричний накопичувач (авт. свід. № 710075, БС-2, 1980 рік), що містить в собі дві групи адресних і розрядних шин, у перехрестях яких встановлені елементи пам'яті, джерело живлення, підключене через елементи узгодження до адресних шин однієї групи, елементи джерел струму і шини нульового потенціалу, послідовно з'єднані додаткові елементи пам'яті та узгодження, що підключені до джерела живлення та опорний елемент, що підключений до шини нульового по-

тенціалу, причому елементи джерел струму виконані на транзисторах, колектори яких підключені до відповідних адресних шин другої групи, емітери транзисторів підключені до шини нульового потенціалу, а бази до точки з'єднання опорного елемента та додаткового елемента пам'яті.

Загальними ознаками даного накопичувача з запропонованим є адресні та розрядні шини, елементи пам'яті, підключені до них, і шина нульового потенціалу.

У цьому матричному накопичувачі кожен елемент пам'яті може зберігати лише один двійковий розряд інформації і отже в цілому накопичувач має недостатню інформаційну ємність.

Найбільш близьким за технічною сутністю є накопичувач по патенту США № 4272833, G11C 11/40, 1981р., що містить адресні та розрядні шини, які утворюють запам'ятовуючі осередки, кожний запам'ятовуючий осередок має перший перемикач, що з'єднує адресну та розрядну шини і перший бістабільний резистор, включений послідовно з першим перемикачем і розрядною шиною. Другий перемикач з'єднаний з адресною та розрядною шиною, другий бістабільний резистор з'єднаний послідовно з другим перемикачем і розрядною шиною. Вихідний панціон включений між першим і другим бістабільними резисторами і розрядною шиною.

Загальними ознаками прототипу та запропонованого накопичувача є адресні та розрядні шини, що утворюють запам'ятовуючі осередки, кожен з яких містить резистивний елемент, з'єднаний з адресною та розрядними шинами.

(19) UA (11) 39576 (13) A

Причиною, яка заважає вирішенню поставленої задачі, є те, що інформація на виході накопичувача виражається у вигляді логічного рівня, що відповідає стану даного запам'ятовуючого осередку, внаслідок чого запам'ятовуючий осередок може зберігати лише один двоїчний розряд інформації, а також наявність паразитних зв'язків, що приводить до малої інформаційної ємності накопичувача.

В основу винаходу покладено задачу створити такий матричний накопичувач, у якому завдяки введенню нових елементів кожен запам'ятовуючий осередок зберігав би інформацію у вигляді часового інтервалу, що дозволить збільшити інформаційну ємність матричного накопичувача та збільшити його завадостійкість.

Рішення поставленої задачі досягається тим, що матричний накопичувач містить адресні та розрядні шини, що створюють запам'ятовуючі осередки, кожен з яких містить резистивний елемент, з'єднаний з адресною та розрядною шиною, причому кожна адресна шина підключена до анода діода, катоди яких об'єднані і є виходом пристрою, у кожному стовпці матриці розташований ємнісний елемент, підключений до шини нульового потенціалу, до розрядної шини та виходу пристрою.

Відмінною ознакою запропонованого накопичувача є додатково введені в кожен стовпець матриці ємнісний елемент, підключений до шини нульового потенціалу, до розрядної шини та виходу накопичувача, а кожна адресна шина підключена до анода діода, катоди яких об'єднані і є виходом пристрою.

Завдяки введенню в матричний накопичувач ПЗП ємнісних елементів, інформація на виході накопичувача представляється не у вигляді логічного рівня, що відповідає стану даного запам'ятовуючого елемента, а у вигляді часового інтервалу, тривалість якого дорівнює τ сталій часу інтегруючого ланцюга, створеного резистивним елементом і додатковим ємнісним елементом.

Для виміру тривалості τ часового інтервалу він може бути розділений на безліч квантуючих імпульсів, що дозволяють використовувати тривалість часового інтервалу для вираження багаторозрядного цифрового коду.

Оскільки тривалість τ прямо пропорційна величині резистивного елемента, то ця тривалість може виражати цифровий код, що відповідає величині резистивного елемента.

Як показали теоретичні дослідження (див. Бардаченко В.Ф. Аналіз і оптимізація точності множно-ділильних пристроїв часо-імпульсного типу. Електроніка і моделювання, 1975р., вип. 9, с. 101-103), тривалість часового інтервалу без дестабілізуючих впливів може виражати цифровий код, значення якого не перевищує восьми

Таким чином, завдяки підключенню ємнісного елемента для утворення інтегруючого ланцюга, кожен резистивний елемент може зберігати до восьми двійкових розрядів.

Отже, досягається значне збільшення інформаційної ємності накопичувача в цілому.

Крім того, як відомо, використання часо-імпульсного представлення інформації значно збільшує завадостійкість. Тому завадостійкість накопичувача для ПЗП, що заявляється, значно вище, ніж у прототипі, що також дає можливість значно збільшити інформаційну ємність запропонованого накопичувача.

На фігурі представлена принципова схема матричного накопичувача постійного запам'ятовуючого пристрою.

Матричний накопичувач постійного запам'ятовуючого пристрою містить адресні шини 1, розрядні шини 2, що утворюють запам'ятовуючі осередки 3, кожен з яких містить резистивний елемент 4, з'єднаний з адресною шиною 1 та розрядною шиною 2, кожна адресна шина 1 підключена до анода діода 5, катоди яких об'єднані і є виходом пристрою, ємнісні елементи 6, розташовані в кожному стовпці матриці і підключені до нульової та розрядної шин і виходу пристрою.

Матричний накопичувач постійного запам'ятовуючого пристрою працює таким чином.

На відповідну адресну шину 1 подають сигнал вибірки з амплітудою U_{bx} .

При цьому через кожен резистивний елемент 4, зв'язаний з вибраною адресною шиною 1, відбувається заряд підключеного до нього додаткового ємнісного елемента 6 до напруги U , рівної:

$$U = U_{bx}(1 - e^{-t/RC}),$$

де t - час, що пройшов з моменту подачі сигналу вибірки;

C - ємність додаткового ємнісного елемента 6;

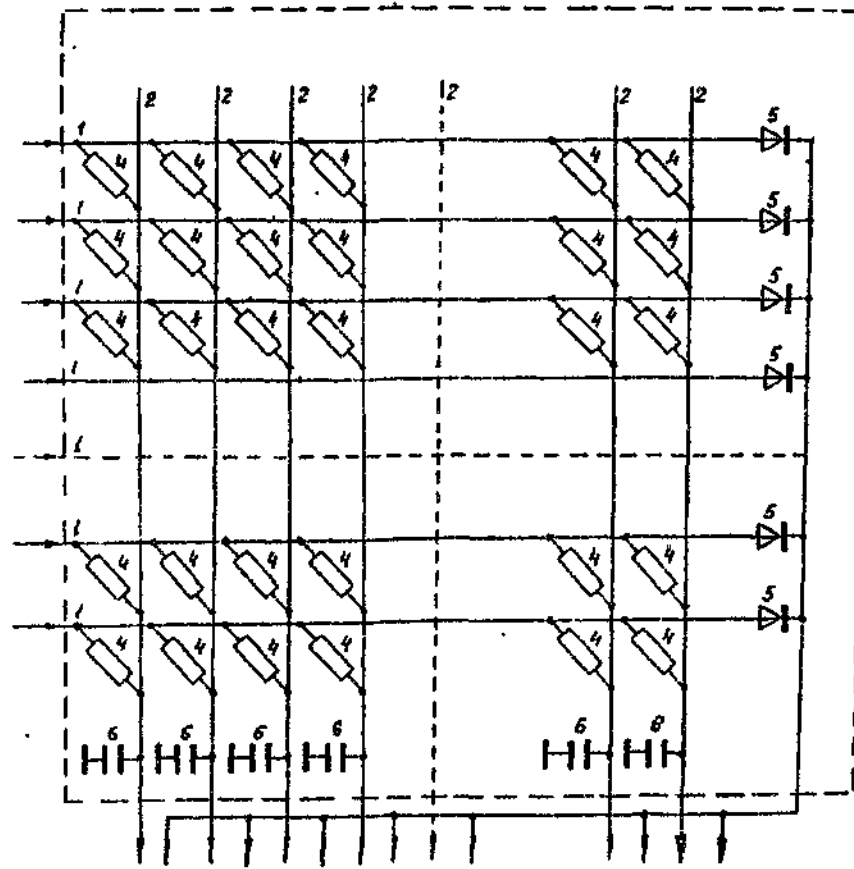
R - опір резистивного елемента 4.

Наприклад, за час $\tau = RC$ ємнісний елемент 6 зарядиться до напруги U , рівної $0,632 U_{bx}$.

Таким чином, вихідний сигнал, що утворюється на кожній розрядній шині 2, виявляється затриманим щодо сигналу вибірки на час, прямо пропорційний величині опору відповідного резистивного елемента 4.

Затримані вихідні сигнали через відповідні розрядні шини 2 надходять на інформаційний вихід пристрою, а через адресні шини 1 та діоди 5 подається на вихід пристрою сигнал вибірки.

Запропонований матричний накопичувач, як видно з опису, може бути реалізований у виробничих умовах, оскільки в накопичувачі застосовується елементна база широкого застосування.



Тираж 50 экз.

Відкрите акціонерне товариство «Патент»
 Україна, 88000, м. Ужгород, вул. Гагаріна, 101
 (03122) 3 - 72 - 89 (03122) 2 - 57 - 03

