



УКРАЇНА

(19) UA (11) 25009 (13) U
(51) МПК (2006)
G06F 15/16МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) ОБЧИСЛЮВАЛЬНА СИСТЕМА

1

2

(21) u200702005

(22) 26.02.2007

(24) 25.07.2007

(46) 25.07.2007, Бюл. № 11, 2007 р.

(72) Жабін Валерій Іванович, Жуков Ігор Анатолі-
йович, Клименко Ірина Анатоліївна, Ткаченко Ва-
лентина Василівна

(73) НАЦІОНАЛЬНИЙ АВІАЦІЙНИЙ УНІВЕРСИТЕТ

(57) Обчислювальна система, що містить проце-
сор і зовнішні пристрої, зв'язані між собою загаль-
ною шиною, кожний і-й зовнішній пристрій ($i=1...n$)
містить блок переривань, перший вихід якого під-
ключений до керуючого входу процесора, елемент
АБО, елемент І та тригер, вихід якого зв'язаний з
першим входом елемента І 1-го зовнішнього при-
строю, вихід якого через перший вхід елемента

АБО підключений до входу блока переривань і-го зовнішнього пристрою, другий вихід якого зв'язаний з другим входом елемента АБО і+1-го зовнішнього пристрою, другі входи кожного елемента І та керуючі входи кожного тригера підключені до керуючого входу процесора, причому другий вихід блока переривань n-го зовнішнього пристрою підключений до другого входу елемента АБО 1-го зовнішнього пристрою, яка **відрізняється** тим, що блок переривань кожного і-го зовнішнього пристрою ($i=1...n-1$) має третій вихід, підключений до інформаційного входу тригера і+1-го зовнішнього пристрою, причому блок переривань n-го зовнішнього пристрою має третій вихід, що підключений до інформаційного входу тригера 1-го зовнішнього пристрою.

Корисна модель стосується обчислювальної техніки і може бути застосована при створенні обчислювальних систем.

Відома обчислювальна система із загальною шиною, яка містить процесори та зовнішні пристрої [1. див. додаток 1, фіг.3]. Процесор зв'язаний із зовнішніми пристроями за допомогою загальної шини. У системі зовнішні векторні переривання реалізуються за допомогою спеціального централізованого контролера. Централізований контролер виконаний у вигляді окремого пристрою. По запитам від зовнішніх пристроїв контролер з урахуванням системи пріоритетів видає процесору сигнал вимоги переривання ВП. Умовою формування цього сигналу є готовність пристроїв до взаємодії з процесором і відсутність маскування запитів з боку процесора. Одержавши сигнал ВП, процесор завершує до кінця виконання чергової команди, видає контролеру сигнал підтвердження переривання ПП і зчитує із загальної шини вектор, що виставляє на шину контролер. Після цього процесор переходить на обслуговування переривання.

До недоліків системи із централізованим арбітром переривань варто віднести: велике число ліній запитів у шині управління; обмеження на максимальне число джерел переривань. Зазначені

недоліки обмежують можливості застосування даного підходу при побудові обчислювальних систем з відкритою архітектурою, яка дозволяє при необхідності збільшувати кількість зовнішніх пристроїв.

Відома обчислювальна система із загальною шиною, яка містить процесори, загальну шину та зовнішні пристрої [2. див. додаток 2, фіг.4.]. Процесор зв'язаний із зовнішніми пристроями за допомогою загальної шини. У системі зовнішні векторні переривання реалізуються за допомогою розподіленого контролера переривань. До складу кожного зовнішнього пристрою входить блок переривань. Вкупі ці блоки реалізують розподілений контролер переривань.

Блок переривань зовнішнього пристрою, що готовий до обміну даними, видає сигнал запиту переривання на загальну лінію вимоги переривання ВП. Технологічні особливості елементної бази повинні допускати таке об'єднання виходів елементів (наприклад, використовуються елементи з відкритим колектором, відкритим стоком). Відповідний сигнал процесора підтвердження переривання ПП поширюється послідовно через блоки переривань, що утворюють так називаний пріоритетний ланцюжок (daisy chain). Елементи ланцюжка в кожному блоці пропускають сигнал ПП чи розривають лан-

(13) U

(11) 25009

(19) UA

цюжок. Пріоритетний ланцюжок розривається на першому (по шляху поширення сигналу) зовнішньому пристрою, що виставляв сигнал запиту переривання. Даний активний зовнішній пристрій видає на загальну шину вектор переривання, що приймається процесором. Після цього процесор обслуговує запит зовнішнього пристрою.

До достоїнств розподілених арбітрів можна віднести: мале число ліній зв'язку в шині управління; простота нарощування числа зовнішніх пристроїв.

Недоліком даної системи із розподіленим контролером переривань є використання фіксованих рівнів пріоритетів запитів, які не можна змінювати динамічно. Використання фіксованих рівнів пріоритетів не забезпечує гарантованого обслуговування заявок від зовнішніх пристроїв на визначеному відрізку часу. Заявки з низьким рівнем пріоритету при великій інтенсивності заявок з більшими пріоритетами можуть не виконуватися тривалий час (ситуація «starve»). Ця обставина може привести до уповільнення обчислювального процесу, а іноді - до тупикової ситуації.

Найбільш близьким до корисної моделі по технічній сутності є обчислювальна система [3. див. додаток 3, фіг.5].

Обчислювальна система містить процесор і зовнішні пристрої, зв'язані між собою загальною шиною. Кожний i -й зовнішній пристрій ($i = 1 \dots n$) містить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент І та тригер, вихід якого зв'язаний з першим входом елемента І i -го зовнішнього пристрою, вихід якого через перший вхід елемента АБО підключений до входу блоку переривань i -го зовнішнього пристрою, другий вихід якого зв'язаний з другим входом елемента АБО $i+1$ -го зовнішнього пристрою, другі входи кожного елемента І та керуючі входи кожного тригера підключені до керуючого виходу процесора, причому другий вихід блока переривань n -го зовнішнього пристрою підключений до другого входу елемента АБО 1-го зовнішнього пристрою.

До достоїнств системи можна віднести забезпечення гарантованого обслуговування переривань процесора від кожного зовнішнього пристрою на визначеному відрізку часу, що дає можливість уникнути тупикових ситуацій при реалізації обчислювальних процесів.

Недоліком відомої системи є низька швидкість, що обумовлено затримкою початку обслуговування переривань.

В основу корисної моделі поставлено задачу підвищення швидкодії обчислювальної системи шляхом зменшення затримки початку обслуговування переривань.

Встановлена задача виконується тим, що в обчислювальній системі, що містить процесор і зовнішні пристрої, зв'язані між собою загальною шиною, кожний i -й зовнішній пристрій ($i = 1 \dots n$) містить блок переривань, перший вихід якого підключений до керуючого входу процесора, елемент АБО, елемент І та тригер, вихід якого зв'язаний з першим входом елемента І i -го зовнішнього при-

строю, вихід якого через перший вхід елемента АБО підключений до входу блоку переривань i -го зовнішнього пристрою, другий вихід якого зв'язаний з другим входом елемента АБО $i+1$ -го зовнішнього пристрою, другі входи кожного елемента І та керуючі входи кожного тригера підключені до керуючого виходу процесора, причому другий вихід блока переривань n -го зовнішнього пристрою підключений до другого входу елемента АБО 1-го зовнішнього пристрою, новим є те, що блок переривань кожного i -го зовнішнього пристрою ($i = 1 \dots n-1$) має третій вихід, підключений до інформаційного входу тригера $i+1$ -го зовнішнього пристрою, причому блок переривань n -го зовнішнього пристрою має третій вихід, що підключений до інформаційного входу тригера 1-го зовнішнього пристрою.

На Фіг.1 показана структурна схема обчислювальної системи; на Фіг.2 - приклад побудови блока переривань.

Обчислювальна система (Фіг.1) містить процесор 1, зовнішні пристрої 2.1,...,2.n, загальну шину 3, до якої підключені процесор 1 та зовнішні пристрої 2.1,..., 2.n. До складу кожного i -го зовнішнього пристрою входить блок переривань 4.i, тригер 5.i, елемент І 6.i та елемент АБО 7.i. (апаратура зовнішніх пристроїв, яка не стосується реалізації переривань на Фіг.1 умовно не показана). Вихід тригера 5.i підключений до першого входу елемента І 6.i, вихід якого зв'язаний з першим входом елемента АБО 7.i, який своїм виходом підключений до входу 8.i блока переривань 4.i. Вихід 9.i блока переривань 4.i підведений до другого входу елемента 7.($i+1$), а блока 4.n - елемента 7.1. Таким чином, блоки переривань 4.i через елементи АБО об'єднані у кільце. Виходи 10.i блоків переривань 4.i об'єднані у єдину лінію і підключені до входу вимоги переривань (ВП) процесора 1, вихід підтвердження переривання (ПП) якого підведений до керуючих входів тригерів 5.i та других входів елементів І 6.i. (Технологічні особливості елементної бази повинні допускати об'єднання виходів 10.i. Наприклад, використовуються елементи з відкритим колектором, а сигнали вимоги переривань мають активний низький рівень). Виходи 11.i ($i = 1, \dots, n-1$) блоків 4.i підключені до інформаційних входів тригерів 5.($i+1$), а вихід 11.n підключений до інформаційного входу тригера 5.1.

У якості блоків переривань 4.i можуть використовуватися стандартні блоки розподілених систем переривань. Приклад логічної організації таких блоків показаний у вигляді функціональної схеми на Фіг.2.

Обчислювальна система працює наступним чином. У системі реалізовано динамічний пріоритет зовнішніх пристроїв 2.i. У кожний момент часу тільки в одному із тригерів 5.1,..., 5.n записана одиниця (наприклад, на початку обчислень - у тригері 5.1). Всі інші тригери встановлені в нуль. Найвищий пріоритет має зовнішній пристрій 2.i, тригер якого встановлений в одиницю.

Готовий до обміну інформацією з процесором 1 будь який зовнішній пристрій 2.і формує сигнал запиту переривання (ЗП.і) на виході 10.і. При наявності такого сигналу розривається пріоритетний ланцюжок між входом 8.і та виходом 9.і блоку переривань 4.і (Фіг.2). Якщо є хоч один сигнал на виходах 10.1,..., 10.n, формується загальний сигнал вимоги переривань на вході ВП процесора. Після закінчення чергової команди процесор у відповідь на сигнал ВП формує сигнал підтвердження переривання на виході ПП. Цей сигнал потрапляє у пріоритетний ланцюжок, замкнутий у кільце, починаючи з зовнішнього пристрою з найбільшим пріоритетом, так як відкритим є тільки один елемент І 6.і в цьому зовнішньому пристрої. Сигнал ПП розповсюджується по ланцюжку тільки до першого на його путі блока переривань 4.і, який виставив сигнал запиту переривання ЗП.і. В цьому блоці 4.і формується сигнал на виході 10.і та вектор переривання, який видається на загальну шину 3 та приймається в процесор 1 (див. Фіг.2). Після цього процесор починає виконувати програму обслуговування переривання і знімає сигнал ПП. Після зняття процесором сигналу ПП (по перепаду цього сигналу) одиниця з виходу 11.і переписується у тригер 5.(і+1). У цьому випадку зовнішній пристрій, що обслуговується, одержує мінімальний пріоритет, а максимальний рівень пріоритету одержує наступний (і+1)-й зовнішній пристрій.

Таким чином, в обчислювальній системі, що пропонується, забезпечується автоматичний перенос початку пріоритетного ланцюжка після кожного чергового надання переривання, що забезпе-

чує динамічну зміну рівнів пріоритетів зовнішніх пристроїв.

Порівняємо відому систему та систему, що пропонується, за ефективністю реалізації переривань. Ефективність системи переривань можна оцінити по величині часу затримки початку обслуговування.

У відомій системі зміна пріоритетів відбувається за рахунок перепису одиниці з тригера 5.і в тригер 5.(і+1) незалежно від того, який зовнішній пристрій (ЗП) одержує дозвіл на переривання. Наприклад, після 1-го ЗП найбільший пріоритет одержує завжди 2-й ЗП, після 2-го завжди 3-й і т. і., причому це не залежить від номеру ЗП, що обслуговується.

У системі, що пропонується, зміна пріоритетів залежить від номера ЗП, що обслуговується. Найвищий пріоритет одержує ЗП, що має номер на одиницю більший ніж той, що обслуговується. Наприклад, якщо у початковому стані старший пріоритет мав 1-й ЗП, а обслуговується 5-й ЗП, то найвищий пріоритет одержить 6-й ЗП, а не 2-й, як у відомій системі.

Покажемо на прикладі виграш у швидкодії системи, що пропонується.

Позначимо через t затримку проходження сигналів через елемент АБО 7.і та блок 4.і. Будемо вважати, що одиниця у початковому стані записана у тригері 5.1, тобто 1-й ЗП має найвищий пріоритет. Нехай запит на переривання формується водночас у ЗП з номерами 8, 9, 10. (Така ситуація є типовою в системах керування переміщенням об'єктів, коли водночас спрацьовують датчики переміщення по різних координатах). Затримка обслуговування ЗП для різних систем пояснюється Таблиці 1.

Таблиця 1

Номер ЗП, що потребує переривання	Номер наступного ЗП з найвищим пріоритетом для системи, що відома	Номер наступного ЗП з найвищим пріоритетом для системи, що пропонується	Затримка для системи, що відома, t	Затримка для системи, що пропонується, t
8	2	9	8	8
9	3	10	8	1
10	4	11	8	1

Як видно з Таблиці 1, в обох системах затримка обслуговування 8-го ЗП однакова (сигнал ПП від процесора до 8-го ЗП проходить через вісім ЗП з номерами 1, 2, 3, 4, 5, 6, 7, 8). Після обслуговування 8-го ЗП у системі, що відома, найвищий пріоритет одержить 2-й ЗП, а у системі, що пропонується, відразу 9-й ЗП. Затримка у відомій системі обслуговування 9-го ЗП знов буде $8t$ (сигнал проходить через ЗП з номерами 2, 3, 4, 5, 6, 7, 8, 9), а у системі, що пропонується, тільки t (сигнал затримується тільки в 9-му ЗП). Аналогічно ситуація буде повторюватись і надалі.

Таким чином, для груп ЗП, що спрацьовують водночас або послідовно один за одним, у системі, що пропонується, сумарна затримка обслуговування завжди буде меншою ніж у системі, що відома. Це забезпечує для системи, що пропонується, більшу швидкість, тобто поставлена мета

підвищення швидкодії обчислювальної системи шляхом зменшення затримки початку обслуговування переривань запропонованим технічним рішенням виконується.

Слід зауважити, що в системі, що пропонується, завжди забезпечується динамічна зміна пріоритетів при будь-якій послідовності формування запитів на переривання. Отже, забезпечується гарантоване обслуговування переривань процесора від кожного зовнішнього пристрою на визначеному відрізку часу, що дає можливість уникнути тупикових ситуацій при реалізації обчислювальних процесів.

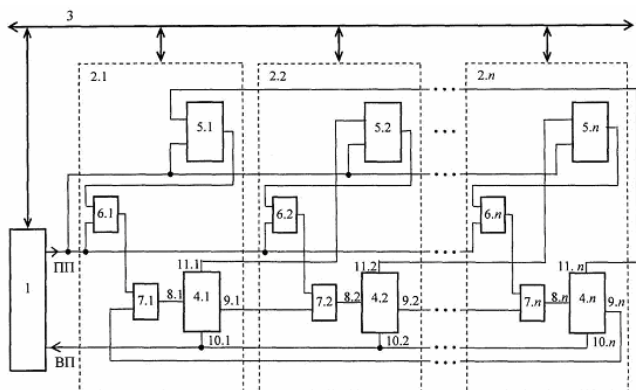
Джерела інформації

1. Каган Б.М., Сташин В.В. Основы проектирования микропроцессорных устройств автоматики - М.: Энергоатомиздат, 1987., - С.143, рис.5.3.

2. Организация ЭВМ. 5-е издание./К. Хамахер,
3. Вранишеч, С. Заки. - СПб.: Питер; Киев: BHV,
2003. - С.242. рис.4.8.

3. Дек. пат. №7727 України, МКВ G06F15/16,
15/76. Обчислювальний пристрій / І.А. Жуков, В.І.

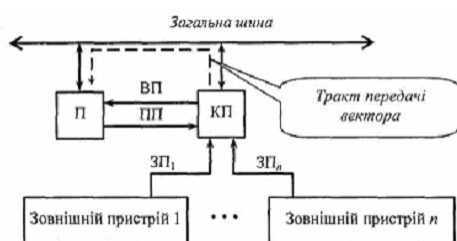
Жабін, І.А. Клименко, В.В. Ткаченко (Україна). -
№20040907712: Заявлено 22.09.2004;
Опубл.15.07.2005, Бюл. №7. - 9с.



Фиг. 1

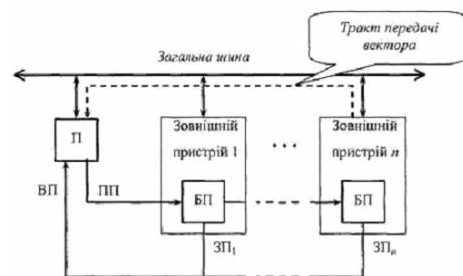


Фиг. 2



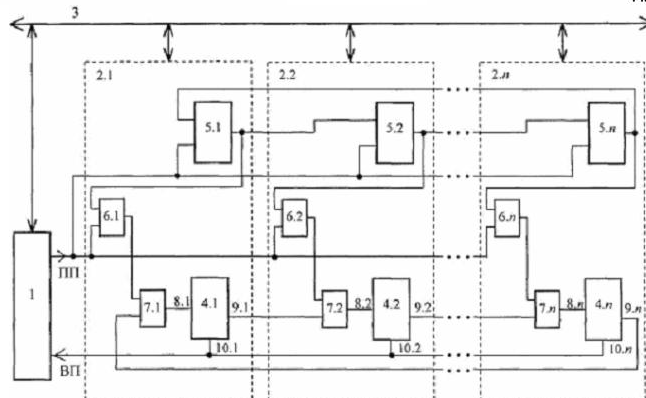
ВП-виного переривань;
ЗП-запит переривання;
КП-контролер переривань;
П-процесор

Фиг.3



ВП-виного переривань;
ЗП-запит переривання;
КП-контролер переривань;
П-процесор

Фиг.4



Фиг.5