

Изобретение относится к радиотехнике, в частности к преобразованию цифрового кода частоты в аналоговый двухуровневый сигнал соответствующей частоты.

Известен цифровой синтезатор частоты на основе накапливающего сумматора [1]. Синтезатор содержит последовательно включенные накапливающий сумматор и счетчик-делитель.

Достоинством устройства является его простота. Недостатком устройства является большая величина фазовых флуктуации на выходе накапливающего сумматора из-за ограниченного быстродействия последнего. Уменьшение фазовых флуктуации с помощью счетчика-делителя ограничивает величину и диапазон синтезуемых частот.

Известен цифровой синтезатор частоты на основе накапливающего сумматора с коррекцией временного положения импульса переноса сумматора [2]. Синтезатор содержит накопитель кодов (накапливающий сумматор), блок управления, устройство управляющей задержки, делитель частоты (счетчик-делитель). Достоинством устройства является возможность уменьшения уровня фазовых флуктуации без уменьшения величины и диапазона синтезируемых частот. Недостатком устройства является его сложность, вызванная использованием в синтезаторе блока управления с достаточным быстродействием для установки величины задержки в устройстве управляемой задержки.

Наиболее близким по технической сущности к предлагаемому изобретению является цифровой синтезатор частоты [3], содержащий опорный генератор, блок исключения импульсов, делитель с переменным коэффициентом деления, устройство управляемой задержки, накапливающий сумматор и делитель кода.

Работа устройства основана на делении тактовой частоты на переменный коэффициент N_d , равный отношению тактовой и синтезируемой частот. Причем в коэффициенте N_d выделяются целая и дробная части. Целая часть поступает на делитель с переменным коэффициентом деления и используется для установки коэффициента деления, равного целой части коэффициента N_d . Дробная часть поступает на накапливающий сумматор, в котором вычисляется требуемая задержка сигнала, поступающего с делителя с переменным коэффициентом деления. Достоинством устройства является снижение уровня фазовых флуктуации без уменьшения величины и диапазона синтезируемых частот за счет корректировки временного положения выходных импульсов.

Недостатком устройства является его сложность, которая связана с использованием в синтезаторе блока исключения импульсов, делителя с переменным коэффициентом деления и устройства управляемой задержки с большим числом градаций (каскадов). Блок исключения импульсов используется для исключения импульсов из опорной тактовой последовательности. Делитель с переменным коэффициентом деления предназначен для деления "прореженной" тактовой частоты, поступающей с блока исключения импульсов, на число, определяемое делителем кодов. Устройство управляемой задержки должно иметь большое

число каскадов при заданной разрешающей способности (величине фазовых флуктуации) из-за большого диапазона регулируемых задержек, который должен быть равен периоду тактовой частоты. Возможности по уменьшению периода тактовой частоты (увеличению тактовой частоты) ограничиваются быстродействием делителя с переменным коэффициентом деления. Низкие динамические характеристики последнего вызваны необходимостью установки требуемого коэффициента деления.

В основу изобретения поставлена задача создать такой цифровой синтезатор частоты, в котором за счет использования вычислений по модулю числа большего, чем максимально возможный период синтезируемого сигнала выведены двоичный счетчик с постоянной емкостью, равной 2^n , где n - разрядность двоичного счетчика, и схема сравнения, а также изменено функциональное назначение накапливающего сумматора, что позволило максимально повысить тактовую частоту устройства (уменьшить период тактовой частоты до минимальной величины), а следовательно, уменьшить диапазон регулируемых задержек (уменьшить число градаций при заданной разрешающей способности) устройства управляемой задержки и за счет этого упростить устройство.

Для этого в цифровой синтезатор частоты, содержащий накапливающий сумматор, устройство управляемой задержки, выход которого соединен с тактовым входом накапливающего сумматора и является выходом устройства, а управляющий вход соединен с первым выходом накапливающего сумматора, введены двоичный счетчик с постоянной емкостью, равной 2^{n_1} , где n_1 - разрядность двоичного счетчика, вход которого является тактовым входом устройства, схема сравнения, выход которой соединен с входом устройства управляемой задержки, первый вход соединен с выходом двоичного счетчика, а второй вход соединен со вторым выходом накапливающего сумматора, вход которого является входом установки длительности периода синтезируемого сигнала устройства.

Введение двоичного счетчика с постоянной емкостью, равной 2^{n_1} , дало возможность вести отсчет текущего времени по модулю числа, равного $2^{n_1} T_0$, где T_0 - период тактовой частоты F_0 с дискретностью, равной T_0 (подсчет числа периодов тактовой частоты по модулю 2^{n_1}). Использование двоичного счетчика с постоянной емкостью дало возможность максимально повысить его динамические характеристики, а значит максимально повысить тактовую частоту устройства (уменьшить период тактовой частоты до минимального значения), что уменьшило диапазон регулируемых задержек, а следовательно, при заданной разрешающей способности позволило уменьшить число градаций устройства управляемой задержки.

Использование входа накапливающего сумматора в качестве входа установки длительности периода синтезируемого сигнала устройства позволило применить накапливающий сумматор для вычисления времени,

соответствующего моменту начала j -го периода синтезируемого сигнала ($j = 0, 1, 2, \dots$) по модулю числа, равного $2^{n_n} \Delta T_c$, где n_n - разрядность накапливающего сумматора, ΔT_c - шаг перестройки периода синтезируемого сигнала.

Отметим, что в прототипе накапливающий сумматор используется для вычисления по дробной части коэффициента деления N_d величины задержки выходного сигнала делителя с переменным коэффициентом деления.

Введение схемы сравнения позволило путем непрерывного анализа кода текущего времени, вырабатываемого двоичным счетчиком, и кода времени начала j -го периода синтезируемого сигнала, поступающего от накапливающего сумматора, выработать в момент их совпадения импульс, который через устройство управляемой задержки поступает на тактовый вход накапливающего сумматора и выход устройства.

Авторам неизвестны технические решения, имеющие совокупность признаков, совпадающих с совокупностью отличительных признаков предлагаемого технического решения.

На фиг.1 представлена схема электрическая структурная цифрового синтезатора частоты; на фиг.2 - временная диаграмма работы устройства.

Цифровой синтезатор частоты содержит двоичный счетчик 1 с постоянной емкостью, равной 2^{n_1} , где n_1 - разрядность двоичного счетчика, вход которого является тактовым входом устройства, схему сравнения 3, первый вход которой соединен с выходом двоичного счетчика 1, накапливающий сумматор 2, вход которого является входом установки длительности периода синтезируемого сигнала устройства, второй выход соединен с вторым входом схемы сравнения, и устройство управляемой задержки 4, вход которого соединен с выходом схемы сравнения 3, выход соединен с тактовым входом накапливающего сумматора и является выходом устройства, а управляющий вход соединен с первым выходом накапливающего сумматора 2.

Двоичный счетчик 1, схема сравнения 3, накапливающий сумматор 2 легко могут быть реализованы на цифровых ИС серий 100, 1500, 530, 533 и др. Устройство управляемой задержки 4 может быть реализовано, например, на многоотводной линии задержки, отводы которой в соответствии с управляющим кодом коммутируются с помощью мультиплексора.

Работа устройства основана на вычислении в двоичном счетчике (ДС1) и накапливающем сумматоре (НС2) текущего времени и времени начала j -го периода синтезируемого сигнала ($j = 0, 1, 2, \dots$) соответственно, их анализа в схеме сравнения (СС3), формировании выходного импульса при их совпадении и его задержке в устройстве управляемой задержки (УУЗ4) в соответствии с управляющим кодом, поступающим из НС2. Особенностью устройства является использование в ДС1 и НС2 вычислений по модулю числа M_T , который выбирается из условия: $M_T > T_{max}$, (1) где T_{max} - максимально возможный период

синтезируемого сигнала.

В ДС1 ведется отсчет текущего времени с дискретностью, равной периоду тактовой частоты T_0 (подсчет числа периодов тактовой частоты F_0). Причем счет ведется по модулю числа $M_T = \text{const}$.

При этом емкость N_1 ДС1 равна $N_1 = M_T / T_0$ (2)

Удобно выбрать модуль M_T так, чтобы емкость ДС1 $N_1 = 2^{n_1}$, где n_1 - разрядность ДС1. В этом случае код текущего времени $K_T(i)$, формируемый в i -м такте опорной частоты F_0 ($i = 0, 1, 2, \dots$) равен

$K_T(i) = \langle i \rangle N_1$, (3) где $\langle a \rangle b$ - вычет числа "a" по модулю "b" (остаток от деления числа "a" на "b").

В НС2 по каждому j -му выходному импульсу происходит вычисление времени, соответствующего моменту начала $(j+1)$ -го периода (выходного импульса) синтезируемого сигнала. Причем вычисления также выполняются по модулю числа M_T , а емкость N_n НС2 равна $N_n = M_T / \Delta T_c$, (4)

где ΔT_c - шаг перестройки периода синтезируемого сигнала.

Удобно выбрать ΔT_c так, чтобы емкость НС2 $N_n = 2^{n_n}$,

где n_n - разрядность НС2. В этом случае код периода синтезируемого сигнала Z_T , загружаемый в НС2, равен $Z_T = T_c / \Delta T_c$, где T_c - период синтезируемого сигнала. Код времени $K_n(j)$ начала формирования j -го выходного импульса равен $K_n(j) = \langle j Z_T \rangle N_n$, (5)

где $j = 0, 1, 2, \dots$ - порядковый номер выходного импульса.

При такой работе устройства выполнение условия (1) означает, что разность между текущим временем, формируемым ДС1 и вычисленным в НС2 временем начала $(j+1)$ -го периода синтезируемой частоты не превышает величины модуля M_T . Поэтому ведение вычислений по модулю M_T в ДС1 и НС2 упрощает устройство и не приводит к искажению результатов вычислений и сравнения кодов $K_T(i)$ и $K_n(j)$. Временное положение выходного импульса определяется моментом времени, когда совпадут код $K_T(i)$ и n_1 старших разрядов кода $K_n(j)$. Эту функцию выполняет СС3. Временное положение импульса на выходе СС3 определяется с точностью, не превышающей $\pm T_0/2$. Из-за ограниченных динамических характеристик ДС1 (например, 4 - х разрядный двоичный счетчик 1500ИЕ136 имеет время установки разрядов около 2нс) эта точность не превышает ± 1 нс.

Для более точной временной привязки выходных импульсов синтезируемого сигнала в пределах интервала $\pm T_0/2$ после СС3 в устройстве используется УУЗ4, управляемое

$(n_n - n_1), (n_n - n_1 - 1), \dots, (n_n - n_1 - n_2 + 1)$ разрядами **НС2**, где n_2 - разрядность управляющей шины **УУ34** (число градаций **УУ34** равно 2^{n_2}). В этом случае временная привязка выходного импульса устройства производится с погрешностью не более $\pm T_0/2^{(n_2 + 1)}$.

Величина периода T_c синтезируемого сигнала равна

$$T_c = \frac{N_1 T_0}{N_n} Z_T = \frac{T_0 Z_T}{2^{(n_n - n_1)}} \quad (6)$$

Величина минимально возможного периода T_{min} синтезируемого сигнала ограничивается быстродействием **НС2** и равна времени выполнения операции сложения в нем. Например, при реализации 16-разрядного **НС2** с использованием схемы ускоренного переноса на элементах серии 100 и 500 $T_{min} = 12,5$ нс (максимальная частота синтезируемого сигнала $F_{max} = 80$ МГц), на элементах серии 533 $T_{min} = 100$ нс ($F_{max} = 10$ МГц).

В соответствии с (6) диапазон синтезируемых частот F_c лежит в пределах

$$\frac{2^{(n_n - n_1)} F_0}{2^{n_n - 1}} \leq F_c \leq F_{max}, \quad (7)$$

При больших значениях n_n неравенство (7) можно упростить

$$\frac{F_0}{n_1} \leq F_c \leq F_{max}, \quad (8)$$

Емкость **НС2** определяет точность установки периода T_c (частоты F_c) синтезируемого сигнала. Шаг перестройки ΔT_c периода T_c равен

$$\Delta T_c = \frac{T_0}{2^{(n_n - n_1)}} \quad (9)$$

Дискретность установки кода текущего времени в **ДС1** и задержки в **УУ34** определяют величину фазовых флуктуаций $\Delta \varphi$ синтезируемого сигнала, которая не превышает величины

$$|\Delta \varphi| \leq \frac{T_0}{2^{(n_2 + 1)}} \quad (10)$$

Таким образом, n_1 старших разрядов **НС2** определяют временное положение выходного импульса синтезируемого сигнала во временном интервале $T_{min} - T_{max}$ с погрешностью не превышающей $\pm T_0/2$ (временное положение выходного импульса на выходе **СС3**), а n_2 средних разряда **НС2**, следующих после n_1 старших разрядов, определяют временное положение выходного импульса в пределах временного интервала $\pm T_0/2^{(n_2 + 1)}$ с погрешностью не более $\pm T_0/2^{(n_2 + 1)}$ (временное положение

импульса на выходе **УУ34**).

Отметим, что при величине фазовых флуктуаций $|\Delta \varphi| \geq (1..2)$ нс **УУ34** можно

исключить из устройства, а **ДС1** реализовать, например, на счетчике 1500ИН136, время установки разрядов которого не превышает 2 нс. При более жестких требованиях к величине фазовых флуктуаций $\Delta \varphi$ необходимо использовать **УУ34**.

Рассмотрим работу устройства на примере для следующих его параметров:

- ($T_0 = 10$ нс); тактовая частота (период $F_0 = 100$ МГц

- разрядность **ДС1** $n_1 = 2$ ($N_1 = 4$);

- разрядность **НС2** $n_n = 5$ ($N_n = 32$);

- разрядность управляющей шины **УУ34** $n_2 = 2$ (разрешающая способность 2,5 нс);

- время выполнения операции сложения в **НС2** $T_{min} = 20$ нс ($F_{max} = 50$ МГц).

При принятых параметрах устройства в соответствии с (1) и (2) модуль M_T равен $M_T = N_1 T_0 = 40$ нс. Диапазон синтезируемых частот F_c в соответствии с (7) лежит в пределах $25,806451$ МГц $\leq F_c \leq 50$ МГц.

Шаг перестройки ΔT_c периода T_c в соответствии с (9) равен

$$\Delta T_c = \frac{T_0}{2^{(n_n - n_1)}} = 1,25 \text{ нс.}$$

Величина фазовых флуктуаций $\Delta \varphi$ в соответствии с (10) не превышает

$$|\Delta \varphi| \leq 1,25 \text{ нс.}$$

Пусть необходимо синтезировать сигнал с периодом $T_c = 28,75$ нс ($F_0 = 34,782608$ МГц).

Из выражения (6) получаем значение кода

$$Z_T = \frac{N_n T_c}{N_1 T_0} = 23.$$

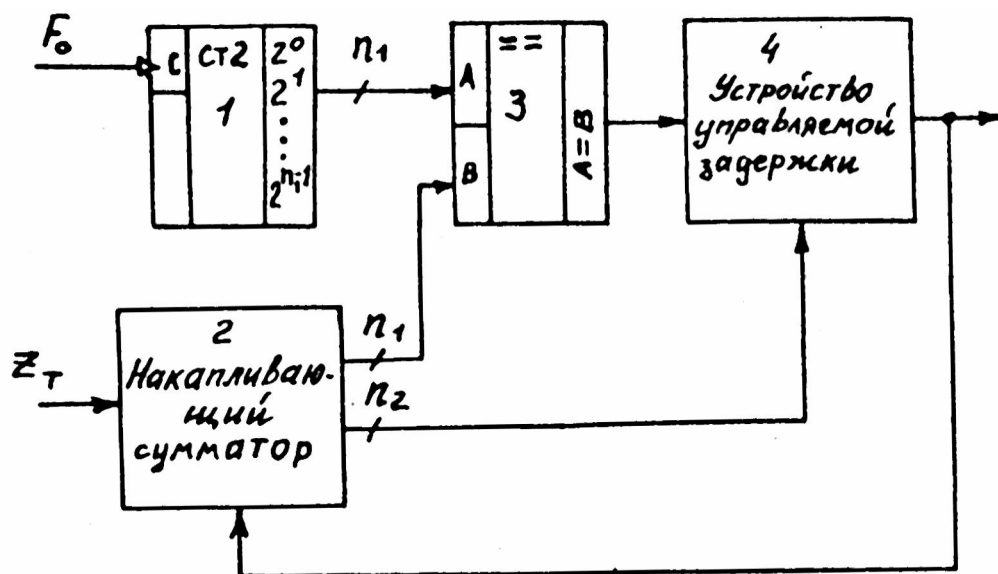
Для рассматриваемого примера временная диаграмма работы устройства приведена на фиг.2. На диаграмме показаны (соответственно сверху вниз) выходы **НС2** в десятичном и двоичном кодах, порядковый номер I периода тактовой частоты F_0 , выход **ДС1** в десятичном коде, выход **СС3**, выход **УУ34**, длительность синтезированного периода T_c сигнала (нс), величина фазовых флуктуаций сигнала $\Delta \varphi$ (нс) и порядковый номер I выходного импульса синтезированного сигнала.

Работа устройства начинается с установки на входе **НС2** кода Z_T и обнулении **ДС1** и **НС2**. Установка **ДС1** или **НС2** в любое другое состояние приведет к соответствующему сдвигу начальной фазы синтезируемого сигнала.

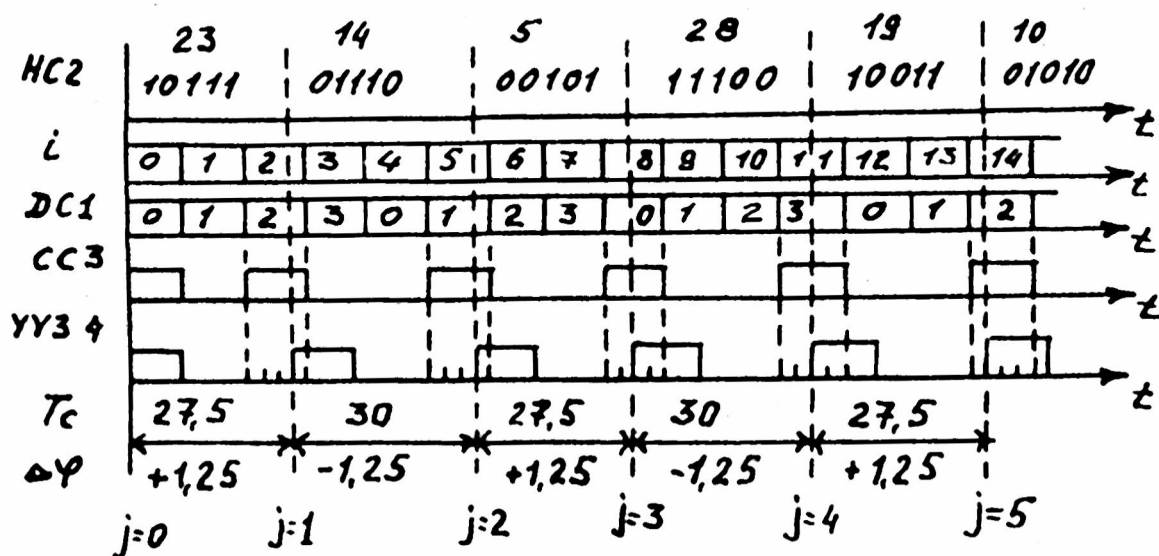
При обнулении **ДС1** и **НС2** срабатывает **СС3** и на выходе **УУ34** появляется 0-й ($i = 0$) импульс синтезируемого сигнала с нулевой задержкой в соответствии с кодом 00, поступающим со 2 и 3 - го разрядов **НС2**. Этим импульсом код Z_T загружается в **НС2** и на его выходе появляется код времени 110111, соответствующий моменту

начала 1-го ($j = 1$) импульса синтезируемого сигнала.

На втором такте частоты F_0 ($l = 2$) значения 5 и 4 - го разрядов **НС2** (код 10) и разрядов **ДС1** (код 10) совпадают и на выходе **СС3** появляется 1-й ($j = 1$) импульс синтезируемого сигнала, который в соответствии с кодом, поступающим на **УУЗ4** со 2 и 3 - го, разрядов **НС2** (код 11), задерживается на 7,5нс (три дискрета **УУЗ4**). По этому импульсу в **НС2** вычисляется и устанавливается на выходе код времени 01110 (14), соответствующий моменту начала 2-го ($j = 2$) импульса синтезируемого сигнала. Далее процесс периодически повторяется. При этом флуктуация фазы $\Delta\varphi$ синтезированного сигнала не превышает $\pm 1,25$ нс.



Фиг. 1



Фиг. 2