



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(21) 4607139/24-24

(22) 21 11 88

(46) 30 08 90 Бюл. № 32

(72) В. А. Романов и В. А. Давиденко

(53) 581 327 66 (088 8)

(56) Авторское свидетельство СССР

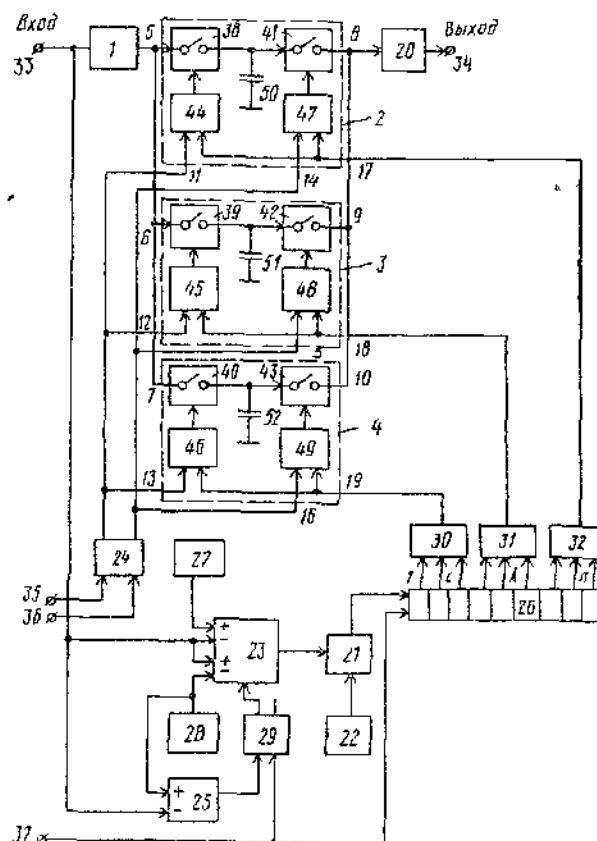
№ 391610, кл. G 11 C 7/00, 1973

Авторское свидетельство СССР

№ 942131, кл. G 11 C 7/00, 1982

(54) УСИЛИТЕЛЬ ВЫБОРКИ И ЗАПОМИНАНИЯ

(57) Изобретение относится к аналого-цифровым и цифроаналоговым устройствам и может быть использовано в вычислительной и измерительной технике. Цель изобретения — повышение быстродействия и расширение области применения усилителя выборки и запоминания за счет увеличения класса решаемых задач. Усилитель выборки и запоминания содержит предварительный и выходной каскады усиления, ключи, элементы памяти, компараторы, триггеры, генератор импульсов, элементы И и ИЛИ, источники пороговых напряжений и сдвиговый регистр. Цель изобретения достигается за счет изменения постоянной времени цепи заряда накопительного конденсатора в зависимости от скорости изменения входного сигнала 1 з п. ф. л. 1 и л.



Изобретение относится к аналого-цифровым и цифроаналоговым устройствам и может быть использовано в вычислительной и измерительной технике.

Цель изобретения — повышение быстродействия и расширение области применения усилителя за счет увеличения класса решаемых задач путем изменения постоянной времени цепи заряда накопительного элемента в зависимости от скорости изменения входного сигнала.

На чертеже показана структурная схема усилителя выборки и запоминания.

Усилитель содержит предварительный каскад 1 усиления, три элемента 2—4 памяти с соответствующими информационными входами 5—7, информационными выходами 8—10, первыми управляющими входами 11—13, вторыми управляющими входами 14—16, третьими управляющими входами 17—19, выходной каскад 20 усиления, ключ 21, генератор 22 импульсов, двухпороговый компаратор 23, триггер 24, компаратор 25, сдвиговый регистр 26, первый и второй источники 27 и 28 порогового напряжения, дополнительный триггер 29, три элемента ИЛИ—30—32, информационный вход 33 усилителя, информационный выход 34 усилителя, а также первый, второй и третий управляющие входы 35—37 усилителя.

Элементы 2—4 памяти состоят соответственно из ключей 38—40 выборки, ключей 41—43, запоминания, элементов И 44—46 выборки элементов И 47—49 запоминания и накопительных элементов на конденсаторах 50—52 С1—С3.

Емкость накопительного конденсатора С3 меньше емкости конденсатора С2, а емкость накопительного конденсатора С2 меньше емкости конденсатора С1, т. е. постоянная времени цепи заряда накопительного конденсатора С3 минимальна, а конденсатора С1 максимальна.

Принцип работы усилителя заключается в следующем.

Усилитель работает в три такта. Исходное состояние в первом такте следующее: сдвиговый регистр 26 обнулен, выходы всех разрядов, кроме первого, находятся в нулевом состоянии, триггер 29 находится в нулевом состоянии, двухпороговый компаратор 23 заторможен, триггер 24 находится в режиме «запоминание», т. е. все ключи выборки и ключ 21 разомкнуты. В первом такте измеряется скорость изменения входного сигнала. На первом неинвертирующем и втором инвертирующем входах двухпорогового компаратора 23 с помощью источников 27 и 28 пороговых напряжений сформирована зона, в которой измеряется скорость изменения входного сигнала от минимального до максимального значения. В слу-

чае, если входной сигнал в начальный момент времени находится вне зоны измерения скорости изменения и меньше ее нижней границы, задаваемой источником 28, то компаратор 25 находится в единичном состоянии и, соответственно, триггер 29 переходит в единичное состояние. При этом, как только входной сигнал пересечет нижнюю границу зоны, на выходе двухпорогового компаратора 23 формируется единичный сигнал и ключ 21 замыкается. Импульсы от генератора 22 импульсов начинают поступать на синхронизирующий вход сдвигового регистра 26, передвигая единицу из первого разряда вправо до тех пор, пока входной сигнал не достигнет верхней границы зоны и на выходе двухпорогового компаратора 23 не сформируется нулевой сигнал вместо единичного. Ключ 21 размыкается, и поступление импульсов от генератора 22 импульсов на синхронизирующий вход сдвигового регистра 26 прекращается. Номер разряда сдвигового регистра, в котором находится единица, соответствует скорости изменения входного сигнала. В случае, если входной сигнал в начальный момент времени находится в зоне измерения скорости или выше верхней границы этой зоны, то компаратор 25 находится в нулевом состоянии до тех пор, пока входной сигнал не пересечет нижнюю границу зоны измерения скорости изменения и не станет меньше нижней границы этой зоны. После этого компаратор 25 переходит в единичное состояние и измерение скорости изменения входного сигнала осуществляется в соответствии с предыдущим случаем. Таким образом, если скорость изменения входного сигнала для усилителя близка к максимальной, то единица находится в одном из старших разрядов (от первого до  $i$ -го) сдвигового регистра 26, если скорость близка к минимальной, то единица находится в одном из младших разрядов (от  $(k+1)$ -го до  $n$ -го), и если скорость изменения входного сигнала близка к своему среднему значению, то единица находится в одном из средних разрядов (от  $(i+1)$ -го до  $k$ -го). Это значит, что при максимальной скорости изменения входного сигнала на выходе элемента ИЛИ 30 присутствует «1», а на выходах элементов ИЛИ 31 и 32 — «0», при средней скорости на выходе элемента ИЛИ 31 устанавливается «1», а на выходах элементов ИЛИ 30 и 32 — «0», при минимальной скорости изменения входного сигнала на выходе элемента ИЛИ 32 появляется «1», а на выходах элементов ИЛИ 30 и 31 — «0».

После окончания первого такта начинается второй такт. Во втором такте на вход триггера 24 по первому управляющему входу 35 подается сигнал «Выборка». В этом случае триггер 24 переходит в единичное состояние, при этом на одном из выходов

элементов И 44—46 устанавливается единичный сигнал. Если скорость входного сигнала максимальна, то на другом входе элемента И 46 тоже устанавливается единичный сигнал (см. работу в первом такте), ключ 40 замыкается и конденсатор 52 СЗ заряжается до величины входного сигнала. При минимальной скорости входного сигнала на другом входе элемента И 44 устанавливается единичный сигнал, ключ 38 замыкается и конденсатор 50 С1 заряжается до величины входного сигнала. При средней скорости входного сигнала происходит заряд конденсатора 51 С2 до величины входного сигнала. Таким образом, постоянная времени цепи заряда накопительного конденсатора выбирается в зависимости от скорости изменения входного сигнала.

В третьем такте на вход триггера 24 по второму управляющему входу 36 поступает сигнал «Запоминание». В этом случае триггер 24 переходит в нулевое состояние, при этом на одном из входов элементов И—47—49 устанавливается единичный сигнал. В зависимости от скорости входного сигнала на другом входе одного из элементов И 47—49 тоже устанавливается единичный сигнал и соответствующий из ключей 41—43 запоминания переводится из разомкнутого в замкнутое состояние, в то время как подключенный своим выходом к входу этого ключа запоминания ключ выборки из замкнутого состояния переходит в разомкнутое. Таким образом, на информационном выходе усилителя формируется сигнал, равный входному, который сохранится в течение всего времени запоминания. После окончания третьего такта усилитель устанавливается в исходное состояние с помощью сигнала установки, поступающего на третий управляющий вход усилителя.

#### Формула изобретения

1. Усилитель выборки и запоминания, содержащий предварительный каскад усиления, элемент памяти, выходной каскад усиления, ключ, вход предварительного каскада усиления является информационным входом усилителя, а выход соединен с информационным входом элемента памяти, информационный выход которого соединен с входом выходного каскада усиления, выход которого является информационным выходом усилителя, триггер, первый вход которого является первым управляющим входом усилителя, генератор импульсов, выход которого соединен с сигнальным входом ключа, отличающийся тем, что, с целью повышения быстродействия и расширения области применения усилителя за счет увеличения класса решаемых задач, в него введены два дополнительных элемента памяти, три элемен-

та ИЛИ, двухпороговый компаратор с двумя источниками пороговых напряжений, компаратор, дополнительный триггер, сдвиговый регистр, синхровход которого соединен с сигнальным выходом ключа, а установочный вход — с третьим управляющим входом усилителя и вторым входом дополнительного триггера, выход которого подключен к стробирующему входу двухпорогового компаратора, первый вход дополнительного триггера подключен к выходу компаратора, инвертирующий вход которого подключен к первому инвертирующему и второму неинвертирующему входам двухпорогового компаратора и информационному входу усилителя, неинвертирующий вход компаратора соединен с одним из источников порогового напряжения и вторым инвертирующим входом двухпорогового компаратора, первый неинвертирующий вход которого соединен с другим источником порогового напряжения, выход двухпорогового компаратора соединен с управляющим входом ключа, второй вход триггера является вторым управляющим входом усилителя, а единичный выход соединен с первыми управляющими входами элементов памяти, нулевой выход триггера соединен с вторыми управляющими входами элементов памяти, третьи управляющие выходы элементов памяти соединены соответственно с выходами первого, второго и третьего элементов ИЛИ, входы которых соединены с соответствующими выходами сдвигового регистра, информационные входы и выходы второго и третьего элементов памяти соединены соответственно с информационными входами и выходом первого элемента памяти.

2. Усилитель по п. 1, отличающийся тем, что элемент памяти содержит ключ выборки, ключ запоминания, накопительный элемент на конденсаторе, элемент И выборки, элемент И запоминания, сигнальный вход ключа выборки является информационным входом элемента памяти, сигнальный выход ключа выборки соединен с первым выводом конденсатора и с сигнальным входом ключа запоминания, сигнальный выход которого является информационным выходом элемента памяти, второй вывод конденсатора соединен с общей шиной, управляющий вход ключа выборки подсоединен к первому элементу И выборки, первый вход которого является первым управляющим входом элемента памяти, а второй соединен с вторым входом элемента И запоминания и является третьим управляющим входом элемента памяти, первый вход элемента И запоминания является вторым управляющим входом элемента памяти, выход элемента И запоминания подключен к управляющему входу ключа запоминания.

1589323

Редактор А. Огар  
Заказ 2544  
Составитель В. Гордонова  
Техред А. Кравчук  
Тираж 490  
Корректор Н. Ревская  
Подписное  
ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5  
Производственно-издательский комбинат «Патент», г. Ужгород, ул. Гагарина, 101