



УКРАЇНА

(19) UA

(11) 85626

(13) C2

(51) МПК (2009)

G06F 11/00

G06F 11/273

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ПАТЕНТУ НА ВІНАХІД

(54) НЕЛІНІЙНИЙ БАГАТОКАНАЛЬНИЙ СИГНАТУРНИЙ АНАЛІЗАТОР

1

2

(21) а200705565

(22) 21.05.2007

(24) 10.02.2009

(46) 10.02.2009, Бюл. № 3, 2009 р.

(72) РИСОВАНІЙ ОЛЕКСАНДР МИКОЛАЙОВИЧ,
UA(73) РИСОВАНІЙ ОЛЕКСАНДР МИКОЛАЙОВИЧ,
UA

(56) SU 1264180 A1, 15.10.1986

SU 1451696 A1, 15.01.1989

SU 1795459 A1, 21.09.1990

US 5694402, 02.12.1997

(57) Нелінійний багатоканальний сигнатурний аналізатор, який містить шифратор, суматор за модулем три, дворозрядні регістри, який відрізняється

тим, що в нього введені схеми множення на два за модулем три та логічні схеми АБО, при цьому кожний інформаційний вхід сигнатурного аналізатора підключений до відповідного шифратора, виходи яких з'єднуються з входами відповідних схем АБО, виходи яких підключені у відповідності з видом матриці станів до відповідних схем множення на два за модулем три, виходи схем множення з'єднані з відповідними суматорами за модулем три, перші виходи яких підключені до перших входів дворозрядних регістрів, а другі виходи суматорів за модулем три підключені до других входів дворозрядних регістрів, а треті входи дворозрядних регістрів підключені до схеми синхронізації.

Винахід належить до обчислювальної техніки та може використовуватися у системах діагностування цифрових об'єктів.

Мета винаходу - підвищення швидкодії аналізатора за рахунок паралельної її обробки, з одержанням сигнатури, яка дорівнює сигнатурі одноканального аналізатора при використанні одного й того створюючого поліному.

Аналогом винаходу є пристрій [Авт. св. СССР №1264180. 1986. Бюл. №38. Сигнатурний аналізатор. Иванов М.А.], який складається з інформаційного входу, синхровходу, шифратора, блока додавання за модулем три та дворозрядних регістрів. Недоліком цього пристрою є те, що він призначений для послідовної обробки цифрового коду.

В основу винаходу поставлено задачу створення пристрою з паралельною обробкою аналізованого цифрового коду з трьома станами, з одержанням сигнатури, яка дорівнює сигнатурі одноканального аналізатора при використанні одного й того створюючого поліному.

Такого результату можна досягти, якщо у сигнатурний аналізатор, який містить дворозрядні регістри додатково введені суматори за модулем три, схеми множення на 2 за модулем три, схеми шифраторів на кожний інформаційний цифровий

сигнал та логічні схеми АБО для виділення сигналів, при цьому інформаційні сигнали підключаються до відповідних шифраторів, виходи яких з'єднуються з входами відповідних схем АБО, виходи яких підключаються до відповідних схем множення на два за модулем три, виходи яких з'єднуються з відповідними суматорами за модулем три, перші виходи яких підключені до перших входів дворозрядних регістрів, а другі виходи суматорів за модулем три підключаються до других входів дворозрядних регістрів, до третіх входів дворозрядних суматорів підключається сигнал синхронізації схеми.

Позитивним технічним результатом є те, що пристрій дозволяє отримувати сигнатуру паралельного потоку цифрового коду з одержанням результату, який дорівнює результату, одержаному на одноканальному сигнатурному аналізаторі. Це дає змогу значно прискорити процес отримання сигнатури.

При пошуку в патентній та науково-технічній літературі не виявлено об'єктів з ознаками, подібними до відмінних ознак технічного рішення, що заявляється, на підставі чого можна зробити висновок про відповідність його критерію "суттєві відмінності".

(13) C2

(11) 85626

(19) UA

На Фіг.1 наведена структурна схема пристрою в загальному виді. Пристрій включає: інформаційні входи 1; групу блоків шифраторів 2_1-2_n ; групу логічних схем АБО 3_1-3_n ; групу блоків 4_1-4_r перемноження на два за модулем три; групу блоків 5_1-5_r суматорів за модулем три та групу дворозрядних регістрів 6_1-6_r .

Сигнатурний аналізатор є схемою, що здійснює ділення вхідної послідовності 1, коефіцієнти якої належать множині $\{0, 1, 2\}$, на багаточлен, на підставі якого побудована матриця станів, а вже за її видом здійснюється підключення виділених сигналів з груп логічних схем АБО 3_1-3_n до блоків множення коефіцієнтів 4_1-4_r .

Пристрій працює наступним чином. В початковому стані в регістрах записано код 0...0 (ланцюги встановлення в початковий стан не показані).

Надходження на вхід 1 паралельної вхідної послідовності викличе на виходах кожного шифратора двоканальної послідовності відповідно до наступної логіки:

Входи	Виходи
0	00
1	01
x	10

Знаком x позначено третій (високий) стан.

Логічні схеми АБО виділяють сигнали і подають їх на схеми множення коефіцієнтів відповідно до матриці станів.

Матриця станів будується таким чином. На підставі вибраного створюючого полінома з кінцевого поля Галуа $GF(3)$ будується одноканальний сигнатурний аналізатор. У перший тригер першого регістра $Pr1$ записується 1, а в інші - всі нулі. Це перший стан регістра. Після цього послідовно проводяться зсуви попереднього стану і їх збереження. Зсуви відбуваються з урахуванням попереднього стану завдяки зворотнім зв'язкам відповідно до ступенів створюючого полінома через суматор за модулем 3. Таким чином, одержана матриця станів, яка, наприклад, для $P(x) = x^4 \oplus x^3 \oplus 1$ має вигляд:

1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0	1	2	2
0	1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0	1	2
0	0	1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0	1
0	0	0	1	0	0	1	1	0	1	2	1	1	0	0	2	1	0	2	0
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20

1	0	1	0	1	1	1	1	2	2	2	0	1	1	2	1	2	0	0	0
2	1	0	1	0	1	1	1	1	2	2	0	1	1	2	1	2	0	0	0
2	2	1	0	1	0	1	1	1	1	2	2	0	1	1	2	1	2	0	0
1	2	2	1	0	1	0	1	1	1	1	2	2	2	0	1	1	2	1	2
2	1	2	2	3	2	4	2	5	2	6	2	7	2	8	2	9	3	0	3

2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0	2	1	1
0	2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0	2	1
0	0	2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0	2
0	0	0	2	0	0	2	2	0	2	1	2	2	0	0	1	2	0	1	0
4	1	4	2	4	3	4	4	5	4	6	4	7	4	8	5	0	5	6	0

2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1	0	0	0
1	2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1	0	0
1	1	2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1	0
2	1	1	2	0	2	0	2	2	2	2	1	1	1	0	2	2	1	2	1
6	1	6	2	6	3	6	4	6	5	6	6	7	6	8	6	9	7	0	1

У блоках суматорів за модулем три відбувається додавання, а відповідні їм регістри зберігають цю інформацію, яка є сигнатурою.

На Фіг.2 як приклад наведена схема дванадцятирозрядного аналізатора на основі створюючого полінома $P(x) = x^4 \oplus x^3 \oplus 1$. На суматор за модулем три 51 подається інформація з урахуванням ваги коефіцієнтів відповідно до першого рядка матриці станів при довжині вхідної послідовності $n=12$. При цій довжині тільки 8-й розряд інформації з блоків виділення сигналів 3_1-3_{12} необхідно помножити на два, що і здійснюється в блоці 4₁. На суматор за модулем три 5₂ подається інформація, оброблена відповідно до другого рядка матриці станів при довжині вхідної послідовності $n=12$. Для цього суматора необхідно помножити на два 9-й розряд інформації з блоків виділення сигналів. Для решти регістрів необхідно провести аналогічні дії.

Рівняння одержуваних сигнатур одноканального і багатоканального сигнатурного аналізатора досягається за рахунок того, що спочатку будується матриця станів одноканального сигнатурного аналізатора, а потім, на підставі одержаної матриці будується паралельний сигнатурний аналізатор. Покажемо процес отримання сигнатур на наступному прикладі.

При подачі на вхід одноканального сигнатурного аналізатора с $P(x) = x^4 \oplus x^3 \oplus 1$ вхідної послідовності $v(t)_{GF(3)} = 10202101202201012$ у кінцевому полі $GF(3)$ одержимо сигнатуру

$$\text{sig} v(t)_{GF(3)} = v(t)_{\text{mod} 3} = ||0012||.$$

Процес отримання цієї сигнатури для вхідної послідовності $v(t)_{GF(3)} = 10202101202201012$ на одноканальному сигнатурному аналізаторі наведено в табл. 1.

Таблиця 1

Pr1	0	1	0	2	1	0	0	0	2	2	0	1	0
Pr2	0	0	1	0	2	1	0	0	0	2	2	0	1
Pr3	0	0	0	1	0	2	1	0	0	0	2	2	0
Pr4	0	0	0	0	1	0	2	1	0	0	0	2	2
V(t=1)		1	0	2	0	2	1	0	1	2	0	2	2
№ такта		1	2	3	4	5	6	7	8	9	10	11	12

Процес отримання сигнатури $\text{sig} v(t)$ на багатоканальному сигнатурному аналізаторі наведений у табл. 2.

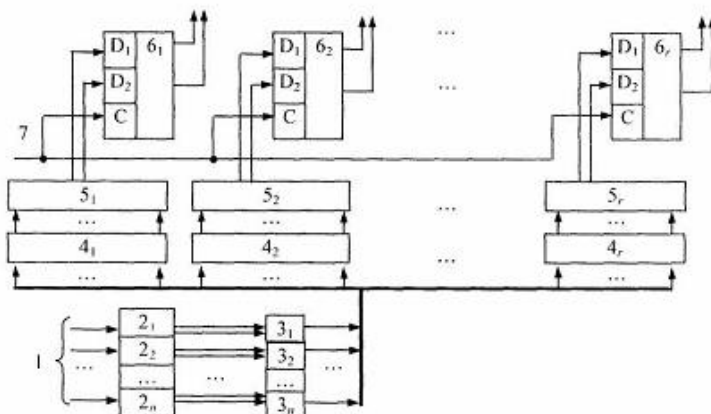
Таблиця 2

Матриця станів	1	0	0	1	1	0	1	2	1	1	0	0
	0	1	0	0	1	1	0	1	2	1	1	0
	0	0	1	0	0	1	1	0	1	2	1	1
	0	0	0	1	0	0	1	1	0	1	2	1
	h_1	h_2	h_3	h_4	h_5	h_6	h_7	h_8	h_9	h_{10}	h_{11}	h_{12}
$V(t=1)$	2	2	0	2	1	0	1	2	0	2	0	1

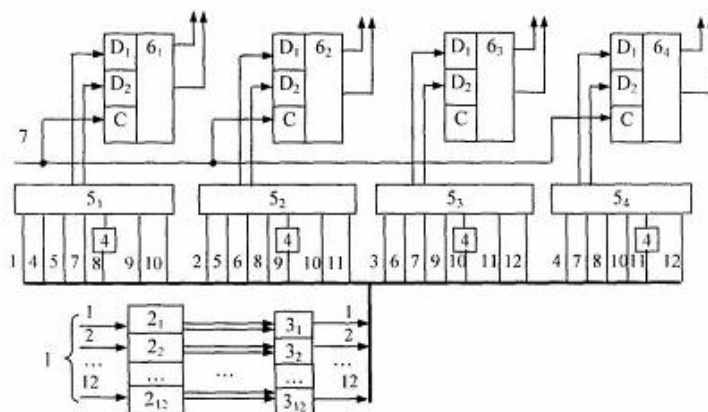
Сигнатура вхідної послідовності $V(t=1)$ визначається, як: $\text{sig}V(t=1) = \sum_{i=1,n} h_i$

$$= h_1 \oplus h_2 \oplus h_3 \oplus h_4 \oplus h_5 \oplus h_6 \oplus h_7 \oplus h_8 \oplus h_9 \oplus h_{10} \oplus h_{11} \oplus h_{12} = ||0102||.$$

Рівність сигнатур одноканального і багатоканального сигнатурних аналізаторів свідчить про правильність одержаних сигнатур при одній і тій же вхідній послідовності.



Фиг. 1



Фиг. 2