



УКРАЇНА

(19) UA (11) 62167 (13) A

(51) 7 G06F15/16

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІОПИС
ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДвидається під
відповідальність
власника
патенту

(54) АНАЛІЗАТОР РЕАЛІЗОВНОСТІ ПРОЦЕСУ

1

2

(21) 2002129894

(22) 10 12 2002

(24) 15 12 2003

(46) 15 12 2003, Бюл. № 12, 2003 р.

(72) Федорович Олег Євгенович, Губка Олексій Сергійович

(73) НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО "ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ"

(57) Аналізатор реалізованості процесу, що містить керуючий вхід, генератор, елемент «І», двійковий лічильник, блок пам'яті, тригер, дешифратор, регістр, шину результату, причому вихід генератора з'єднаний з першим входом першого елемента «І», керуючий вхід з'єднаний з одиничним входом тригера, вихід тригера з'єднаний із другим входом першого елемента «І», вихід якого з'єднаний з рахунковим входом двійкового лічильника, виходи двійкового лічильника з'єднані з входами першого блока пам'яті, який відрізняється тим, що має три шини даних, другий елемент «І», другий блок

пам'яті, арифметичний пристрій, три схеми порівняння, причому виходи двійкового лічильника з'єднані з входами другого блока пам'яті, входами дешифратора, і першою групою входів першої схеми порівняння, перша шина даних з'єднана з другою групою входів першої схеми порівняння, вихід якої з'єднаний з нульовим входом тригера, виходи дешифратора з'єднані з входами регістра, виходи якого з'єднані із шиною результату, виходи першого блока пам'яті з'єднані з першою групою входів арифметичного пристрою, виходи якого з'єднані з першою групою входів третьої схеми порівняння, виходи другого блока пам'яті з'єднані з першою групою входів другої схеми порівняння, друга шина даних з'єднана з другою групою входів другої схеми порівняння і з другою групою входів арифметичного пристрою, третя шина даних з'єднана з другою групою третьої схеми порівняння, виходи другої і третьої схем порівняння з'єднані з входами другого елемента «І», вихід якого з'єднаний з керуючим входом регістра

Винахід відноситься до автоматики та обчислювальної техніки, призначений для аналізу реалізованості процесів і може бути використаний в спеціалізованих обчислювальних пристроях автоматизованих систем керування технологічними процесами і систем автоматизованого проектування, для апаратного рішення задач теорії розкладів

Відомий пристрій для рішення логічних рівнянь (а с СРСР №1411768, кл. G06F15/20, опубл. 23 07 88р.), що містить лічильник, елемент І, перший і другий елементи НІ, тригер, операційний блок, блок порівняння, п груп по m елементів І, кожна, блок пам'яті, причому з другого по (n+1)-й інформаційні виходи лічильника підключені відповідно до адресних входів з першого по n-й блоку пам'яті, вхід читання якого підключений до тактового входу пристрою, i-й вихід блоку пам'яті підключений до i-му виходу результату рішення пристрою і до других входів m елементів i-й групи. Недоліком відомого пристрою є обмежені функціональні можливості. Відомий пристрій для логічної

обробки інформації, що містить вхідні шини коефіцієнтів рівняння, вхідну шину правої частини рівняння, шину результату, двійковий лічильник, групи з першою по n-ну елементів І, операційний пристрій, блок порівняння, тригер, два елементи НІ, два індикатори, генератор імпульсів, два елементи І, суматори по модулю 2, виходи операційного пристрою, елементи Рівнозначність (а с СРСР №1262519, кл. G06F15/20, 1985р.)

Недоліком відомого пристрою є обмежені функціональні можливості

Найбільш близьким по технічній суті і результату, що досягається є пристрій для моделювання процесу передачі інформації (патент України №23270 А, кл. G06F15/20, опубл. 31 08 98, бюл. № 4), що містить керуючий вхід, генератор, елемент «І», двійковий лічильник, блок пам'яті, тригер, дешифратор, регістр, шину результату, причому вихід генератора з'єднаний з першим входом першого елемента «І», керуючий вхід з'єднаний з одиничним входом тригера, вихід тригера з'єднаний із другим входом першого елемента «І», вихід

(13) A

(11) 62167

(19) UA

якого з'єднаний з рахунковим входом двійкового лічильника, виходи двійкового лічильника з'єднані з входами першого блоку пам'яті

Недоліком відомого пристрою є обмежені функціональні можливості, бо не дозволяє аналізувати реалізованість процесу

В основу винаходу поставлено задачу створити аналізатор реалізованості процесу шляхом введення нового складу елементів, та нової організації взаємозв'язків між ними, забезпечити ширші функціональні можливості при використанні винаходу, а саме - спроможність аналізувати реалізованість процесів

Поставлене завдання вирішується тим, що аналізатор реалізованості процесу, що містить керуючий вхід, генератор, елемент «І», двійковий лічильник, блок пам'яті, тригер, дешифратор, регістр, шину результату, причому вихід генератора з'єднаний з першим входом першого елемента «І», керуючий вхід з'єднаний з одиничним входом тригера, вихід тригера з'єднаний із другим входом першого елемента «Т», вихід якого з'єднаний з рахунковим входом двійкового лічильника, виходи двійкового лічильника з'єднані з входами першого блоку пам'яті, згідно з винаходом має у своєму складі три шини даних, другий елемент «І», другий блок пам'яті, арифметичний пристрій, три схеми порівняння, причому виходи двійкового лічильника з'єднані з входами другого блоку пам'яті, входами дешифратора, і першою групою входів першої схеми порівняння, перша шина даних з'єднана з другою групою входів першої схеми порівняння, вихід якої з'єднаний з нульовим входом тригера, виходи дешифратора з'єднані з входами регістра, виходи якого з'єднані із шиною результату, виходи першого блоку пам'яті з'єднані з першою групою входів арифметичного пристрою, виходи якого з'єднані з першою групою входів третьої схеми порівняння, виходи другого блоку пам'яті з'єднані з першою групою входів другої схеми порівняння, друга шина даних з'єднана з другою групою входів другої схеми порівняння і з другою групою входів арифметичного пристрою, третя шина даних з'єднана з другою групою третьої схеми порівняння, виходи другої і третьої схем порівняння з'єднані з входами другого елемента «І», вихід якого з'єднаний з керуючим входом регістра

Заявлений аналізатор реалізованості процесу має новий склад елементів, та нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості винаходу. Технічний результат, як наслідок цих властивостей - розширені функціональні можливості. На фіг. 1 представлена функціональна схема аналізатора реалізованості процесу. Пристрій містить керуючий вхід 1, генератор 2, елемент «І» 3, двійковий лічильник 4, тригер 5, блоки пам'яті 6 та 7, схеми порівняння 8, 9, 10, арифметичний пристрій 11, регістр 12, дешифратор 13, елемент "І" 14, шини даних 15, 16, 17, шину результату 18, причому вихід генератора 2 з'єднаний з першим входом першого елемента «І», керуючий

вхід 1 з'єднаний з одиничним входом тригера 5, вихід тригера 5 з'єднаний із другим входом першого елемента «І», вихід якого з'єднаний з рахунковим входом двійкового лічильника 4, виходи двійкового лічильника 4 з'єднані з входами першого блоку пам'яті, виходи двійкового лічильника 4 з'єднані з входами другого блоку пам'яті 7, входами дешифратора 13, і першою групою входів першої схеми порівняння 8, перша шина даних 15 з'єднана з другою групою входів першої схеми порівняння 8, вихід якої з'єднаний з нульовим входом тригера 5, виходи дешифратора 13 з'єднані з входами регістра 12, виходи якого з'єднані із шиною результату 12, виходи першого блоку пам'яті 6 з'єднані з першою групою входів арифметичного пристрою 11, виходи якого з'єднані з першою групою входів третьої схеми порівняння 10, виходи другого блоку пам'яті 7 з'єднані з першою групою входів другої схеми порівняння 9, друга шина даних 16 з'єднана з другою групою входів другої схеми порівняння 9 і з другою групою входів арифметичного пристрою 11 і, третя шина даних 17 з'єднана з другою групою третьої схеми порівняння 10, виходи другої і третьої схем порівняння 9 і 10 з'єднані з входами другого елемента «І» 14, вихід якого з'єднаний з керуючим входом регістра 12

Пристрій працює в такий спосіб. У вихідному стані двійковий лічильник 3, тригер 5, регістр 12 знаходяться в нульовому стані. У блоках пам'яті 6 і 7 по адресах з першої по К-ту записана інформація про простий відповідного устаткування (T_k і T_n). На першу шину 15 подається двійковий код числа К. На шини даних 16 і 17 подається інформація про аналізуємий процес: можливий час початку виконання процесу T_v (шина даних 16) і тривалість процесу D (шина даних 17). На керуючий вхід 1 подається одиничний імпульс для запуску пристрою. При цьому тригер 5 переводиться в стан «І» і відкриває елемент «І» 3. Імпульси з виходу генератора проходять на рахунковий вхід двійкового лічильника 4, послідовно змінюючи його стан. Для кожного стану (яке є адресою устаткування) відбувається зчитування з блоків пам'яті 6 і 7 відповідно значень T_n і T_k . Арифметичний пристрій 11 визначає тривалість простою устаткування $D_p = T_k - T_v$. Схеми порівняння 9 і 10 перевіряють виконання умов $T_v \geq T_n$ і $D_p \geq D$. Якщо умови виконуються, то на виході елемента «І» 14 формується сигнал «І», що відкриває регістр 12 для запису одиничних значень на виходах дешифратора 13. Регістр 12 реалізований на RS тригерах із синхронізацією, причому виходи дешифратора 13 з'єднані з S входами відповідних тригерів, що входять до складу регістра 12. Зазначений процес повторюється для всіх адрес устаткування. По закінченні процесу аналізу схема порівняння 8 формує одиничний сигнал, що переводить тригер 5 у стан «0» і робота пристрою зупиняється. У регістрі 12 зберігається інформація про устаткування на яким можна реалізувати аналізований процес (у відповідному розряді регістра значення «1»)

