



УКРАЇНА

(19) UA

(11) 53336

(13) A

(51) 7 G06F17/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВИНАХІДВидається під
відповідальність
власника
патенту

(54) УНІВЕРСАЛЬНИЙ АЛГОРИТМІЧНИЙ ПЕРЕТВОРЮВАЧ

1

2

(21) 2002043569

(22) 29 04 2002

(24) 15 01 2003

(46) 15 01 2003, Бюл. № 1, 2003 р.

(72) Чумаченко Ігор Володимирович, Косенко Віктор Васильович

(73) НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ
УНІВЕРСИТЕТ ІМ. М.Є. ЖУКОВСЬКОГО
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ"

(57) Універсальний алгоритмічний перетворювач, який має шину даних, шину результату, чотири операційних блоки, три керуючих входи, три мультиплексори, причому шина даних з'єднана з входами першого і другого операційних блоків, виходи першого операційного блока з'єднані з першою групою входів першого мультиплексора, виходи другого операційного блока з'єднані з другою групою входів першого мультиплексора і другою групою входів третього мультиплексора, виходи першого мультиплексора з'єднані з входами третього і четвертого операційних блоків, виходи третього операційного блока з'єднані з першою групою входів другого мультиплексора, виходи четвертого операційного блока з'єднані з другою групою вхо-

дів другого мультиплексора, виходи якого з'єднані з першою групою входів третього мультиплексора, виходи третього мультиплексора з'єднані з шиною результату, який відрізняється тим, що містить три елементи НЕРІВНОЗНАЧНІСТЬ, три настроювальних входи, причому перший керуючий вхід з'єднаний з першим входом першого елемента НЕРІВНОЗНАЧНІСТЬ, другий керуючий вхід з'єднаний з першим входом другого елемента НЕРІВНОЗНАЧНІСТЬ, третій керуючий вхід з'єднаний з першим входом третього елемента НЕРІВНОЗНАЧНІСТЬ, перший настроювальний вхід з'єднаний з другим входом першого елемента НЕРІВНОЗНАЧНІСТЬ, другий настроювальний вхід з'єднаний з другим входом другого елемента НЕРІВНОЗНАЧНІСТЬ, третій настроювальний вхід з'єднаний з другим входом третього елемента НЕРІВНОЗНАЧНІСТЬ, вихід першого елемента НЕРІВНОЗНАЧНІСТЬ з'єднаний з керуючим входом першого мультиплексора, вихід другого елемента НЕРІВНОЗНАЧНІСТЬ з'єднаний з керуючим входом другого мультиплексора, вихід третього елемента НЕРІВНОЗНАЧНІСТЬ з'єднаний з керуючим входом третього мультиплексора

Винахід відноситься до обчислювальної техніки і призначений для реалізації типових алгоритмів обробки інформації

Відомий пристрій для рішення логічних рівнянь [а с CPCP № 1411768, кл. G06F15/20, опубл. 23 07 88 р.], що містить лічильник, елемент І, перший і другий елементи НІ, тригер, операційний блок, блок порівняння, n груп по m елементів І кожна, блок пам'яті, причому з другого по $(n + 1)$ -й інформаційні виходи лічильника підключені відповідно до адресних входів з першого по n -й блоку пам'яті, вхід читання якого підключений до тактового входу пристрою, i -й вихід блоку пам'яті підключений до i -го виходу результату рішення пристрою і до других входів m елементів i -ї групи

Відомий пристрій для повної обробки інформації, що містить вхідні шини коефіцієнтів рівняння, вхідну шину правої частини рівняння, шину результату, двійковий лічильник, групи елементів

І, операційний пристрій, блок порівняння, тригер, два елементи НІ, два індикатори, генератор імпульсів, два елементи І, суматори по модулю 2, виходи операційного пристрою, елементи РІВНОЗНАЧНІСТЬ [а с CPCP № 1262519, кл. G06F15/20, 1985 р.]

Недоліком відомого пристрою є обмежені функціональні можливості

Найбільш близьким по технічній суті і результату, що досягається є пристрій обробки інформації [патент України № 38733, м. кл. G06F15/20, опубл. 2001, Бюл. № 4], який має шину даних, шину результату, чотири операційних блоку, три керуючих входи, три мультиплексори, причому шина даних з'єднана з входами першого і другого операційних блоків, виходи першого операційного блоку з'єднані з першою групою входів першого мультиплексора, виходи другого операційного блоку з'єднані з другою групою входів першого

(13) A

(11) 53336

(19) UA

мультиплексора і другою групою входів третього мультиплексора, виходи першого мультиплексора з'єднані з входами третього і четвертого операційних блоків, виходи третього операційного блоку з'єднані з першою групою входів другого мультиплексора, виходи четвертого операційного блоку з'єднані з другою групою входів другого мультиплексора, виходи якого з'єднані з першою групою входів третього мультиплексора, виходи третього мультиплексора з'єднані з шиною результату

Недоліком відомого пристрою є обмежені функціональні можливості

В основу винаходу поставлено задачу створити універсальний алгоритмічний перетворювач, який, в залежності від режиму роботи, реалізує заданий типовий алгоритм обробки інформації з різними варіантами настройки

В основу винаходу поставлено задачу вдосконалення універсального алгоритмічного перетворювача шляхом введення нового складу елементів, та нової організації взаємозв'язків між ними, забезпечити ширші функціональні можливості

Поставлене завдання вирішується тим, що універсальний алгоритмічний перетворювач, який має шину даних, шину результату, чотири операційних блока, три керуючих входи, три мультиплексори, причому шина даних з'єднана з входами першого і другого операційних блоків, виходи першого операційного блоку з'єднані з першою групою входів першого мультиплексора, виходи другого операційного блоку з'єднані з другою групою входів першого мультиплексора і другою групою входів третього мультиплексора, виходи першого мультиплексора з'єднані з входами третього і четвертого операційних блоків, виходи третього операційного блоку з'єднані з першою групою входів другого мультиплексора, виходи четвертого операційного блоку з'єднані з другою групою входів другого мультиплексора, виходи якого з'єднані з першою групою входів третього мультиплексора, виходи третього мультиплексора з'єднані з шиною результату, згідно з винаходом має у своєму складі три елементи НЕІВНОЗНАЧНІСТЬ, три настроювальних входи, причому перший керуючий вхід з'єднаний з першим входом першого елемента НЕІВНОЗНАЧНІСТЬ, другий керуючий вхід з'єднаний з першим входом другого елемента НЕІВНОЗНАЧНІСТЬ, третій керуючий вхід з'єднаний з першим входом третього елемента НЕІВНОЗНАЧНІСТЬ, перший настроювальний вхід з'єднаний з другим входом першого елемента НЕІВНОЗНАЧНІСТЬ, другий настроювальний вхід з'єднаний з другим входом другого елемента НЕІВНОЗНАЧНІСТЬ, третій настроювальний вхід з'єднаний з другим входом третього елемента НЕІВНОЗНАЧНІСТЬ, вихід першого елемента НЕІВНОЗНАЧНІСТЬ з'єднаний з керуючим входом першого мультиплексора, вихід другого елемента НЕІВНОЗНАЧНІСТЬ з'єднаний з керуючим входом другого мультиплексора, вихід третього елемента НЕІВНОЗНАЧНІСТЬ з'єднаний з керуючим входом третього мультиплексора

Заявлений пристрій має новий склад елементів, та нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості винаходу Техніч-

ний результат, як наслідок цих властивостей - розширення функціональних можливостей, а саме реалізації в залежності від режиму роботи заданих типових алгоритмів обробки інформації з різними варіантами настройки

На фіг представлена функціональна схема універсального алгоритмічного перетворювача

Універсальний алгоритмічний перетворювач містить шину даних 1, шину результату 2, операційні блоки 3, 4, 5, 6, керуючі входи 7, 8, 9 мультиплексори 10, 11, 12, елементи НЕІВНОЗНАЧНІСТЬ 13, 14, 15, настроювальні входи 16, 17, 18

Елементи пристрою обробки інформації з'єднані таким чином

Шина даних 1 з'єднана з входами першого і другого операційних блоків 5, 6, виходи першого операційного блоку 3 з'єднані з першою групою входів першого мультиплексора 10, виходи другого операційного блоку 4 з'єднані з другою групою входів першого мультиплексора 10 і другою групою входів третього мультиплексора 11, виходи першого мультиплексора 10 з'єднані з входами третього і четвертого операційних блоків 5 і 6, виходи третього операційного блоку 5 з'єднані з першою групою входів другого мультиплексора 12, виходи четвертого операційного блоку 6 з'єднані з другою групою входів другого мультиплексора 12, виходи якого з'єднані з першою групою входів третього мультиплексора 11, виходи третього мультиплексора 11 з'єднані з шиною результату 2, перший керуючий вхід 7 з'єднаний з першим входом першого елемента НЕІВНОЗНАЧНІСТЬ 13, другий керуючий вхід 8 з'єднаний з першим входом другого елемента НЕІВНОЗНАЧНІСТЬ 14, третій керуючий вхід 9 з'єднаний з першим входом третього елемента НЕІВНОЗНАЧНІСТЬ 15, перший настроювальний вхід 16 з'єднаний з другим входом першого елемента НЕІВНОЗНАЧНІСТЬ 13, другий настроювальний вхід 17 з'єднаний з другим входом другого елемента НЕІВНОЗНАЧНІСТЬ 14, третій настроювальний вхід 18 з'єднаний з другим входом третього елемента НЕІВНОЗНАЧНІСТЬ 15, вихід першого елемента НЕІВНОЗНАЧНІСТЬ 13 з'єднаний з керуючим входом першого мультиплексора 10, вихід другого елемента НЕІВНОЗНАЧНІСТЬ 14 з'єднаний з керуючим входом другого мультиплексора 12, вихід третього елемента НЕІВНОЗНАЧНІСТЬ 15 з'єднаний з керуючим входом третього мультиплексора 11

Працює пристрій обробки інформації таким чином

Позначимо функції, що реалізуються операційними блоками 3, 4, 5, 6 відповідно А, В, С, D, значення логічних змінних на входах 7, 8, 9 - X7, X8, X9, значення настроювальних сигналів 18, 16, 17 - X18, X16, X17

В залежності від заданого режиму роботи пристрій реалізує типові (відносно перестановок та інверсії змінних) алгоритми обробки інформації для двох умовних операторів. Настройки на реалізацію відповідного типу приведені у таблиці. Для інверсії відповідної змінної потрібно на відповідні настроювальні входи подати сигнал "1"

Настройка на реализацию типа	Типовой алгоритм
$X7 = A, X9 = 0, X8 = B,$ $X18 = 0 \alpha = X16 \oplus A,$ $\beta = X17 \oplus B$	$F_1 = {}_{\alpha}(A \vee B) {}^{\alpha} {}_{\beta}(C \vee D) {}^{\beta}$

$X7 = 0, X8 = A, X9 = B,$ $X16 = 0 \alpha = X17 \oplus A,$ $\beta = X18 \oplus B$	$F_2 = {}_{\alpha}(A {}_{\beta}(C \vee D) {}^{\beta} \vee B) {}^{\alpha}$
---	---

Таким чином, пристрій реалізує більший клас типових алгоритмів, тобто має ширші функціональні можливості

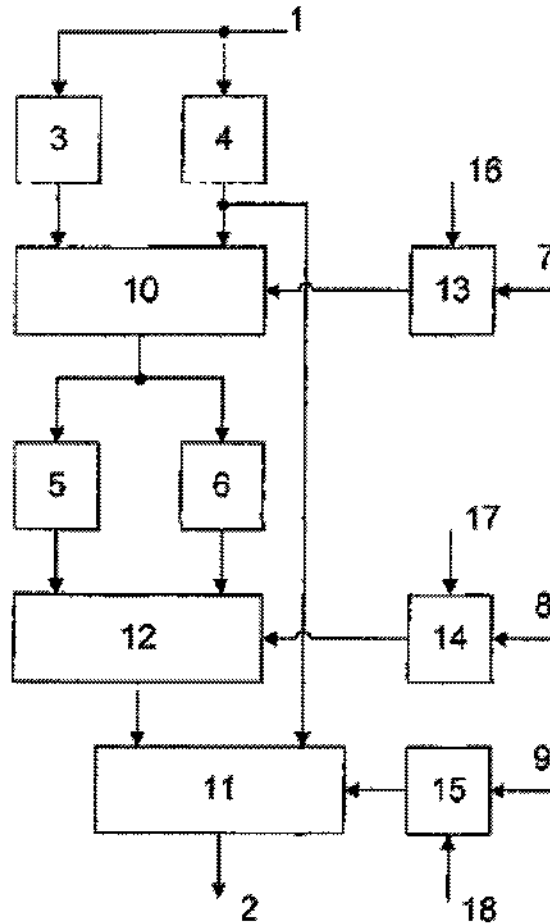


Fig.