



УКРАЇНА

(19) UA

(11) 3887

(13) U

(51) 7 H03D3/04

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬвидається під
відповідальність
власника
патенту

(54) АСИНХРОННИЙ ЦИФРОВИЙ ЧАСОВИЙ ДИСКРИМІНАТОР

1

2

(21) 20040402805

(22) 16.04.2004

(24) 15.12.2004

(46) 15.12.2004, Бюл. №12, 2004р.

(72) Борщ Валентин Іванович, Дробік Олександр Васильович, Коваль Валерій Вікторович, Коршун Євгеній Іванович, Костік Богдан Ярославович, Туманов Юрій Геннадійович

(73) ДЕРЖАВНИЙ УНІВЕРСИТЕТ ІНФОРМАЦІЙНО-КОМУНІКАЦІЙНИХ ТЕХНОЛОГІЙ

(57) Асинхронний цифровий часовий дискримінатор, що містить послідовно з'єднані формувач першої вхідної імпульсної послідовності, вхід якого є першим входом пристрою, лічильник імпульсів і статичний регістр, при цьому вихід формувача першої вхідної імпульсної послідовності підключений також до першого входу блока прив'язки імпульсів вхідної імпульсної послідовності, другий вхід якого з'єднаний з к-м виходом додаткового лічильника, рахунковий вхід якого з'єднаний з виходом формувача другої вхідної послідовності, вхід якого є другим входом пристрою, причому вихід блока прив'язки імпульсів вхідної імпульсної послідовності з'єднаний із входом запису статичного регістра, який **відрізняється** тим, що з метою розширення функціональних можливостей і підвищення швидкодії, уведений перший додатковий статичний ре-

гістр, к-1 входів якого також з'єднані з відповідними к-1 виходами першого статичного регістра, а к-й вихід першого статичного регістра також з'єднаний із входом першого інвертора, вихід якого підключений до к-го входу першого додаткового статичного регістра, к-виходів якого підключені до відповідного першим к-входам комутатора, другі к-входи якого з'єднані з відповідними к-виходами статичного регістра, вхід запису якого також з'єднаний з D-входом D-тригера, вихід якого з'єднаний із входом керування комутатора, к-виходи якого з'єднані з відповідними к-входами другого додаткового статичного регістра, к-виходи якого є цифровими виходами пристрою, а вхід запису другого додаткового статичного регістра з'єднаний з виходом другого інвертора, вхід якого з'єднаний з рахунковим входом D-тригера, а також з виходом формувача імпульсів зчитування, вхід якого є входом асинхронного зчитування, причому вхід читання першого додаткового статичного регістра з'єднаний з виходом додаткового блока прив'язки імпульсів, перший вхід якого також з'єднаний з виходом формувача першої вхідної імпульсної послідовності, а другий вхід додаткового блока прив'язки імпульсів з'єднаний з виходом третього інвертора, вхід якого з'єднаний також з к-м виходом другого лічильника.

Передбачувана корисна модель відноситься до радіотехнічних, телекомунікаційних, інформаційних пристроїв і може використовуватися для виміру тимчасової неузгодженості імпульсних послідовностей у цифрових вимірювальних системах, системах синхронізації, автопідстроювання періоду, фази, частоти.

Відомий фазовий дискримінатор, що містить формувачі опорного і вхідного сигналів, а також послідовно з'єднані двійковий лічильник, статичний регістр і перетворювач код-напряга, при цьому вихід формувача опорного сигналу підключений до входу двійкового лічильника і першого входу блоку прив'язки імпульсів вхідного сигналу, другий вхід якого з'єднаний з виходом формувача вхідного сигналу, а вихід блоку прив'язки з'єднаний з

керуючим входом статичного регістра (див. винахід по а.с. СРСР №1095349, МКИ³ H03D3/04 від 19.08.82).

Найбільш близьким до передбачуваної корисної моделі по технічній сутності є цифровий фазовий дискримінатор, що містить послідовно з'єднані формувач першої вхідної імпульсної послідовності, вхід якого є першим входом пристрою, лічильник імпульсів і статичний регістр, к-виходів якого є цифровими виходами пристрою, при цьому вихід формувача першої вхідної імпульсної послідовності підключений також до першого входу блоку прив'язки імпульсів вхідної імпульсної послідовності, вихід якого з'єднаний із входом запису статичного регістра, а другий вхід блоку прив'язки імпульсів вхідної імпульсної послідовності з'єднаний з

(13) U

(11) 3887

(19) UA

к-м виходом додаткового лічильника, рахунковий вхід якого з'єднаний з виходом формувача другої вхідної послідовності, вхід якого є другим входом пристрою (див. винахід по а.с. СРСР №1425806, МКІ³ H03D3/04 від 16.03.87, прототип).

Недоліком зазначеного пристрою є необхідність синхронізації процесів одержання цифрових значень вимірюваної тимчасової неузгодженості між першою і другою вхідними імпульсними послідовностями і їхнього зчитування через принципову відсутність тимчасового синхронізму, а також недостатньою швидкістю, обмеженою тривалістю інтервалу виміру.

В основу корисної моделі поставлена задача: підвищення швидкодії і забезпечення можливості асинхронного зчитування.

Технічним рішенням задачі є введення в цифровий часовий дискримінатор, що містить послідовно з'єднані формувач першої вхідної імпульсної послідовності, вхід якого є першим входом пристрою, перший лічильник імпульсів і статичний регістр, при цьому вихід формувача першої вхідної імпульсної послідовності підключений також до першого входу блоку прив'язки імпульсів вхідної імпульсної послідовності, другий вхід якого з'єднаний з к-м виходом другого лічильника, рахунковий вхід якого з'єднаний з виходом формувача другої вхідної послідовності, вхід якого є другим входом пристрою, причому вихід блоку прив'язки імпульсів вхідної імпульсної послідовності з'єднаний із входом запису статичного регістра першого додаткового статичного регістру, к-1 входів якого також з'єднані з відповідними к-1 виходами першого статичного регістра, а к-й вихід першого статичного регістра також з'єднаний із входом першого інвертора вихід якого підключений до к-го входу першого додаткового статичного регістра к-виходів якого підключені до відповідного першим к-входам комутатора, другі к-входи якого з'єднані з відповідними к-входами статичного регістра, вхід запису якого також з'єднаний з D-входом D-тригера, вихід якого з'єднаний із входом керування комутатора, к-виходів якого з'єднані з відповідними к-входами другого додаткового статичного регістра, к-виходів якого є цифровими виходами пристрою, а вхід запису другого додаткового статичного регістра з'єднаний з виходом другого інвертора, вхід якого з'єднаний з рахунковим входом D-тригера, а також з виходом формувача імпульсів зчитування, вхід якого є входом асинхронного зчитування, причому вхід читання першого додаткового статичного регістра з'єднаний з виходом додаткового блоку прив'язки імпульсів, перший вхід якого також з'єднаний з виходом формувача першої вхідної імпульсної послідовності, а другий вхід додаткового блоку прив'язки імпульсів з'єднаний з виходом третього інвертора, вхід якого з'єднаний також з к-м виходом другого лічильника.

На фіг.1 приведена електрична схема пропонованого пристрою; на фіг.2 - тимчасові діаграми, що пояснюють роботу.

Асинхронний цифровий часовий дискримінатор містить формувачі 1 і 2 першої і другої вхідної імпульсної послідовності, блок прив'язки 3 імпульсів, перший лічильник 4 імпульсів, статичний 5 регістр і другий лічильник 6 імпульсів, аналогічні

відповідно формувачам першої і другої вхідної імпульсної послідовності, блоку прив'язки імпульсів, лічильнику імпульсів, статичному регістру і додатковому лічильнику імпульсів - пристрою прототипу, перший додатковий 7 статичний регістр, перший 8 інвертор; 9 комутатор; 10 D-тригер; другий додатковий 11 статичний регістр; 12 інвертор; формувач 13 імпульсів зчитування; додатковий блок 14 прив'язки імпульсів; третій 15 інвертор.

Пропонований пристрій працює в такий спосіб. Сформована формувачем 1 перша вхідна імпульсна послідовність (фіг.2,а) надходить на рахунковий вхід лічильника 4 імпульсів, на виходах якого буде формуватися кодова комбінація, що відповідає кількості вхідних імпульсів, що надійшли, від свого початкового стану (як стан може бути обраний такий стан лічильника імпульсів, при якому на виходах його всіх розрядів установлена сигнал логічного нуля).

Сформована формувачем 2 друга вхідна імпульсна послідовність надходить на рахунковий вхід лічильника 6 імпульсів, на виході к-го розряду, якого через період 6, що є періодом зміни і зв'язаний з періодом проходження T вхідної імпульсної

послідовності співвідношенням $\theta = T \cdot 2^K$ формується фронт сигналу, що надходить на другий вхід блоку 3 прив'язки імпульсів і формує, у момент часу, коли має місце, що впливає перший, за зазначеним фронтом спад імпульсу першої вхідної імпульсної послідовності (при цьому робота лічильника 4 повинна здійснюватися фронтом зазначеного імпульсу), на виході блоку 3 прив'язки імпульсів (фіг.2,е), фронт сигналу який, надходячи на вхід запису регістра 5, здійснює запис, сформованої в даний момент на виходах лічильника 4 кодової комбінації, у статичний регістр 5 (CP). Записана кодова комбінація в статичний регістр 5 (виділена еліпсом на фіг.2,б,в,г) відповідає тимчасовому неузгодженості між першою і другим вхідними імпульсними послідовностями і буде незмінною (постійної - const) протягом тривалості інтервалу виміру рівної періоду, тобто до моменту появи наступного фронту сигналу з виходу блоку 3 прив'язки імпульсів (фіг.2,з).

Вихідний сигнал к-го розряду лічильника 6 імпульсів інвертується інвертором 15, що забезпечує формування фронту сигналу в середині періоду виміру 9, і надходить на другий вхід додаткового блоку 14 прив'язки імпульсів і формує в момент часу, коли має місце, що впливає перший, за зазначеним фронтом спад імпульсу першої вхідної імпульсної послідовності (при цьому робота лічильника 4 повинна здійснюватися фронтом зазначеного імпульсу), на виході додаткового блоку 14 прив'язки імпульсів (фіг.2,ж), фронт сигналу який, надходячи на вхід запису першого додаткового статичного 7 регістра, здійснює запис інвертованого першим 8 інвертором сигналу з к-го виходу першого 4 лічильника і сформованої в даний момент на к-1 виходах першого 4 лічильника кодової комбінації в регістр 7. Записана кодова комбінація в додатковому статичному 7 регістрі (виділена еліпсом на фіг.2,б,в,д) буде відповідати тимчасовому неузгодженості між першою і другим вхідними імпульсними послідовностями і буде незмінною

(постійної - const) протягом тривалості комплементарного інтервалу виміру рівної $\bar{\Theta}$, тобто до моменту появи наступного фронту сигналу з виходу додаткового блоку 14 прив'язки імпульсів (фіг.2,і).

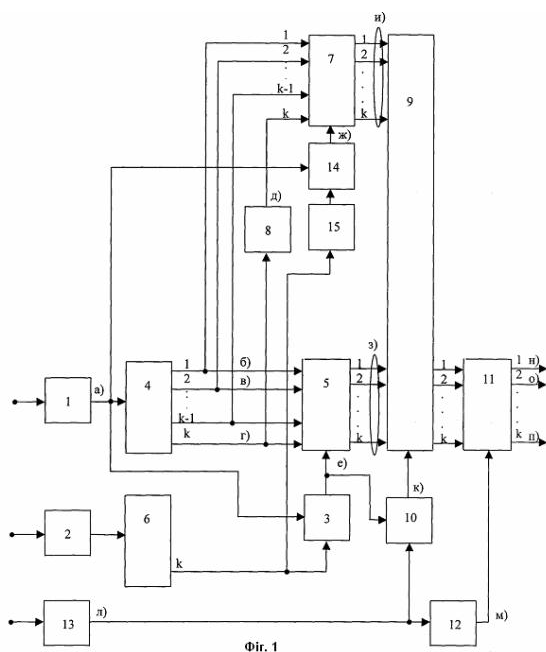
Комплементарний інтервал виміру $\bar{\Theta}$ зміщений за часом на величину $\Theta/2$ щодо інтервалу виміру Θ (фіг.2,з і фіг.2,і), що при незмінних значеннях кодових комбінацій на даних інтервалах дозволяє забезпечити асинхронне зчитування цифрової інформації імпульсами зчитування тривалістю $\tau = \Theta/2$ (фіг.2,л), виключивши при цьому виникнення помилок через можливість збігу моментів зчитування і зміни кодових комбінацій на виходах статичних регістрів.

Сформований формувачем 13 імпульс зчитування своїм фронтом стробує стан виходу блоку 3 прив'язки імпульсів за допомогою D-тригера 10 і тим самим визначає вибір статичного 5 чи регістра першого додаткового 7 статичного регістра, до якого останнім була записана оновлена інформація (фіг.2,к) за інтервал часу $\Theta/2$ чи $\bar{\Theta}/2$ відповідно. Сигнал з виходу D-тригера 10 забезпечує керування комутатором 9 таким чином, щоб k-виходів статичного 5 чи регістра першого

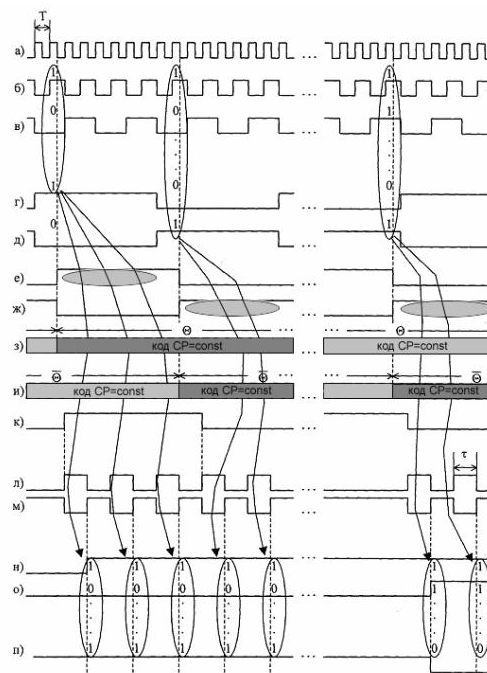
додаткового 7 статичного регістра, до якого останнім була записана оновлена інформація були скомутовані на відповідні k-входи другого додаткового 11 статичного регістра.

Інвертований другим 12 інвертором імпульс зчитування (фіг.2,м), надходячи на вхід запису другого додаткового статичного 11 регістра, своїм фронтом здійснює запис останньої оновленої інформації виміру (виділена еліпсами на фіг.2,н,о,п) не більш ніж за половину інтервалу часу виміру $\Theta/2$.

Таким чином, на відміну від прототипу, пропонується корисна модель дозволяє асинхронно (у будь-який момент часу, без необхідності синхронізації процесів одержання цифрових значень вимірюваної тимчасової неузгодженості між імпульсними послідовностями і їхнього зчитування) одержувати кодову комбінацію, що визначає величину тимчасової неузгодженості між першою і другою вхідними імпульсними послідовностями, не більш ніж за половину інтервалу часу виміру, обмеженого тільки розрядністю лічильників імпульсів, статичних регістрів і комутатора.



Фіг. 1



Фіг. 2