



УКРАЇНА

(19) UA (11) 31044 (13) U

(51) МПК (2006)

G06F 17/00

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІОПИС  
ДО ПАТЕНТУ  
НА КОРИСНУ МОДЕЛЬвидається під  
відповідальність  
власника  
патенту

## (54) СИСТЕМА ФОРМУВАННЯ КОМАНДИ ПРОЕКТУ З ФУНКЦІОНАЛЬНИМ РЕЗЕРВУВАННЯМ

1

2

(21) u200712320

(22) 06.11.2007

(24) 25.03.2008

(46) 25.03.2008, Бюл.№ 6, 2008 рік

(72) ЧУМАЧЕНКО ІГОР ВОЛОДИМИРОВИЧ, UA,  
ДОЦЕНКО НАТАЛІЯ ВОЛОДИМИРІВНА, UA,  
ШИПУЛІН ОЛЕКСІЙ ІГОРОВИЧ, UA, ДІДИК  
НАТАЛІЯ ОЛЕКСІІВНА, UA(73) НАЦІОНАЛЬНИЙ АЕРОКОСМІЧНИЙ  
УНІВЕРСИТЕТ ім. М.Є.ЖУКОВСЬКОГО  
"ХАРКІВСЬКИЙ АВІАЦІЙНИЙ ІНСТИТУТ", UA

(56)

(57) Система формування команди проекту з функціональним резервуванням, яка має групу інформаційних входів, порогові елементи, керуючий вхід, два виходи пристрою, виходи результату, двійковий лічильник, блок пам'яті, k блоків множення векторів, елементи I, елемент Ш, керуючий вхід, виходи блока пам'яті, тригер, причому виходи першого двійкового лічильника з'єднані з входами першого блока пам'яті, виходи якого з'єднані з виходами результату та першими групами входів блоків множення векторів, вихід тригера з'єднаний з другим виходом, перший керуючий вхід з'єднаний з першим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника,

вихід переносу якого з'єднаний з першим виходом та через перший елемент Ш з другим входом елемента I, i-та група інформаційних входів з'єднана з другою групою входів i-го блока множення векторів, виходи яких з'єднані з першими групами входів відповідного порогового елемента, виходи порогових елементів з'єднані з входами другого елемента I, вихід якої з'єднаний з входом тригера, другий керуючий вхід з'єднаний з третім входом першого елемента I, яка відрізняється тим, що має шину значень кількості рішень, другий блок пам'яті, другу групу інформаційних виходів, формувач фронту, другий лічильник, елемент затримки, причому i-та група входів другої групи інформаційних входів з'єднана з другою групою входів i-го порогового елемента, інформаційні виходи першого блока пам'яті з'єднані з інформаційними входами другого блока пам'яті, вихід другого елемента I з'єднаний з входом формувача фронту, вихід якого з'єднаний з підсумовуючим входом другого лічильника та через елемент затримки з'єднаний з входом запису другого блока пам'яті, виходи другого лічильника з'єднані з шиною значень кількості рішень та адресними входами другого блока пам'яті.

Корисна модель відноситься до обчислювальної техніки і призначена для вибору оптимального варіанту формування команди проекту.

Відомий пристрій для логічної обробки інформації, що містить вхідні шини коефіцієнтів рівняння, вхідну шину правої частини рівняння, шина результату, двійковий лічильник, групи з першої по n-ну елементів I, операційний пристрій, блок порівняння, тригер, два елементи HI, два індикатори, генератор імпульсів, два елементи I, суматори по модулю 2, виходи операційного пристрою, елементи рівнозначності [а.с. СРСР N 1262519, кл. G06F15/20, 1985р.].

Недоліком відомого пристрою є обмежені функціональні можливості.

Відомий пристрій для рішення логічних рівнянь [а.с. СРСР N1411768, кл. G06F15/20, опубл.23.07.88р.], що містить двійковий лічильник, блок пам'яті, виходи результату, групу інформаційних входів, два виходи пристрою, керуючий вхід, два елемента HI, елемент I, тригер, групу керуючих входів, схему порівняння, причому виходи двійкового лічильника з'єднані з входами блока пам'яті, виходи якого з'єднані з виходами результату, група керуючих входів з'єднана з першою групою входів схеми порівняння, вихід якої з'єднаний з входом тригера, вихід тригера з'єднаний з другим виходом та через другий елемент HI з'єднаний з першим входом елемента I, керуючий вхід з'єднаний з другим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника,

(13) U

(11) 31044

(19) UA

вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з третім входом елемента I.

Недоліком відомого пристрою є обмежені функціональні можливості.

Найбільш близьким по технічній суті і результату, що досягається є система формування команди проекту [Патент України на корисну модель №20818, МПК G06F17/00, Зареєстр. 15.02.2007р.], що містить групу інформаційних входів, порогові елементи, керуючий вхід, два виходи пристрою, виходи результату, двійковий лічильник, блок пам'яті, k блоків множення векторів, елементи I, елемент HI, керуючий вхід, виходи блоку пам'яті, тригер, причому виходи першого двійкового лічильника з'єднані з входами першого блоку пам'яті, виходи якого з'єднані з виходами результату та першими групами входів блоків множення векторів, вихід тригера з'єднаний з другим виходом, перший керуючий вхід з'єднаний з першим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з другим входом елемента I, i-та група інформаційних входів з'єднана з другою групою входів i-го блоку множення векторів, виходи яких з'єднані з першими групами входів відповідного порогового елемента, виходи порогових елементів з'єднані з входами другого елемента I, вихід якої з'єднаний з входом тригера, другий керуючий вхід з'єднаний з третім входом першого елемента I.

Недоліком відомого пристрою є обмежені функціональні можливості, бо відома система знаходить тільки одне рішення.

В основу корисної моделі поставлено задачу вдосконалення системи шляхом введення нового складу елементів, та нової організації взаємозв'язків між ними, забезпечити ширші функціональні можливості при використанні корисної моделі, а саме - спроможність формувати та записувати усі варіанти вирішення задачі.

Поставлене завдання вирішується тим, що система формування команди проекту з функціональним резервуванням, яка має групу інформаційних входів, порогові елементи, керуючий вхід, два виходи пристрою, виходи результату, двійковий лічильник, блок пам'яті, k блоків множення векторів, елементи I, елемент HI, керуючий вхід, виходи блоку пам'яті, тригер, причому виходи першого двійкового лічильника з'єднані з входами першого блоку пам'яті, виходи якого з'єднані з виходами результату та першими групами входів блоків множення векторів, вихід тригера з'єднаний з другим виходом, перший керуючий вхід з'єднаний з першим входом елемента I, вихід елемента I з'єднаний з підсумовуючим входом двійкового лічильника, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з другим входом елемента I, i-та група інформаційних входів з'єднана з другою групою входів i-го блоку множення векторів, виходи яких з'єднані з першими групами входів відповідного порогового елемента, виходи порогових елементів з'єднані з

входами другого елемента I, вихід якої з'єднаний з входом тригера, другий керуючий вхід з'єднаний з третім входом першого елемента I, згідно з корисною моделлю, має шину значень кількості рішень, другий блок пам'яті, другу групу інформаційних виходів, формувач фронту, другий лічильник, елемент затримки, причому i-та група входів другої групи інформаційних входів з'єднана з другою групою входів i-го порогового елемента, інформаційні виходи першого блоку пам'яті з'єднані з інформаційними входами другого блоку пам'яті, вихід другого елемента I з'єднаний з входом формувача фронту, вихід якого з'єднаний з підсумовуючим входом другого лічильника та через елемент затримки з'єднаний з входом запису другого блоку пам'яті, виходи другого лічильника з'єднані з шиною значень кількості рішень та адресними входами другого блоку пам'яті ( $i=1, \dots, n$ ).

Заявлена система має новий склад елементів та нову організацію взаємозв'язків між ними, тобто містить нову сукупність ознак, які забезпечують нові технічні властивості. Технічний результат, як наслідок цих властивостей - розширені функціональні можливості пристрою, а саме - спроможність формувати та записувати варіанти команди проекту.

На Фіг.1 представлена функціональна схема системи формування команди проекту з функціональним резервуванням.

Система формування команди проекту має групу інформаційних входів 1, порогові елементи 2, керуючий вхід 3, два виходи 4 та 5 пристрою, виходи результату 6, двійковий лічильник 7, блок пам'яті 8, k блоків множення векторів 9, елемент I 10, елемент HI 11, керуючий вхід 12, елемент I 13, виходи блоку пам'яті 14, тригер 15, шину значень кількості рішень 16, другий блок пам'яті 17, другу групу інформаційних виходів 18, формувач фронту 19, другий лічильник 20, елемент затримки 21, причому виходи першого двійкового лічильника 7 з'єднані з входами першого блоку пам'яті 8, виходи якого з'єднані з виходами результату 6 та першими групами входів блоків множення векторів 9, вихід тригера 15 з'єднаний з другим виходом 4, перший керуючий вхід 3 з'єднаний з першим входом елемента I 13, вихід елемента I 13 з'єднаний з підсумовуючим входом двійкового лічильника 7, вихід переносу якого з'єднаний з першим виходом та через перший елемент HI з другим входом елемента I 13, i-та група інформаційних входів 1 з'єднана з другою групою входів i-го блоку множення векторів 9i, виходи якого з'єднані з першими групами входів i-го порогового елемента 2i, виходи порогових елементів 2 з'єднані з входами другого елемента I 10, вихід якого з'єднаний з входом тригера 15, другий керуючий вхід 12 з'єднаний з третім входом першого елемента I 13, i-та група входів другої групи інформаційних входів 18i з'єднана з другою групою входів i-го порогового елемента 2i, інформаційні виходи першого блоку пам'яті 8 з'єднані з інформаційними входами другого блоку пам'яті 17, вихід другого елемента I 10 з'єднаний з входом формувача фронту 19, вихід якого з'єднаний з підсумовуючим входом другого

лічильника 20 та через елемент затримки 21 з'єднаний з входом запису другого блоку пам'яті 17, виходи другого лічильника 20 з'єднані з шиною значень кількості рішень 16 та адресними входами другого блоку пам'яті 17 ( $i=1, \dots, n$ ).

Блок множення векторів 9 має таку саму структуру, як у прототипі.

Розглянемо роботу системи. При описі роботи введеш такі позначення:

$n$  - кількість претендентів;

$k$  - кількість робіт;

$A^i = \{a_1^i, \dots, a_n^i\}$  - двійкове число, що подається на  $i$ -ту групу інформаційних входів  $1_i$  причому  $a_j^i = 1$ , якщо  $j$ -ий претендент може виконувати  $i$ -ту роботу, та  $a_j^i = 0$  у іншому випадку;

$C = \{c_1, \dots, c_n\}$  - двійкове число, на виходах 14 блока пам'яті 8, яке відображає можливий склад команди проекту, причому  $C_i = 1$ , якщо  $i$ -тий претендент входить у склад команди, та  $C_i = 0$  у протилежному випадку.

$P^i = \{p_1^i, p_2^i, \dots, p_n^i\}$  - двійковий еквівалент значення  $i$ -го порогу.

У блоці пам'яті 8 записані лексикографічно упорядковані значення двійкових чисел  $C$ .

На перші інформаційні входи 1 подаються відповідні значення двійкових чисел  $A$ , на другі інформаційні входи 2 подаються відповідні двійкові коди значень резервування.

Спочатку всі елементи пам'яті схеми пристрою знаходяться у стані "0".

На керуючий вхід 3 подається імпульсна послідовність, після подачі на другий керуючий вхід 12 сигналу "1" відкривається перший елемент І 13, імпульси з виходу якого поступають на підсумовуючий вхід першого двійкового лічильника 7 змінюючи його стан. Двійкове число на виходах двійкового лічильника 7 є адресою, згідно з якою на виходах 14 блока пам'яті 8 формується відповідне значення числа  $C$ .

На виходах блоків множення векторів 9 формуються двійкові унітарні  $n$ -розрядні коди, що відповідають двійковому числу  $a_1^i * c_1, a_2^i * c_2, \dots, a_n^i * c_n$ .

Порогові елементи 2 формують на своєму виході сигнал "1", якщо двійковий код, що поступає на їх входи має не менше  $P$  одиниць, де  $P$  - поріг (коефіцієнт резервування). Якщо на виходах усіх порогових елементів сигнал "1", що відповідає наявності рішення, на виході другого елементу І 10 формується сигнал "1", при цьому тригер 15 переходить у стан "1" і на виході 4 формується сигнал "1", що свідчить про наявність рішень. Формувач фронту 19 формує імпульс, який змінює стан двійкового лічильника 20 на наступний (тобто формує наступну адресу). Імпульс з виходу формувача імпульсів 19 через час  $\tau_3$ , що визначається елементом затримки 21, проходить на вхід запису другого блоку пам'яті 17 і код рішення записується. Наступний імпульс на керуючому вході 3 переведе двійковий лічильник 7 у наступний стан і на виходах блока пам'яті 8 формується наступний варіант побудови рішення. Коли перебрані усі варіанти на виході 5 формується сигнал "1", який про це свідчить. Кількість варіантів рішень видається на шину значень кількості рішень 16.

Таким чином система послідовно генерує та записує варіанти побудови команди проекту з заданим резервом.

