

Винахід відноситься до обчислювальної техніки і може бути використаний при побудові запам'ятовуючих пристроїв багатопроцесорних поточкових обчислювальних систем

Відомий запам'ятовуючий пристрій [Авт. св. СССР №1529287, кл. G 11 C 11/00, 1989], який містить два блоки пам'яті, два регістри, лічильник, два комутатори і тригер.

Однак даний пристрій для своєї реалізації вимагає великих апаратних витрат.

Найбільш близьким до запропонованого є буферний запам'ятовуючий пристрій [Авт. св. СССР №1479954, кл. G 11 C 11/00, G 06 F 7/08, 1989], який містить блок пам'яті з  $n$  комірок, вхід управління, вхід синхронізації, адресний вхід, інформаційний вхід, інформаційний вихід, блок сортування адреси з  $n$  вузлів порівняння, кожний з яких містить регістр, елемент порівняння, елемент АБО, тригер, перший елемент  $i$ , при цьому інформаційний вхід першої комірки пам'яті є інформаційним входом пристрою, вхід синхронізації блока сортування адреси є одноіменним входом пристрою і з'єднаний з першим входом першого елемента  $i$  і з синхровходом тригера кожного вузла порівняння, адресний вхід блока сортування адреси є одноіменним входом пристрою і з'єднаний з першим входом елемента порівняння в кожному вузлі порівняння, вхід управління блока сортування адреси є одноіменним входом пристрою і з'єднаний з інформаційним входом тригера першого вузла порівняння, виходи перших елементів  $i$  і вузлів порівняння з першого по  $n$ -ий з'єднані з входами запису відповідних комірок пам'яті в кожному вузлі порівняння, інформаційний вхід тригера з'єднаний з першим входом елемента АБО, вихід якого з'єднаний з другим входом першого елемента  $i$ , вихід якого з'єднаний з синхровходом регістра, виходи якого з'єднані з другими входами елемента порівняння, перший вихід якого з'єднаний з другим входом елемента АБО, прямий вихід тригера кожного попереднього вузла порівняння з'єднаний з інформаційним входом тригера кожного наступного вузла порівняння.

Даний пристрій для своєї реалізації вимагає великих апаратних витрат, а саме:

$$W_1 = n \cdot (W_{Pr} + W_{Tr} + W_{En} + W_{KMa} + W_{ABO} + W_i + W_{KMD} + W_{Kn}),$$

де  $W_{Pr}$ ,  $W_{Tr}$ ,  $W_{En}$ ,  $W_{KMa}$ ,  $W_{ABO}$ ,  $W_i$ ,  $W_{KMD}$ ,  $W_{Kn}$  - апаратні витрати для реалізації відповідного регістра, тригера, елемента порівняння, комутатора адреси, елемента АБО, елемента  $i$ , комутатора даних і комірки пам'яті.

В основу винаходу поставлене завдання створити буферний запам'ятовуючий пристрій, в якому введення нових елементів і зв'язків між ними дозволило б скоротити апаратні витрати.

Поставлене завдання вирішується тим, що в буферний запам'ятовуючий пристрій, який містить блок пам'яті з  $n$  комірок, вхід управління, вхід синхронізації, адресний вхід, інформаційний вхід, інформаційний вихід, блок сортування адреси з  $n$  вузлів порівняння, кожний з яких містить регістр, елемент порівняння, елемент АБО, тригер, перший елемент  $i$ , при цьому інформаційний вхід першої комірки пам'яті є інформаційним входом пристрою, вхід синхронізації блока сортування адреси є одноіменним входом пристрою і з'єднаний з першим входом першого елемента  $i$  і синхровходом тригера кожного вузла порівняння, адресний вхід блока сортування адреси є одноіменним входом пристрою і з'єднаний з першим входом елемента порівняння в кожному вузлі порівняння, вхід управління блока сортування адреси є одноіменним входом пристрою і з'єднаний з інформаційним входом тригера першого вузла порівняння, виходи перших елементів  $i$  і вузлів порівняння з першого по  $n$ -ий з'єднані з входами запису відповідних комірок пам'яті, в кожному вузлі порівняння інформаційний вхід тригера з'єднаний з першим входом елемента АБО, вихід якого з'єднаний з другим входом першого елемента  $i$ , вихід якого з'єднаний з синхровходом регістра, виходи якого з'єднані з другими входами елемента  $i$  порівняння, перший вихід якого з'єднаний з другим входом елемента АБО, прямий вихід тригера кожного попереднього вузла порівняння з'єднаний з інформаційним входом тригера кожного наступного вузла порівняння, відрізняється тим, що додатково містить вхід початкової установки, а кожний вузол порівняння додатково містить елемент  $i$ , при цьому вхід початкової установки є одноіменним входом блока сортування адреси і з'єднаний з входами установки тригера і регістра кожного вузла порівняння, інформаційний вихід пристрою з'єднаний з буферизованими виходами кожної з комірок пам'яті, виходи других елементів  $i$  і вузлів порівняння з першого по  $n$ -ий з'єднані з входами читання відповідних комірок пам'яті, в кожному вузлі порівняння інверсний вихід тригера з'єднаний з першим входом другого елемента  $i$ , другий вхід якого з'єднаний з другим виходом елемента порівняння та третім входом елемента АБО, виходи регістра кожного попереднього вузла порівняння з'єднані з інформаційними входами регістра кожного наступного вузла порівняння, інформаційні входи регістра першого вузла порівняння з'єднані з потенціалом логічного нуля, небуферизовані виходи кожної попередньої комірки пам'яті з'єднані з інформаційними входами кожної наступної комірки пам'яті.

Введення в кожний вузол порівняння елемента  $i$  та використання в комітках пам'яті буферизованих виходів забезпечило одночасний послідовний запис чисел нового масиву та читання за довільними адресами чисел попереднього масиву і тим самим дозволило зменшити апаратні витрати на  $n$  комутаторів адреси та  $n$  комутаторів даних. На кресленні представлена схема буферного запам'ятовуючого пристрою.

Буферний запам'ятовуючий пристрій містить адресний вхід 1, вхід початкової установки 2, вхід синхронізації 3, вхід управління 4, інформаційний вхід 5, інформаційний вихід 6, блок сортування адреси 7, блок пам'яті 8,

Блок сортування адреси 7 містить вузли порівняння  $9_1, 9_2, \dots, 9_n$ , кожний з яких містить тригер 10, елемент АБО 11, елемент  $i$  12, регістр 13, елемент порівняння 14, елемент  $i$  15.

Блок пам'яті 8 містить комірки пам'яті  $16_1, 16_2, \dots, 16_n$ .

Адресний вхід 1 пристрою з'єднаний в кожному вузлі порівняння 9 з першими входами елемента порівняння 14, вхід початкової установки 2 пристрою з'єднаний в кожному вузлі порівняння з входами установки тригера 10 і регістра 13, вхід синхронізації 3 пристрою в кожному вузлі порівняння 9 з'єднаний з першим входом елемента  $i$  12 і з синхровходом тригера 10, вхід управління пристрою 4 з'єднаний з інформаційним входом тригера першого вузла порівняння  $9_1$ . Інформаційний вхід 5 пристрою з'єднаний з інформаційним входом першої комірки пам'яті  $16_1$ . Інформаційні входи регістра 13 першого вузла порівняння  $9_1$ , з'єднані з потенціалом логічного нуля, інформаційний вихід 6 пристрою з'єднаний з буферизованими виходами комірок пам'яті  $16_1, 16_2, \dots, 16_n$ , в кожному 1-му вузлі порівняння  $9_1$  інформаційний вхід тригера 10

з'єднаний з першим входом елемента АБО 11, прямий вихід тригера 10 з'єднаний з інформаційним входом тригера 10 (i+1)-го вузла порівняння  $9_{i+1}$ . Інверсний вихід тригера 10 з'єднаний з першим входом другого елемента 15, другий вхід якого з'єднаний з третім входом елемента АБО 11 і другим виходом елемента порівняння 14, перший вихід якого з'єднаний з другим входом елемента АБО 11, вихід якого з'єднаний

З другим входом елемента 12, вихід якого з'єднаний з синхровходом регістра 13 і входом запису комірок пам'яті 16<sub>i</sub>, виходи регістра 13 з'єднані з другими входами елемента порівняння 14 і інформаційними входами регістра 13 (i+1)-го вузла порівняння  $9_{i+1}$ , вихід другого елемента 15 з'єднаний з входом читання i-ої комірки пам'яті 16<sub>i</sub> в блоці пам'яті 8 небуферизовані виходи 1-ої комірки пам'яті 16<sub>i</sub> з'єднані з інформаційними входами (i+1)-ої комірки пам'яті 16<sub>i+1</sub>.

Пристрій працює наступним чином. Перед початком роботи на вході управління 4 пристрою встановлюємо потенціал логічної 1. Сигналом додатньої полярності з входу початкової установки 2 пристрою встановлюємо тригери 10 всіх вузлів порівняння  $9_1, 9_2, \dots, 9_n$  в нуль, а регістри 13 в першому  $9_1$ , другому  $9_2, \dots, n$ -ому  $9_n$  вузлах порівняння - відповідно в нуль, одиницю, ..., n-1.

В першому такті роботи перше число першого масиву поступає на інформаційний вхід 5 пристрою. В першому вузлі порівняння  $9_1$  потенціал логічної 1 з входу управління 4 пристрою дозволяє проходження тактових імпульсів через елемент 12. По задньому фронту (перепаду сигналу з логічної 1 в логічний 0) першого тактового імпульса в першу комірку пам'яті 16<sub>1</sub> записується перше число, а в тригер 10 першого вузла порівняння  $9_1$  - одиниця.

В другому такті роботи друге число першого масиву поступає на інформаційний вхід 5 пристрою. В першому  $9_1$  і другому  $9_2$  вузлах порівняння на другі входи елементів 12 поступає логічна 1, яка дозволяє проходження тактових імпульсів через дані елементи. По задньому фронту другого тактового імпульса в першу комірку пам'яті 16<sub>1</sub> записується друге число, в другу комірку пам'яті 16<sub>2</sub> переписується перше число з першої комірки пам'яті 16<sub>1</sub>, а в тригер 10 другого вузла порівняння  $9_2$  - одиниця.

По приходу наступних (n-2) тактових імпульсів пристрій працює аналогічно.

Після n-го тактового імпульсу в першій 16<sub>1</sub>, другій 16<sub>2</sub>, ..., n-ій 16<sub>n</sub> комірках пам'яті записані відповідно n-е число, (n-1)-е число, ..., перше число першого масиву. Перед поступленням наступних тактових імпульсів з входу початкової установки 2 пристрою поступає імпульс додатньої полярності, який установлює тригери 10 всіх вузлів порівняння в нуль, а регістри 13 в першому  $9_1$ , другому  $9_2, \dots, n$ -ому  $9_n$  вузлах порівняння - відповідно в нуль, одиницю, ..., n-1.

В наступних тактах роботи одночасно з записом чисел другого масиву, що поступають з інформаційного входу 5, здійснюються читання чисел першого масиву за адресами, що поступають на адресний вхід 1.

В (n+1)-му такті роботи пристрою 1-е число другого масиву поступає на інформаційний вхід 5, а адреса, за якою буде читатися число першого масиву, поступає на адресний вхід 1. Адреса з адресного входу 1 поступає на перші входи елементів порівняння 14 всіх вузлів порівняння  $9_1, 9_2, \dots, 9_n$ . Елемент порівняння 14 в кожному вузлі 9 в залежності від адреси, що поступає на його входи, може формувати на першому і другому виході 00 (адреса на першому вході менша адреси з виходів регістра 13) або 10 (адреса на першому вході більша адреси з виходів регістра 13) або 01 (адреса на першому вході рівна адресі з виходів регістра 13). В тригерах 10 першого  $9_1$  другого  $9_2, \dots, (i-1)$ -го  $9_{i-1}$  вузлів порівняння записана одиниця, яка дозволяє проходження тактових імпульсів через елементи 12 у першому  $9_1$ , другому  $9_2, \dots, 1$ -му  $9_i$  вузлах порівняння. Нуль з інверсних виходів тригерів 10 в першому  $9_1$ , другому  $9_2, \dots, (i-1)$ -му  $9_{i-1}$  вузлах порівняння встановлює виходи елементів 15 в даних вузлах порівняння 9 в нуль, тобто забороняє читання інформації з відповідних комірок пам'яті 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>i-1</sub>. В комірках пам'яті 16<sub>1</sub>, 16<sub>2</sub>, ..., 16<sub>i-1</sub> зберігається число другого масиву, а в комірках пам'яті 16<sub>i</sub>, 16<sub>i+1</sub>, ..., 16<sub>n</sub> - числа першого масиву пам'яті. При співпаданні адреси з адресного входу 1 з однією з адрес, що записана в регістрах 13 вузлів порівняння  $9_1, 9_{i+1}, \dots, 9_n$ , на першому і другому виходах елемента порівняння 14 даного вузла формується код 01. Сигнал лог. 1 з другого виходу елемента порівняння 14 даного вузла порівняння 9 встановлює вихід елемента 15 в одиницю, яка поступає на відповідну комірку пам'яті 16 і дозволяє передачу інформації з буферних виходів цієї комірки на інформаційний вихід 6 пристрою, тобто виконується читання числа першого масиву за адресою з адресного входу 1. Крім того, в даному вузлі порівняння 9 та попередніх вузлах порівняння 9 інформація з виходів елементів 14 дає дозвіл на проходження тактових імпульсів через елементи 12 даних вузлів порівняння 9.

По задньому фронту (n+i)-го тактового імпульсу виконуються наступні операції:

- запис в першу комірку пам'яті 16<sub>i</sub> i-го числа другого масиву;
- запис в тригер 10 i-го вузла порівняння  $9_i$  одиниці;
- зсув інформації на одну позицію вниз в комірках пам'яті 16, що мають порядкові номери менші від номера комірки пам'яті 16, з якої було зчитано число першого масиву інформації;
- зсув адресів з виходів регістрів 13 на одну позицію вниз в вузлах порівняння з порядковими номерами, меншими від номера вузла порівняння, в якому відбулося порівняння.

Таким чином, після приходу заднього фронту 2n-го тактового імпульсу в блоці пам'яті 8 буде зберігатись другий масив з n чисел, які розміщені наступним чином: перше число в n-ій комірці пам'яті 16<sub>n</sub>, друге число в (n-1)-ій комірці пам'яті 16<sub>n-1</sub>, ..., n - число в першій комірці пам'яті 16<sub>1</sub>. Перед поступленням наступних тактових імпульсів з входу початкової установки 2 поступає імпульс додатньої полярності, який встановлює тригери 10 всіх вузлів порівняння в нуль, а регістри 13 в першому  $9_1$ , другому  $9_2, \dots, n$ -ому  $9_n$  вузлах порівняння відповідно в нуль, один, ..., n-1,

В наступних тактах можемо починати зчитування чисел другого масиву і запис чисел нового масиву.

Даний пристрій для своєї реалізації вимагає наступних апаратних витрат:

$$W_1 = n \cdot (W_{Pr} + W_{Tr} + W_{En} + W_{KMa} + W_{ABO} + W_1 + W_{KMD} + W_{Kn}).$$

