



УКРАЇНА

(19) UA (11) 12647 (13) U
(51) МПК
G06F 7/04 (2006.01)

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА КОРИСНУ МОДЕЛЬ

видається під
відповідальність
власника
патенту

(54) ПРИСТРІЙ ДЛЯ ВИЗНАЧЕННЯ У СИСТЕМІ ЗАЛИШКОВИХ КЛАСІВ НАЛЕЖНОСТІ ЧИСЛА ДО ДАНОЇ ПОЛОВИНИ

1

2

(21) u200508291

(22) 25.08.2005

(24) 15.02.2006

(46) 15.02.2006, Бюл. № 2, 2006 р.

(72) Поліський Юрій Давидович

(73) Поліський Юрій Давидович

(57) Пристрій для визначення у системі залишкових класів належності числа до даної половини, що містить в собі блок регістрів числа та суматори, причому вихід першого регістра блока регістрів числа зв'язаний із першим входом суматора другого регістра блока регістрів числа, а виходи регістрів блока регістрів числа, починаючи з другого регістра, з'єднані із другими входами своїх суматорів, який відрізняється тим, що пристрій додатково устаткований генератором тактових імпульсів, елементом І, розподільником імпульсів, блоком елементів І, блоком модульних дільників, блоками перших, других, третіх, четвертих та п'ятих елементів АБО, блоком модульних множників, вхідною шиною пристрою та блоком шин констант, причому виходи регістрів блока регістрів числа, починаючи з другого по (к-1)-й включно, підключені до перших входів своїх дільників, другі входи котрих зв'язані із виходами своїх елементів І, перші входи яких з'єднані із шинами блока шин констант, а другі входи - із відповідними виходами розподільника імпульсів та входами скиду попередніх ре-

гістрів блока регістрів числа, другий вхід другого дільника підключений безпосередньо до другого входу третього множника, а другі входи дільників, починаючи із третього, підключені до других входів наступних множників через другі елементи АБО, треті входи дільників пов'язані із відповідними виходами розподільника імпульсів, а виходи дільників з'єднані із першими входами наступних множників, причому другий дільник безпосередньо, а всі наступні - через перші елементи АБО, треті входи множників приєднані до відповідних виходів розподільника імпульсів, причому третій множник безпосередньо, а всі наступні - через треті елементи АБО, вихід першого регістра блока регістрів числа також пов'язаний із першими входами суматорів, починаючи із третього по к-й, через перші входи четвертих елементів АБО, виходи суматорів, починаючи із другого по к-й, з'єднані із входами своїх регістрів блока регістрів числа, перші входи суматорів, починаючи із третього по к-й, підключені до виходів відповідних множників, треті входи яких - для другого суматора безпосередньо, а для всіх наступних через п'ять елементів АБО приєднані до відповідних виходів розподільника імпульсів, вхід якого зв'язаний із виходом елементу І, перший вхід якого підключений до вхідної шини пристрою, а другий - до виходу генератора тактових імпульсів.

Корисна модель відноситься до автоматики та обчислювальної техніки і може бути використана для оброблення даних у схемах цифрової автоматики та цифрових обчислювальних машинах, що працюють в системі залишкових класів (СЗК).

Системою обчислення в СЗК називається система обчислення [1], в якій число А представляється у вигляді набору найменших залишків по модулях p_1, p_2, \dots, p_k , тобто $A = [A(\bmod p_1), A(\bmod p_2), \dots, A(\bmod p_k)]$ або $A = (\alpha_1, \alpha_2, \dots, \alpha_k)$, де $\alpha_i = A(\bmod p_i)$. При цьому, якщо числа p_i взаємно прості, то представлення числа А є єдиним, а об'єм діапазону $[0, M]$ чисел дорівнює $M = p_1 p_2 \dots p_k$.

Надалі розглядаються числа, для яких один із модулів дорівнює 2. Будемо відрізняти числа, що більш за $M/2$ та менш за $M/2$. При цьому, якщо $0 \leq A \leq M/2$, то А - число першої половини. Якщо ж $M/2 < A < M$, то А - число другої половини.

Відомий пристрій для перетворювання коду із СЗК у поліадичний код містить в собі вхідний регістр, суматори, елементи І, АБО [2]. Недоліком цього пристрою є значна кількість обладнання.

Недоліком пристрою для перетворювання коду із СЗК у поліадичний код [3], що містить в собі регістри, суматори, елементи І, АБО, шифратори, с його невисока швидкодія, обумовлена тим, що

(13) U

(11) 12647

(19) UA

для отримання результату порівняння необхідно витратити значну кількість модульних операцій.

Найбільш близьким по технічній суттєвості до корисної моделі є пристрій для перетворювання коду із СЗК у поліадичний код [4], що містить в собі розряди регістру числа, суматори, функціональні перетворювачі та шифратори, причому вихід першого розряду регістра числа пов'язаний із третім входом свого суматора, а виходи розрядів регістру числа, починаючи з другого розряду, з'єднані із першими входами своїх суматорів. Недоліком цього пристрою, який має по відношенню до пристроїв [2] та [3] підвищену швидкість та меншу кількість обладнання, є те, що цей пристрій не має можливості визначити належність числа до даної половини.

В основу корисної моделі поставлено задачу: пристрій, функціонуючий у системі залишкових класів, шляхом введення додаткових елементів та встановлення відповідних зв'язків між елементами пристрою забезпечити визначення належності числа до даної половини.

Для цього пристрій додатково устаткований генератором тактових імпульсів, елементом І, розподільником імпульсів, блоком елементів І, блоком модульних дільників, блоками перших, других, третіх, четвертих та п'ятих елементів АБО, блоком модульних множників, вхідною шиною пристрою та блоком шин констант, причому виходи регістрів блоку регістрів числа, починаючи з другого по (к-1)-й включно, підключені до перших входів своїх дільників, другі входи котрих пов'язані із виходами своїх елементів І, перші входи яких з'єднані із шинами блоку шин констант, а другі входи - із відповідними виходами розподільника імпульсів та входами скиду попередніх регістрів блоку регістрів числа, другий вхід другого дільника підключений безпосередньо до другого входу третього множника, а другі входи дільників, починаючи із третього, підключені до других входів наступних множників через другі елементи АБО, треті входи дільників пов'язані із відповідними виходами розподільника імпульсів, а виходи дільників з'єднані із першими входами наступних множників, причому другий дільник безпосередньо, а всі наступні - через перші елементи АБО, треті входи множників приєднані до відповідних виходів розподільника імпульсів, причому третій множник безпосередньо, а всі наступні - через треті елементи АБО, вихід першого регістру блоку регістрів числа також пов'язаний із першими входами суматорів, починаючи із третього по к-й, через перші входи четвертих елементів АБО, виходи суматорів, починаючи із другого по к-й, з'єднані із входами своїх регістрів блоку регістрів числа, перші входи суматорів, починаючи їх третього по к-й, підключені до виходів відповідних множників, треті входи яких - для другого суматора безпосередньо, а для всіх наступних через п'яті елементи АБО приєднані до відповідних виходів розподільника імпульсів, вхід якого пов'язаний із виходом елементу І, перший вхід якого підключений до вхідної шини пристрою, а другий - до виходу генератора тактових імпульсів.

На кресленні зображена функціональна схема пристрою.

Пристрій містить генератор тактових імпульсів 1, елемент І 2, розподільник імпульсів 3, блок 4 регістрів 4₁, 4₂, 4₃,...,4_{к-1}, 4_к числа $A=(\alpha_1, \alpha_2, \dots, \alpha_3, \alpha_{к-1}, \alpha_к)$ для залишків $\alpha_1, \alpha_2, \dots, \alpha_3, \alpha_{к-1}, \alpha_к$ відповідно по модулях системи $p_1, p_2, p_3, p_{к-1}, p_к=2$ блок елементів І 5₂, 5₃,..., 5_{к-1} та блок модульних дільників 6₂, 6₃,..., 6_{к-1} відповідно по модулях системи $p_2, p_3, \dots, p_{к-1}$ блок перших елементів АБО 7₃,..., 7_{к-1} відповідно по модулях системи $p_3, \dots, p_{к-1}$ блок других елементів АБО 10₃,..., 10_{к-1} відповідно по модулях системи $p_3, \dots, p_{к-1}$ блок модульних множників 9₃,...,9_{к-1}, 9_к відповідно по модулях системи $p_3, \dots, p_{к-1}$ блок третіх елементів АБО 10₃,...,10_{к-1} відповідно по модулях системи $p_3, \dots, p_{к-1}$, блок четвертих елементів АБО 11₃,...,11_к відповідно по модулях системи $p_3, \dots, p_к$ блок модульних суматорів 12₂,12₃,...,12_{к-1}, 12_к відповідно по модулях системи $p_2, p_3, \dots, p_{к-1}, p_к$ блок п'ятих елементів АБО 13₂, 13₃,...,13_{к-1} відповідно по модулях системи $p_2, p_3, p_{к-1}$ через вхідну 14 шину пристрою, блок шин констант 15₂, 15₃,...,15_{к-1} відповідно по модулях системи $p_2, p_3, \dots, p_{к-1}$.

При цьому порядок розташування модулів $p_1, p_2, \dots, p_{к-1}$ вільний, але модуль $p_к=2$ повинен бути останнім.

Пристрій працює наступним чином.

До моменту початку визначення належності числа до даної половини у регістрах 4₁, 4₂, 4₃,...,4_{к-1}, 4_к записане число $A=(\alpha_1, \alpha_2, \dots, \alpha_3, \alpha_{к-1}, \alpha_к)$, на шини констант 15₂, 15₃,...,15_{к-1} подані константи $p_1, p_1p_2, \dots, p_1p_2 \dots p_{к-1}$ відповідно.

Після включення сигналом по шині 14 здійснюється подача через елемент 12 сигналу на вхід розподільника імпульсів 3. Сигнал з першого виходу розподільника імпульсів 3 подається на треті входи модульних суматорів 12₂, 12₃,..., 12_{к-1}, 12_к, дозволяючи виконання віднімання залишку α_1 від залишків $\alpha_2, \dots, \alpha_3, \alpha_{к-1}, \alpha_к$ відповідно по модулях системи $p_2p_3, \dots, p_{к-1}p_к$. Результати $\beta_2=(\alpha_2-\alpha_1), \dots, \beta_{к-1}=(\alpha_{к-1}-\alpha_1), \beta_к=(\alpha_к-\alpha_1)$ з виходів модульних суматорів 12₂, 12₃,..., 12_{к-1}, 12_к записуються на регістри 4₂, 4₃,...,4_{к-1}, 4_к.

Наступний сигнал з другого виходу розподільника імпульсів 3 здійснює скид регістру 4₁ та подається на другий вхід елементу І 5₂, дозволяючи подачу константи p_1 на другий вхід дільника 6₂ та на другий вхід множника 9₃. Наступний сигнал з третього виходу розподільника імпульсів 3 подається на третій вхід дільника 6₁, дозволяючи виконання модульної операції $(\beta_2/p_1)(\text{mod } p_2)$. Результат $t_2=(\beta_2/p_1)(\text{mod } p_2)$ з виходу 6₂ подається на перші входи модульних множників 9₃,...,9_{к-1}, 9_к. Сигнал з четвертого виходу розподільника імпульсів 3 подається на треті входи модульних множників 9₃,..., 9_{к-1}, 9_к, завдяки чому виконуються модульні операції $(t_2 \cdot p_1)(\text{mod } p_3), \dots, (t_2 \cdot p_1)(\text{mod } p_{к-1}), (t_2 \cdot p_1)(\text{mod } p_к)$. Результати $r_3=(t_2 \cdot p_1)(\text{mod } p_3), \dots, r_{к-1}=(t_2 \cdot p_1)(\text{mod } p_{к-1}), r_к=(t_2 \cdot p_1)(\text{mod } p_к)$ з виходів модульних множників 9₃,...,9_{к-1},9_к поступають на перші входи своїх модульних суматорів 12₃,...,12_{к-1},12_к. Сигнал з п'ятого виходу розподільника імпульсів 3 подається на треті входи модульних суматорів 12₃,...,12_{к-1},12_к через свої п'яті елементи АБО 13₂,13₃,...,13_{к-1}. Цей сигнал дозволяє виконати від-

німання у суматорі 12_3 , величини r_3 від β_3 , у суматорі 12_{k-1} величини r_{k-1} від β_{k-1} , у суматорі 12_k величини r_k від β_k . Результати $\gamma_3=(\beta_3-r_3), \dots, \gamma_{k-1}=(\beta_{k-1}-r_{k-1}), \gamma_k=(\beta_k-r_k)$ з виходів модульних суматорів $12_3, \dots, 12_{k-1}, 12_k$ записуються на регістри $4_3, 4_{k-1}, 4_k$.

Наступний сигнал з шостого виходу розподільвача імпульсів 3 здійснює скид регістру 42 та подається на другий вхід елементу 1 5₃, дозволяючи подачу константи $r_1 p_2$ на другий вхід дільника 6₃ та на другий вхід множника 9₄. Наступний сигнал з сьомого виходу розподільвача імпульсів 3 подається на третій вхід дільника 6₃, дозволяючи виконання модульної операції $(\gamma_3/p_1 p_2)(\text{mod } p_3)$. Результат $t_3=(\gamma_3/p_1 p_2)(\text{mod } p_3)$ з виходу 6₃ подається на перші входи модульних множників 9₄, ..., 9_{k-1}, 9_k. Сигнал з восьмого виходу розподільвача імпульсів 3 подається на треті входи модульних множників 9₄, ..., 9_{k-1}, 9_k, завдяки чому виконуються модульні операції $(t_3 * p_1 p_2)(\text{mod } p_4), \dots, (t_3 * \gamma_3/p_1 p_2)(\text{mod } p_{k-1})$. Результати $s_4=(t_3 * p_1 p_2)(\text{mod } p_4), \dots, s_{k-1}=(t_3 * p_1 p_2)(\text{mod } p_{k-1}), s_k=(t_3 * p_1 p_2)(\text{mod } p_k)$ з виходів модульних множників 9₄, ..., 9_{k-1}, 9_k поступають на перші входи своїх модульних суматорів $12_4, \dots, 12_{k-1}, 12_k$.

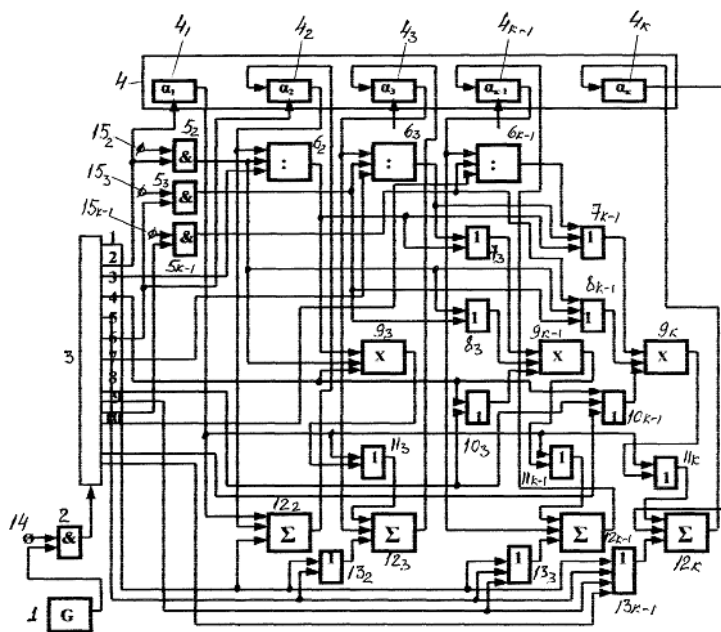
Сигнал з дев'ятого виходу розподільвача імпульсів 3 подається на треті входи модульних суматорів $12_4, \dots, 12_{k-1}, 12_k$ через свої п'яті елементи АБО $13_3, \dots, 13_{k-1}$. Цей сигнал дозволяє виконати

віднімання у суматорі 12_4 , величини s_4 від γ_4 . У суматорі 12_{k-1} величини s_{k-1} від γ_{k-1} , у суматорі 12_k величини s_k від γ_k . Результати $\delta_4=(\gamma_4-s_4), \dots, \delta_{k-1}=(\gamma_{k-1}-s_{k-1}), \delta_k=(\gamma_k-s_k)$ виходів модульних суматорів $12_4, \dots, 12_{k-1}, 12_k$ записуються на регістри $4_4, \dots, 4_{k-1}, 4_k$.

Після послідовного виконання описаних операцій з п'ятого по $(k-1)$ -й розряди на регістрі 4_k виявляється записаним 0 або 1. Якщо записаний 0, то число $A=(\alpha_1, \alpha_2, \alpha_3, \dots, \alpha_{k-1}, \alpha_k)$ належить до першої половини, в протилежному випадку - до другої половини діапазону $(0, M]$ чисел, $M=p_1 p_2 \dots p_k$.

Джерела інформації

- 1 Акушкин И.Я. Юдицкий Д.И. Машинная арифметика в остаточных классах, М.: Сов. Радио, 1968. 440с.
2. Авторське свідоцтво СРСР №328448, кл. G06F5/02, 02.11.1972
3. Торгашев В.А. Применение корректирующих кодов для повышения надежности цифровых вычислительных машин. Диссертация, ЛИАП, 1967.
4. Авторське свідоцтво СРСР №637809, кл. G06F5/02, 15.12.1978.



Фиг.