

Корисна модель відноситься до радіотехнічних, телекомунікаційних пристроїв і може використовуватися для виміру тимчасової (фазової) неузгодженості імпульсних послідовностей у цифрових системах автопідстроювання фази, частоти.

Відомий фазовий дискримінатор, що містить формувач опорного і вхідного сигналів, а також послідовно з'єднані двійковий лічильник, статичний регістр і перетворювач код-напруга, при цьому вихід формувача опорного сигналу підключений до входу двійкового лічильника і першому входу блоку прив'язки імпульсів вхідного сигналу, другий вхід якого з'єднаний з виходом формувача вхідного сигналу, а вихід блоку прив'язки з'єднаний з керуючим входом статичного регістра (див. винахід по а.с. СРСР №1095349 від 19.08.82).

Найближчим аналогом є цифровий фазовий дискримінатор, що містить послідовно з'єднані формувач першої вхідної імпульсної послідовності, вхід якого є першим входом пристрою, лічильник імпульсів і статичний регістр К-виходів якого є цифровими виходами пристрою, при цьому вихід формувача першої вхідної імпульсної послідовності підключений також до першого входу блоку прив'язки імпульсів вхідної імпульсної послідовності, вихід якого з'єднаний із входом запису статичного регістра, а другий вхід блоку прив'язки імпульсів вхідної імпульсної послідовності з'єднаний з К-м виходом додаткового лічильника, рахунковий вхід якого з'єднаний з виходом формувача другої вхідної послідовності, вхід якого є другим входом пристрою (див. а.с. СРСР №1425806, Н03Д3/04 від 16.03.87).

Цей прототип має недостатню вірогідність при зчитуванні з його виходів цифрової інформації, зв'язаної з можливістю збігу моментів запису і читання в/із К-розрядний статичний регістр, а, отже, можливості виникнення помилок, через принципову відсутність тимчасового синхронізму трьох квазіперіодичних процесів (першої, другої вхідних імпульсних послідовностей, послідовності моментів зчитування з цифрового фазового дискримінатора), генеруємих, у загальному випадку, трьома незалежними джерелами.

В основу винаходу поставлено задачу - підвищення вірогідності. Технічно ця задача вирішується тим, що в цифровий часовий дискримінатор, що містить послідовно з'єднані формувач першої вхідної імпульсної послідовності, вхід якого є першим входом пристрою, лічильник імпульсів і статичний регістр, при цьому вихід формувача першої вхідної імпульсної послідовності підключений також до першого входу блоку прив'язки імпульсів вхідної імпульсної послідовності, другий вхід якого з'єднаний з К-м виходом додаткового лічильника, рахунковий вхід якого з'єднаний з виходом формувача другої вхідної послідовності, вхід якого є другим входом пристрою, причому вихід блоку прив'язки імпульсів вхідної імпульсної послідовності з'єднаний із входом запису статичного регістру, уведений додатковий статичний регістр, блок прив'язки імпульсів зчитування, формувач вхідної імпульсної послідовності, при цьому К-виходів додаткового статичного регістру є цифровими виходами пристрою, а К-виходів з'єднані з відповідними К-виходами статичного регістра, причому вхід читання додаткового статичного регістра з'єднаний з виходом блоку прив'язки імпульсів зчитування, перший вхід якого з'єднаний з виходом блоку прив'язки імпульсів вхідної імпульсної послідовності і також із входом запису статичного регістра, а другий вхід блоку прив'язки імпульсів зчитування з'єднаний з виходом формувача вхідної імпульсної послідовності зчитування, вхід якого є входом асинхронного читання.

На фіг.1 приведена електрична схема пропонованого пристрою; на фіг.2 - тимчасові діаграми, що пояснюють роботу, на фіг.3 - схемна реалізація блоку прив'язки імпульсів і блоку прив'язки імпульсів зчитування.

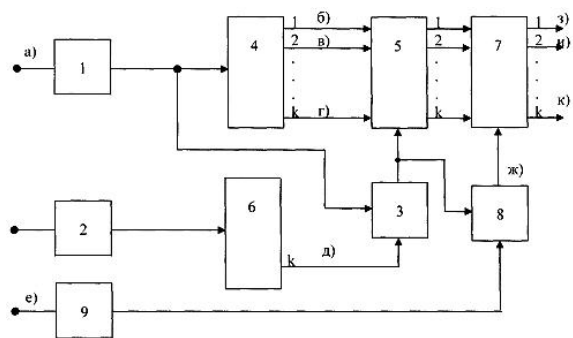
Цифровий часовий дискримінатор містить формувачі 1 і 2 першої і другої вхідної імпульсної послідовності, блок прив'язки 3 імпульсів, лічильник 4 імпульсів, статичний регістр 5 і додатковий лічильник 6 імпульсів аналогічні відповідно формувачам першої і другої вхідної імпульсної послідовності, блоку прив'язки імпульсів, лічильнику імпульсів, статичному регістру і додатковому лічильнику імпульсів - пристрою прототипу, додатковий 7 статичний регістр, блок 8 прив'язки імпульсів зчитування, формувач 9 вхідної імпульсної послідовності зчитування.

Пропонований пристрій працює в такий спосіб. Сформована формувачем 1 перша вхідна імпульсна послідовність (фіг.2) надходить на рахунковий вхід лічильника 4 імпульсів, на виходах якого буде формуватися кодова комбінація, що відповідає кількості підрахованих вхідних імпульсів 4 від свого початкового стану (як стан може бути обраний такий стан лічильника імпульсів, при якому на виходах його всіх розрядів установлений сигнал логічного нуля) фіг.2.

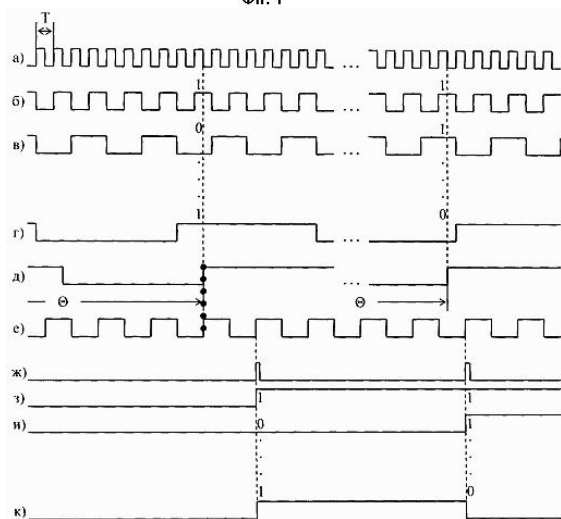
Сформована формувачем 2 друга вхідна імпульсна послідовність надходить на рахунковий вхід лічильника 6 імпульсів, на виході К-го розряду (фіг.2) якого через період θ , що є періодом зміни і зв'язаний з періодом проходження Т вхідної імпульсної послідовності співвідношенням $\theta = T \cdot 2^K$ формується фронт сигналу, що надходить на другий вхід блоку 3 прив'язки імпульсів і формує, у момент часу, коли має місце, що впливає перший, за зазначеним фронтом, спад імпульсу першої вхідної імпульсної послідовності (при цьому робота лічильника 4 повинна здійснюватися фронтом зазначеного імпульсу), на виході блоку 3 прив'язки імпульсів, фронт сигналу який, надходячи на вхід запису регістра 5, здійснює запис, сформований в даний момент на виходах лічильника 4 кодової комбінації, у регістр 5 (фіг.3).

Зчитування кодової комбінації може здійснюватися в будь-який момент часу імпульсами зчитування, що мають період проходження менший періоду виміру, що надходять на вхід формувача 9 вхідної імпульсної послідовності зчитування. Сформований формувачем 9 вхідної імпульсної послідовності зчитування фронт імпульсу зчитування надходить на другий вхід блоку 8 прив'язки імпульсів зчитування, на перший вхід якого надходить фронт сигналу з виходу блоку 3 прив'язки імпульсів, що дозволяє зчитування обмірюваної кодової комбінації в додатковий 7 статичний регістр.

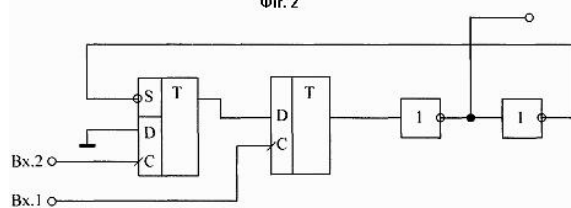
Таким чином, на відміну від прототипу, пропонована корисна модель дозволяє асинхронно одержати достовірну кодову комбінацію, що визначає величину фазової неузгодженості вхідних послідовностей, обмежену тільки розрядністю лічильника імпульсів і регістрів, тим самим корисна модель дозволяє підвищувати вірогідність.



Фиг. 1



Фиг. 2



Фиг. 3