

Винахід відноситься до обчислювальної техніки і може бути використаний при інтегральній реалізації багаторозрядних суматорів з послідовним розповсюдженням переносу.

Відомий вузол формування переносу, який містить логічний елемент 2І—НІ, логічний елемент 2АБО—НІ, три Інвертори, МОН транзистор р-типа, МОН транзистор n-типа, входи першого і другого операндів та вхід і вихід переносу [Авт.св. СРСР № 1291969, кл. G 06 F 7/50, опублік. 1987].

Інтегральна реалізація відомого вузла формування переносу вимагає значних апаратних витрат.

Найбільш близьким до пропонованого є вузол формування переносу, який має у своєму складі три МОН транзистори р-типу, три МОН транзистори n-типу, входи першого та другого операндів, вхід і вихід переносу, причому стоки перших МОН транзисторів р-1 n-типу з'єднані з витоками других МОН транзисторів р-1 n-типу, витік першого МОН транзистора р-типу під'єднаний до шини живлення, витік першого МОН транзистора n-типу - до загальної шини, об'єднані заслони других МОН транзисторів р- і n-типу одночасно є входом переносу, стоки других і третіх МОН транзисторів р-1 n-типу з'єднані між собою і одночасно є виходом переносу [Авт.св. СРСР № 1363189, кл. G 06 F 7/50, опублік. 1987].

Для вибору способу формування вихідного переносу (передача вхідного переносу або генерація власного переносу) і утворення значення вихідного переносу відомий вузол формування переносу додатково містить логічні елементи 2І—НІ 2АБО—НІ, загальні апаратні витрати інтегральної реалізації відомого вузла формування переносу становлять 14 МОН транзисторів.

В основу винаходу поставлене завдання створити вузол формування переносу, в якому нові елементи і відповідні взаємозв'язки дозволили б відмовитись від використання допоміжних логічних елементів і формувати значення вихідного переносу безпосередньо на основі значень вхідних операндів і, відповідно, за рахунок цього, зменшити загальні апаратні витрати інтегральної реалізації повного однорозрядного суматора.

Поставлене завдання досягається за рахунок того, що вузол формування переносу, який має у своєму складі три МОН транзистори р-типу, три МОН транзистори n-типу, входи першого та другого операндів, вхід і вихід переносу, причому стоки перших МОН транзисторів р-1 n-типу з'єднані з витоками других МОН транзисторів р-1 n-типу, витік першого МОН транзистора р-типу під'єднаний до шини живлення, витік першого МОН транзистора n-типу - до загальної шини, об'єднані заслони других МОН транзисторів р- і n-типу одночасно є входом переносу, стоки других і третіх МОН транзисторів р-1 n-типу з'єднані між собою і одночасно є виходом переносу, згідно з винаходом, додатково містить два МОН транзистори р-типу і два МОН транзистори n-типу, причому стоки четвертих МОН транзисторів р-1 n-типу з'єднані з витоками других МОН транзисторів р-1 n-типу, стоки п'ятих МОН транзисторів р- і n-типу з'єднані з витоками третіх МОН транзисторів р- і n-типу, витоки четвертого і п'ятого МОН транзисторів р-типу під'єднані до шини живлення, витоки четвертого і п'ятого МОН транзисторів n-типу - до загальної шини, заслони четвертих і п'ятих МОН транзисторів р- і n-типу з'єднані між собою і одночасно є входом першого операнда, заслони перших і третіх МОН транзисторів р- і n-типу з'єднані між собою і одночасно є входом другого операнда.

Введення двох МОІ транзисторів р-типу, двох МОН транзисторів n-типу і відповідних взаємозв'язків зменшило загальні апаратні витрати інтегральної реалізації вузла формування переносу, за рахунок вилучення генерації проміжних функцій і утворення значення вихідного переносу безпосередньо на основі значень вхідних операндів.

На кресленні представлена принципова схема вузла формування переносу. Вузол формування переносу має в своєму складі входи першого 1 і другого 2 операндів, вхід 3 та вихід 4 переносу, МОН транзистори р-типу 5, 6, 7, 8 і 9, МОІ транзистори n-типу 10, 11, 12, 13 і 14, причому витік МОН транзистора р-типу 5 під'єднаний до стоків МОН транзисторів р-типу 6 і 7, стік МОН транзистора р-типу 7 з'єднаний з витоком МОН транзистора р-типу 8, витік МОН транзистора n-типу 10 під'єднаний до стоків МОН транзисторів n-типу 11 і 12, витік МОН транзистора n-типу 13 з'єднаний зі стоком МОН транзистора n-типу 14, заслони МОН транзисторів р-типу 7 і 8, n-типу 12 і 14 об'єднані між собою і одночасно є входом першого операнда 1, заслони МОН транзисторів р-типу 6 і 9, n-типу 11 і 13 об'єднані між собою і одночасно є входом другого операнда 2, об'єднані заслони МОН транзисторів р-типу 5 і n-типу 10 одночасно є входом переносу 3, стоки МОН транзисторів р-типу 5 і 9, n-типу 10 і 13 об'єднані між собою і одночасно є виходом переносу 4, витоки МОН транзисторів р-типу 6, 7 і 8 під'єднані до шини живлення, витоки МОН транзисторів n-типу 11, 12 і 14 під'єднані до загальної шини.

Якщо на входах операндів 1 і 2 присутні однакові сигнали низького рівня, високий потенціал шини живлення через відкриті МОН транзистори 8 і 9 поступить на вихід переносу 4, при цьому МОІ транзистори n-типу 13 і 14 будуть закриті. У випадку, якщо на вхід переносу 3 поступить низький потенціал, то через відкриті МОН транзистори р-типу 5, 6 і 7 на вихід переносу 4 також буде переданий високий потенціал. При цьому, якщо на вхід переносу 3 поступить високий потенціал, який відкриває МОН транзистор n-типу 10, то закриті МОН транзистори n-типу 11 і 12 заборонять передачу низького потенціалу загальної шини.

Якщо на входах операндів 1 і 2 поступлять однакові сигнали високого рівня, то на вихід переносу 4 через відкриті МОН транзистори n-типу 13 і 14 буде переданий низький потенціал загальної шини, при цьому МОН транзистори р-типу 8 і 9 будуть закриті. Причому, якщо на вхід переносу 3 поступить низький потенціал, який відкриває МОН транзистор р-типу 5, то закриті МОН транзистори р-типу заборонять передачу високого рівня шини живлення. У випадку, якщо на вхід переносу 3 поступить високий потенціал, то через відкриті МОН транзистори n-типу 10, 11 і 12 на вихід переносу 4 також буде переданий низький потенціал загальної шини.

Якщо на входах операндів 1 і 2 присутні сигнали різних рівнів, то один з пари МОН транзисторів р-типу 8 і 9 або n-типу 13 і 14, які з'єднані послідовно, буде відкритий, а другий - закритий і тому передача на вихід переносу 4, відповідно, високого потенціалу шини живлення або низького потенціалу загальної шини буде заборонена. В такому випадку, один з пари МОН транзисторів р-типу 6 і 7, які з'єднані паралельно, буде відкритий і передасть на витік МОН транзистора р-типу 5 високий потенціал шини живлення. Аналогічно, один з пари МОН транзисторів n-типу 11 і 12, які з'єднані паралельно, також буде відкритий і передасть на витік МОН транзистора n-типу 10 низький потенціал загальної шини. При цьому, якщо на вхід переносу 3 поступить низький потенціал, який відкриє МОН транзистор р-типу 5 і закриє МОН транзистор n-типу 10, то на виході

переносу 4 зформується сигнал високого рівня. Якщо на вхід переносу 3 поступить високий потенціал, то МОН транзистор р-типу 5 закриється, а МОН транзистор п-типу 10 відкриється і на виході переносу 4 зформується сигнал низького рівня.

Таким чином, вихід $C_{i+1} = C_i \cdot (A_i \vee B_i) \vee A_i \cdot B_i$

Для інтегральної реалізації запропонованого вузла формування переносу необхідно п'ять МОН транзисторів р-типу і п'ять МОН транзисторів п-типу.

За рахунок введення двох МОН транзисторів р-типу і двох МОН транзисторів п-типу і відповідних взаємозв'язків вибір способу формування вихідного переносу і формування значення вихідного переносу виконується безпосередньо на основі значень вхідних операндів, що дозволило на чотири МОН транзистори зменшити загальні апаратні витрати інтегральної реалізації вузла формування переносу в порівнянні з відомим пристроєм. Також можна відмітити що, якщо вхідні операнди мають однакові рівні сигнали, то за рахунок зменшення кількості МОН транзисторів, які потрібні для утворення власного переносу, зростає швидкодія вузла формування переносу.

