



УКРАЇНА

(19) UA

(11) 60427

(13) A

(51) 7 G06F17/00

МІНІСТЕРСТВО ОСВІТИ
І НАУКИ УКРАЇНИДЕРЖАВНИЙ ДЕПАРТАМЕНТ
ІНТЕЛЕКТУАЛЬНОЇ
ВЛАСНОСТІ

ОПИС

ДО ДЕКЛАРАЦІЙНОГО ПАТЕНТУ
НА ВІНАХІДВИДАЄТЬСЯ ПІД
ВІДПОВІДАЛЬНІСТЬ
ВЛАСНИКА
ПАТЕНТУ

(54) ЛІНІЙНИЙ ІНТЕРПОЛЯТОР

1

(21) 2002054287

(22) 24 05 2002

(24) 15 10 2003

(46) 15 10 2003, Бюл. № 10, 2003 р.

(72) Романюк Олександр Никифорович, Курінний
Михайло Сергійович(73) ВІННИЦЬКИЙ ДЕРЖАВНИЙ ТЕХНІЧНИЙ УНІ-
ВЕРСИТЕТ

(57) 1 Лінійний інтерполятор, який містить зсувний реєстр координатного приросту, ключ, нагромаджуючий суматор, реєстр координатного приросту, лічильник, мультиплексор, блок керування, тригер, блок елементів І, комбінаційний суматор, реєстр різниці координатних приростів, інформаційний вхід якого з'єднаний з інформаційним виходом нагромаджуючого суматора, вхід початкової установки якого з'єднаний з виходом ключа, інформаційний вхід якого з'єднаний з виходом зсувного реєстра координатного приросту, інформаційний вхід лічильника з'єднаний з входом значення більшого приросту інтерполятора, виходи реєстра різниці координатних приростів та реєстра координатного приросту з'єднані з першим та другим інформаційними входами мультиплексора, вихід якого з'єднаний з інформаційним входом нагромаджуючого суматора, вхід запуску інтерполятора з'єднаний з входами запису зсувного реєстра координатного приросту, реєстра координатного приросту, першого тригера та лічильника та з входом запуску блока керування, перший вихід якого з'єднаний з входом запису реєстра різниці координатних приростів та з входом керування зсувом зсувного реєстра координатного приросту, другий вихід блока керування з'єднаний з лічильним входом лічильника та з виходом синхронізації інтенсивності кольору точок, вихід ознаки нульового стану якого з'єднаний з виходом ознаки "кінець інтерполяції" інтерполятора та з першим входом початкової установки блока керування, третій вихід блока керування з'єднаний з керуючим входом мультиплексора і входом переносу нагромаджуючого суматора, вихід переносу якого з'єднаний з першим входом блока керування та з керуючим входом блока елементів І, четвертий та п'ятий виходи блока керування з'єднані з входом синхронізації нагромаджуючого суматора та керуючим входом ключа відповідно, з другого по четвертий входи блока керування є входами знака приросту

2

першої та другої координат та входом ознаки координати з більшим приростом інтерполятора, виходи координатних приростів якого з'єднані з шостого по дев'ятий виходами блока керування, другий вхід початкової установки якого є входом початкової установки інтерполятора, при цьому інформаційний вихід першого тригера з'єднаний з входом молодшого розряду блока елементів І, а і-ий розряд інформаційного виходу зсувного реєстра координатного приросту з'єднаний з і+1 розрядом інформаційного входу блока елементів І, $i = 0, n-1$, де n - кількість розрядів, до того ж інформаційний вихід блока елементів І та інверсний інформаційний вихід нагромаджуючого суматора з'єднані з першим та другим інформаційними входами комбінаційного суматора, вхід переносу комбінаційного суматора з'єднаний з рівнем логічної "1", який відрізняється тим, що в нього введені блок порівняння, блок комутаторів та реєстр максимальної інтенсивності кольору, інформаційний вхід якого з'єднаний з входом максимального значення інтенсивності кольору інтерполятора, крім того, вхід запуску інтерполятора з'єднаний з входом запису реєстра максимальної інтенсивності кольору, а інформаційний вхід зсувного реєстра координатного приросту з'єднаний з входом значення більшого приросту інтерполятора, при цьому інформаційний вхід реєстра максимальної інтенсивності кольору з'єднаний з входом значення максимальної інтенсивності кольору інтерполятора, інформаційний вхід першого тригера з'єднаний з молодшим розрядом входу значення більшого приросту інтерполятора, при цьому інформаційний вхід реєстра координатного приросту з'єднаний з входом значення меншого приросту інтерполятора, крім того, інформаційні виходи зсувного реєстра координатного приросту та комбінаційного суматора з'єднані відповідно з першим та другим інформаційними входами блока порівняння, перший, другий та третій виходи якого з'єднані відповідно з першим, другим та третім керуючими входами блока комутаторів, при цьому інформаційний вхід блока комутаторів з'єднаний з інформаційним виходом реєстра максимальної інтенсивності кольору, а інформаційний вихід блока комутаторів з'єднаний з виходом значення інтенсивності кольору інтерполятора

(13) A

(11) 60427

(19) UA

2 Інтерполятор за п 1, який відрізняється тим, що блок керування містить блок постійної пам'яті, перший адресний вхід якого є першим входом блока, два регістри, інформаційні входи яких з'єднані з виходами відповідних розрядів блока постійної пам'яті, шість тригерів, десять елементів І, генератор імпульсів, один елемент АБО та два елементи 2І-АБО, при цьому перший та другий входи першого елемента І є першим і другим входами початкової установки блока, а вхід синхронізації і інформаційний вхід другого тригера з'єднані з виходами запуску і логічної одиниці блока відповідно, при цьому вихід першого елемента І з'єднаний з інверсними входами скидання другого та третього тригерів та другого регістра, вихід другого тригера з'єднаний з інформаційним входом третього тригера, прямий вихід якого з'єднаний з першими входами другого та третього елементів І, виходи яких з'єднані з входами синхронізації другого та першого регістрів відповідно, перший і другий виходи другого регістра з'єднані з другим та третім адресними входами блока постійної пам'яті, а прямий вихід генератора імпульсів з'єднаний з входом синхронізації третього тригера, другим входом третього елемента І та з першими входами четвертого і шостого елементів І, інверсний вихід генератора імпульсів з'єднаний з другим входом другого елемента І, першим входом п'ятого елемента І та з другим входом елемента АБО, другий, третій та четвертий входи блока з'єднані з інформаційними входами п'ятого, сьомого, та шостого тригерів відповідно, при цьому входи синхронізації з п'ятого по сьомий тригерів з'єднані з входом запуску блока, а інформаційний вхід четвертого тригера з'єднаний з першим входом блока, крім того, вхід синхронізації четвертого тригера з'єднаний з виходом четвертого елемента І, інверсний вихід четвертого тригера з'єднаний з першим входом першого елемента І першого елемента 2І-АБО та з першим входом першого елемента І другого елемента 2І-АБО, а прямий вихід шостого тригера з'єднаний з другим входом другого елемента І першого елемента 2І-АБО та з третім входом першого елемента І другого елемента 2І-АБО, при цьому інверсний вихід шостого тригера підключений до третього входу першого елемента І першого елемента 2І-АБО та до першого входу другого елемента І другого елемента 2І-АБО, а вихід п'ятого елемента І підключений до других входів перших та других елементів І першого та другого елементів 2І-АБО, до того ж прямий та інверсний виходи п'ятого тригера з'єднані відповідно з першими входами сьомого і восьмого елементів І відповідно, а прямий та інверсний виходи сьомого тригера з'єднані відповідно з другими входами дев'ятого і десятого елементів І відповідно, виходи першого та другого елементів 2І-АБО з'єднані з попарно об'єднаними першими входами сьомого, восьмого та дев'ятого, десятого елементів І відповідно, виходи яких є з шостого по дев'ятий виходами блока відповідно, вихід шостого розряду першого регістра з'єднаний з першим входом елемента АБО, вихід елемента АБО є другим виходом блока, виходи першого і третього розрядів першого регістра та виходи четвертого та шостого елементів І є першим, третім, четвертим та п'ятим

виходами блока, виходи четвертого, другого та п'ятого розрядів першого регістра з'єднані з другими входами з четвертого по шостий елементів І відповідно

3 Інтерполятор за п 1, який відрізняється тим, що нагромаджуючий суматор містить регістр та комбінаційний суматор, входи першого та другого доданків якого з'єднані з інформаційним входом нагромаджуючого суматора та з виходом регістра, при цьому вхід переносу першого доданка з'єднаний з входом переносу нагромаджуючого суматора, вихід знакового розряду якого з'єднаний з виходом старшого розряду комбінаційного суматора, а вихід комбінаційного суматора з'єднаний з інформаційним входом регістра, вхід синхронізації якого є однойменним входом нагромаджуючого суматора, вхід початкової установки якого з'єднаний з виходами установки регістра

4 Інтерполятор за п 1, який відрізняється тим, що блок порівняння містить блок постійної пам'яті та чотири схеми порівняння, виходи яких з'єднані відповідно з першим, другим, третім та четвертим адресними входами блока постійної пам'яті, виходи першого, другого та третього розрядів якого з'єднані відповідно з першим, другим та третім виходами блока порівняння, при цьому перші інформаційні входи з першої по четверту схем порівняння з'єднані з другим інформаційним входом блока порівняння, перша схема порівняння з'єднана з першим інформаційним входом блока порівняння, перший розряд інформаційного входу другої схеми порівняння з'єднаний з рівнем логічного "0", а і-ий розряд інформаційного входу другої схеми порівняння з'єднаний з (і-1)-тим розрядом першого інформаційного входу блока порівняння,

$i = 2, n$, де n - кількість розрядів, перший та другий розряди інформаційного входу третьої схеми порівняння з'єднані з рівнем логічного "0", а і-ий розряд інформаційного входу третьої схеми порівняння з'єднаний з (і-1)-тим розрядом першого інформаційного входу блока порівняння, $i = 3, n$, де n - кількість розрядів, перший, другий та третій розряди інформаційного входу четвертої схеми порівняння з'єднані з рівнем логічного "0", а і-ий розряд інформаційного входу четвертої схеми порівняння з'єднаний з (і-1)-тим розрядом першого інформаційного входу блока порівняння, $i = 4, n$, де n - кількість розрядів

5 Інтерполятор за п 1, який відрізняється тим, що блок комутаторів містить n комутаторів, де n - кількість розрядів значення інтенсивності кольору, при цьому перший інформаційний вхід і-го комутатора з'єднаний з і-им розрядом інформаційного входу блока, а другий, третій, четвертий та п'ятий інформаційні входи і-го комутатора ($i = 5, n$) з'єднані відповідно з (і-1)-тим, (і-2)-тим, (і-3)-тим та (і-4)-тим розрядами інформаційного входу блока, при цьому інформаційний вихід і-го комутатора з'єднаний з і-им розрядом інформаційного виходу блока, а другий, третій, четвертий та п'ятий інформаційні входи першого комутатора з'єднані з рівнем логічного "0", при цьому другий інформаційний вхід другого комутатора з'єднаний з першим роз-

рядом інформаційного входу блока, а третій, четвертий та п'ятий інформаційні входи другого комутатора з'єднані з рівнем логічного "0", до того ж другий та третій інформаційні входи третього комутатора з'єднані відповідно з другим та першим розрядами інформаційного входу блока, а четвертий та п'ятий інформаційні входи третього комута-

тора з'єднані з рівнем логічного "0", при цьому другий, третій та четвертий інформаційні входи четвертого комутатора з'єднані відповідно з третім, другим та першим розрядами інформаційного входу блока, п'ятий інформаційний вхід четвертого комутатора з'єднаний з рівнем логічного "0"

Винахід відноситься до автоматики та обчислювальної техніки і призначений для використання в системах формування та відображення графічної інформації

Відомий цифровий лінійний інтерполятор, який містить генератор імпульсів, віднімаючий лічильник, блок пам'яті, регістр, блок керування, накопичуючий суматор, блок вихідної логіки (А с №1462247, кл G05B19/18, БИ №8, 1989р)

Недолік такого пристрою пристрій не формує значень інтенсивності кольору і не забезпечує усунення ступінчастого ефекту, що обмежує його область застосування тими випадками, коли до якості зображень не пред'являються підвищені вимоги

Найбільш близьким до запропонованого є цифровий лінійний інтерполятор, який містить зсувний регістр координатного приросту, ключ, накопичуючий суматор, регістр координатного приросту, лічильник, мультиплексор, блок керування, тригер, блок елементів І, комбінаційний суматор, регістр різниці координатних приростів, інформаційний вхід якого з'єднаний з інформаційним виходом накопичуючого суматора, вхід початкової установки якого з'єднаний з виходом ключа, інформаційний вхід якого з'єднаний з виходом зсувного регістра координатного приросту, інформаційний вхід лічильника з'єднаний з виходом значення більшого приросту інтерполятора, виходи регістра різниці координатних приростів та регістра координатного приросту з'єднані з першим та другим інформаційними входами мультиплексора, вихід якого з'єднаний з інформаційним виходом накопичуючого суматора, вхід запуску інтерполятора з'єднаний з входами запису зсувного регістра координатного приросту, регістра координатного приросту, першого тригера та лічильника та з виходом запуску блока керування, перший вихід якого з'єднаний з виходом запису регістра різниці координатних приростів та з виходом керування зсувом зсувного регістра координатного приросту, другий вихід блока керування з'єднаний з лічильним входом лічильника та з виходом синхронізації інтенсивності кольору точок, вихід ознаки нульового стану якого з'єднаний з виходом ознаки "кінець інтерполяції" інтерполятора та з першим входом початкової установки блока керування, третій вихід блока керування з'єднаний з керуючим входом мультиплексора і входом переносу накопичуючого суматора, вихід переносу якого з'єднаний з першим входом блока керування та з керуючим входом блоку елементів І, четвертий та п'ятий виходи якого з'єднані з входом синхронізації накопичуючого суматора та керуючим входом ключа відповідно, з другого по четвертий входи блока керування є

входами знака приросту першої та другої координат та входом ознаки координати з більшим приростом інтерполятора, виходи координатних приростів якого з'єднані з шостого по дев'ятий виходами блока керування, другий вхід початкової установки якого є входом початкової установки інтерполятора, при цьому інформаційний вхід зсувного регістра координатного приросту з'єднаний з входом максимального значення інтенсивності кольору інтерполятора, а інформаційний вхід першого тригера з'єднаний з молодшим розрядом входу максимального значення інтенсивності кольору інтерполятора, крім того інформаційний вхід регістра координатного приросту з'єднаний з входом обчисленого значення інтенсивності кольору інтерполятора, а інформаційний вихід першого тригера з'єднаний з входом молодшого розряду блоку елементів І, а і-ий розряд інформаційного виходу зсувного регістра координатного приросту з'єднаний з і+1 розрядом інформаційного входу

блоку елементів І, $i = 0, n-1$, де n - кількість розрядів, до того ж інформаційний вихід блоку елементів І та інверсний інформаційний вихід накопичуючого суматора з'єднані з першим та другим інформаційними входами комбінаційного суматора, вхід переносу комбінаційного суматора з'єднаний з рівнем лог "1", інформаційний вихід комбінаційного суматора з'єднаний з виходом значення інтенсивності кольору інтерполятора (Патент №2000116433, кл G06F15/353, 15 08 2001) Недолік пристрою полягає в низькій швидкодії, обумовлений тим, що в циклі підготовки необхідне виконання "довгих" операцій типу множення та ділення

В основу винаходу поставлена задача створення лінійного інтерполятора, в якому за рахунок введення нових блоків та зв'язків між ними досягається можливість використання властивості пропорційності значень оцінювальної функції та значень інтенсивностей кольору пікселів крокової траєкторії, що приводить до підвищення швидкодії пристрою

Поставлена задача досягається тим, що в лінійний інтерполятор, який містить зсувний регістр координатного приросту, ключ, накопичуючий суматор, регістр координатного приросту, лічильник, мультиплексор, блок керування, тригер, блок елементів І, комбінаційний суматор, регістр різниці координатних приростів, інформаційний вхід якого з'єднаний з інформаційним виходом накопичуючого суматора, вхід початкової установки якого з'єднаний з виходом ключа, інформаційний вхід якого з'єднаний з виходом зсувного регістра координат-

ного приросту, інформаційний вхід лічильника з'єднаний з входом значення більшого приросту інтерполятора, виходи регістра різниці координатних приростів та регістра координатного приросту з'єднані з першим та другим інформаційними входами мультимплексора, вихід якого з'єднаний з інформаційним входом накопичуючого суматора, вхід запуску інтерполятора з'єднаний з входами запису зсувного регістра координатного приросту, регістра координатного приросту, першого тригера та лічильника та з входом запуску блока керування, перший вихід якого з'єднаний з входом запису регістра різниці координатних приростів та з входом керування зсувом зсувного регістра координатного приросту, другий вихід блока керування з'єднаний з лічильним входом лічильника та з входом синхронізації інтенсивності кольору точок, вихід ознаки нульового стану якого з'єднаний з виходом ознаки "кінець інтерполяції" інтерполятора та з першим входом початкової установки блока керування, третій вихід блока керування з'єднаний з керуючим входом мультимплексора і входом переносу накопичуючого суматора, вихід переносу якого з'єднаний з першим входом блока керування та з керуючим входом блоку елементів І, четвертий та п'ятий виходи блока керування з'єднані з входом синхронізації накопичуючого суматора та керуючим входом ключа відповідно, з другого по четвертий входи блока керування є входами знака приросту першої та другої координат та входом ознаки координати з більшим приростом інтерполятора, виходи координатних приростів якого з'єднані з шостого по дев'ятий виходами блока керування, другий вхід початкової установки якого є входом початкової установки інтерполятора, при цьому інформаційний вихід першого тригера з'єднаний з входом молодшого розряду блоку елементів І, а і-ий розряд інформаційного виходу зсувного регістра координатного приросту з'єднаний з $i+1$ розрядом інформаційного входу блоку елементів І,

$i = 0, n-1$, де n - кількість розрядів, до того ж інформаційний вихід блоку елементів І та інверсний інформаційний вихід накопичуючого суматора з'єднані з першим та другим інформаційними входами комбінаційного суматора, вхід переносу комбінаційного суматора з'єднаний з рівнем лог "1", додатково введені блок порівняння, блок комутаторів та регістр максимальної інтенсивності кольору, інформаційний вхід якого з'єднаний з входом максимального значення інтенсивності кольору інтерполятора, крім того вхід запуску інтерполятора з'єднаний з входом запису регістра максимальної інтенсивності кольору, а інформаційний вхід зсувного регістра координатного приросту з'єднаний з входом значення більшого приросту інтерполятора, при цьому інформаційний вхід регістра максимальної інтенсивності кольору з'єднаний з входом значення максимальної інтенсивності кольору інтерполятора, інформаційний вхід першого тригера з'єднаний з молодшим розрядом входу значення більшого приросту інтерполятора, при цьому інформаційний вхід регістра координатного приросту з'єднаний з входом значення меншого приросту інтерполятора, крім того інформаційні виходи зсувного регістра координатного приросту

та комбінаційного суматора з'єднані відповідно з першим та другим інформаційними входами блока порівняння, перший, другий та третій виходи якого з'єднані відповідно з першим, другим та третім керуючими входами блока комутаторів, при цьому інформаційний вхід блока комутаторів з'єднаний з інформаційним виходом регістра максимальної інтенсивності кольору, а інформаційний вихід блока комутаторів з'єднаний з виходом значення інтенсивності кольору інтерполятора

Блок керування містить блок постійної пам'яті, перший адресний вхід якого є першим входом блока, два регістра, інформаційні виходи яких з'єднані з виходами відповідних розрядів блока постійної пам'яті, шість тригерів, десять елементів І, генератор імпульсів, один елемент АБО та два елемента 2І-АБО, перший та другий входи першого елемента І є першим і другим входами початкової установки блока, вхід синхронізації і інформаційний вхід другого тригера з'єднані з входами запуску і логічної одиниці блоку відповідно, вихід першого елемента І з'єднаний з інверсними входами скидання другого та третього тригерів та другого регістра, вихід другого тригера з'єднаний з інформаційним входом третього тригера, прямий вихід якого з'єднаний з першими входами другого та третього елементів І, виходи яких з'єднані з входами синхронізації другого та першого регістрів відповідно, перший і другий виходи другого регістра з'єднані з другим та третім адресними входами блока постійної пам'яті, прямий вихід генератора імпульсів з'єднаний з входом синхронізації третього тригера, другим входом третього елемента І та з першими входами четвертого і шостого елементів І, інверсний вихід генератора імпульсів з'єднаний з другим входом другого елемента І, першим входом п'ятого елемента І та з другим входом елемента АБО, другий, третій та четвертий входи блока з'єднані з інформаційними входами п'ятого, сьомого, та шостого тригерів відповідно, входи синхронізації з п'ятого по сьомий тригерів з'єднані з входом запуску блока, інформаційний вхід четвертого тригера з'єднаний з першим входом блока, вхід синхронізації четвертого тригера з'єднаний з виходом четвертого елемента І, інверсний вихід четвертого тригера з'єднаний з першим входом першого елемента І першого елемента 2І-АБО та з першим входом першого елемента І другого елемента 2І-АБО, прямий вихід шостого тригера з'єднаний з другим входом другого елемента І першого елемента 2І-АБО та з третім входом першого елемента І другого елемента 2І-АБО, інверсний вихід шостого тригера підключений до третього входу першого елемента І першого елемента 2І-АБО та до першого входу другого елемента І другого елемента 2І-АБО, вихід п'ятого елемента І підключений до других входів перших та других елементів І першого та другого елементів 2І-АБО, прямий та інверсний виходи п'ятого тригера з'єднані відповідно з першими входами сьомого і восьмого елементів І відповідно, прямий та інверсний виходи сьомого тригера з'єднані відповідно з другими входами дев'ятого і десятого елементів І відповідно, виходи першого та другого елементів 2І-АБО з'єднані з попарно об'єднаними першими входами сьомого, восьмого та дев'ятого, десятого

елементів і відповідно, виходи яких є з шостого по дев'ятий виходами блока відповідно, вихід шостого розряду першого регістра з'єднаний з першим входом елемента АБО, вихід елемента АБО є другим виходом блока, виходи першого і третього розрядів першого регістра та виходи четвертого та шостого елементів і є першим, третім, четвертим та п'ятим виходами блока, виходи четвертого, другого та п'ятого розрядів першого регістра з'єднані з другими входами з четвертого по шостий елементів і відповідно

Накопичуючий суматор містить регістр та комбінаційний суматор, входи першого та другого доданків якого з'єднані з інформаційним входом накопичуючого суматора та з виходом регістра. Вхід переносу першого доданка з'єднаний з входом переносу накопичуючого суматора, вихід знакового розряду якого з'єднаний з виходом старшого розряду комбінаційного суматора, вихід комбінаційного суматора з'єднаний з інформаційним входом регістра, вхід синхронізації якого є однойменним входом накопичуючого суматора, вхід початкової установки якого з'єднаний з входами установки регістра

Блок порівняння містить блок постійної пам'яті та чотири схеми порівняння, виходи яких з'єднані відповідно з першим, другим, третім та четвертим адресними входами блока постійної пам'яті, виходи першого, другого та третього розрядів якого з'єднані відповідно з першим, другим та третім виходами блока порівняння, при цьому перші інформаційні входи з першої по четверту схем порівняння з'єднані з другим інформаційним входом блока порівняння, перша схема порівняння з'єднана з першим інформаційним входом блока порівняння, перший розряд інформаційного входу другої схеми порівняння з'єднаний з рівнем лог "0", а і-ий розряд інформаційного входу другої схеми порівняння з'єднаний з і-1 розрядом першого ін-

формаційного входу блока порівняння, $i = \overline{2, n}$, де n - кількість розрядів, перший та другий розряди інформаційного входу третьої схеми порівняння з'єднані з рівнем лог "0", а і-ий розряд інформаційного входу третьої схеми порівняння з'єднаний з і-1 розрядом першого інформаційного входу бло-

ка порівняння, $i = \overline{3, n}$, де n - кількість розрядів, перший, другий та третій розряди інформаційного входу четвертої схеми порівняння з'єднані з рівнем лог "0", а і-ий розряд інформаційного входу четвертої схеми порівняння з'єднаний з і-1 розрядом першого інформаційного входу блока порівняння, $i = \overline{4, n}$, де n - кількість розрядів

Блок комутаторів містить n комутаторів, де n - кількість розрядів значення інтенсивності кольору, при цьому перший інформаційний вхід і-го комутатора з'єднаний з і-им розрядом інформаційного входу блока, а другий, третій, четвертий та п'ятий

інформаційні входи і-го комутатора ($i = \overline{5, n}$) з'єднані відповідно з (і-1), (і-2), (і-3) та (і-4) розрядами інформаційного входу блока, при цьому інформаційний вихід і-го комутатора з'єднаний з і-им розрядом інформаційного виходу блока, а другий, третій, четвертий та п'ятий інформаційні входи

першого комутатора з'єднані з рівнем лог "0", при цьому другий інформаційний вхід другого комутатора з'єднаний з першим розрядом інформаційного входу блока, а третій, четвертий та п'ятий інформаційні входи другого комутатора з'єднані з рівнем лог "0", до того ж другий та третій інформаційні входи третього комутатора з'єднані відповідно з другим та першим розрядами інформаційного входу блока, а четвертий та п'ятий інформаційні входи третього комутатора з'єднані з рівнем лог "0", при цьому другий, третій та четвертий інформаційні входи четвертого комутатора з'єднані відповідно з третім, другим та першим розрядами інформаційного входу блока, п'ятий інформаційний вхід четвертого комутатора з'єднаний з рівнем лог "0"

В запропонованому пристрої на виході значення інтенсивності кольору формуються інтенсивності кольору точок траєкторії. Інтенсивність кольору пропорційна площі, яку відтинає ідеальний відрізок прямої від пікселя. Вказане забезпечує усунення ступінчастості траєкторії, тобто реалізує ефект антиаліазингу. Алгоритм роботи пристрою не містить довгих операцій, що призводить до підвищення швидкодії

На фіг 1 приведена функціональна схема лінійного інтерполятора, на фіг 2 - функціональна схема блока керування, на фіг 3 - часові діаграми роботи блока керування, на фіг 4 - функціональна схема накопичуючого суматора, на фіг 5 - функціональна схема блока порівняння, фіг 6 - функціональна схема блока комутаторів

Лінійний інтерполятор (фіг 1) містить зсувний регістр 1 координатного приросту, тригер 2, регістр 3 різниці координатних приростів, регістр 4 координатного приросту, лічильник 5, мультиплексор 6, ключ 7, накопичуючий суматор 8, блок елементів Т' 9, комбінаційний суматор 10, блок порівняння 11, регістр максимальної інтенсивності кольору 12, блок комутаторів 13, блок керування 14. Інтерполятор має входи 15 - 22, виходи 23 - 29

Інформаційний вхід зсувного 1 регістра координатного приросту з'єднаний з входом 15 значення більшого приросту інтерполятора

Вхід 16 запуску інтерполятора з'єднаний з входами запису зсувного регістра 1 координатного приросту, першого 2 тригера, регістра 4 координатного приросту, лічильника 5 та регістра максимальної інтенсивності кольору 12 та з входом запуску блока керування 14. Інформаційний вхід регістра 4 координатного приросту з'єднаний з входом 17 значення меншого приросту інтерполятора. Інформаційний вхід лічильника 5 з'єднаний з входом 15 значення більшого приросту інтерполятора

З другого 18 по четвертий 20 входи блока керування 14 є входами знака приросту першої та другої координат та входом ознаки координати з більшим приростом інтерполятора

Другий 21 вхід початкової установки блока керування 14 є входом початкової установки інтерполятора. Виходи координатних приростів інтерполятора з'єднані з шостого 23 по дев'ятий 26 виходами блока керування 14

Другий 29 вихід блока керування 14 з'єднаний з лічильним входом лічильника 5. Вихід ознаки нульового стану лічильника 5 з'єднаний з виходом

28 ознаки "кінець інтерполяції" інтерполятора та з першим 35 входом початкової установки блока керування 14

Перший 30 вихід блока керування 14 з'єднаний з входом запису регістра 3 різниці координатних приростів та з входом керування зсувом зсувного регістра 1 координатного приросту. Третій 31 вихід блока керування 14 з'єднаний з керуючим входом мультіплексора 6 і входом переносу накопичуючого суматора 8. Вихід переносу накопичуючого суматора 8 з'єднаний з першим 32 входом блока керування 14. Четвертий 33 та п'ятий 34 виходи блока керування 14 з'єднані з входом синхронізації накопичуючого суматора 8 та керуючим входом ключа 7 відповідно. Інформаційний вхід регістра 3 різниці координатних приростів з'єднаний з інформаційним виходом накопичуючого суматора 8. Вхід початкової установки накопичуючого суматора 8 з'єднаний з виходом ключа 7. Інформаційний вхід ключа 7 з'єднаний з виходом зсувного регістра 1 координатного приросту.

Виходи регістра 3 різниці координатних приростів та регістра 4 координатного приросту з'єднані відповідно з першим та другим інформаційними входами мультіплексора 6. Вихід мультіплексора 6 з'єднаний з інформаційним входом накопичуючого суматора 8.

Інформаційний вхід першого 2 тригера з'єднаний з молодшим розрядом входу 15 значення більшого приросту інтерполятора. Інформаційний вихід першого 2 тригера з'єднаний з входом молодшого розряду блоку елементів 19. Вихід переносу накопичуючого суматора 8 з'єднаний з керуючим входом блоку елементів 19. i -ий розряд інформаційного виходу зсувного регістра 1 координатного приросту з'єднаний з $i+1$ розрядом інформаційного

входу блока елементів 19, $i = \overline{0, n-1}$, де n - кількість розрядів. Інформаційний вихід блоку елементів 19 та інверсний інформаційний вихід накопичуючого суматора 8 з'єднані з першим та другим інформаційними входами комбінаційного суматора 10. Вхід переносу комбінаційного суматора 10 з'єднаний з рівнем лог "1".

Другий 29 вихід блока керування 14 з'єднаний з виходом синхронізації інтенсивності кольору точок.

Інформаційний вхід регістра 12 максимальної інтенсивності кольору з'єднаний з входом 22 значення максимальної інтенсивності кольору інтерполятора.

Перший та другий інформаційні входи блока порівняння 11 з'єднані відповідно з інформаційним виходом зсувного регістра 1 координатного приросту та з інформаційним виходом комбінаційного суматора 10.

Перший, другий та третій виходи блока порівняння 11 з'єднані відповідно з першим 36, другим 37 та третім 38 керуючими входами блока комутаторів 13, інформаційний вхід якого з'єднаний з інформаційним виходом регістра 12 максимальної інтенсивності кольору.

Інформаційний вихід блока комутаторів 13 з'єднаний з виходом 27 значення інтенсивності кольору інтерполятора.

Блок керування 14 (фіг. 2) містить блок 39 по-

стійної пам'яті, перший 40 та другий 41 регістри, генератор 42 імпульсів, перший елемент 143, другий 44 та третій 45 тригери, другий 46, третій 47, четвертий 48, п'ятий 49 та шостий 50 елементи 1, перший 51 елемент АБО, четвертий 52, шостий 53, п'ятий 54 тригери, перший 55 та другий 56 елементи 21-АБО, сьомий 57 тригер, сьомий 58, восьмий 59, дев'ятий 60 та десятий 61 елементи 1. Позиціями 62-74 позначені зв'язки у блоці 14 через шини.

Перший адресний вхід блока 39 постійної пам'яті є першим 32 входом блока керування 14. Інформаційні входи першого 40 та другого 41 регістрів з'єднані з виходами відповідних розрядів блока 39 постійної пам'яті. Перший та другий входи першого 43 елемента 1 є першим 21 і другим 35 входами початкової установки блока керування. Вхід синхронізації та інформаційний вхід другого 44 тригера з'єднані з входами 16 запуску і логічної одиниці блоку керування 14 відповідно. Вихід першого 43 елемента 1 з'єднаний з інверсними входами скидання другого 44 та третього 45 тригерів та другого 41 регістра. Вихід другого 44 тригера з'єднаний з інформаційним входом третього 45 тригера. Прямий вихід третього 45 тригера з'єднаний з першими входами другого 46 та третього 47 елементів 1. Виходи другого 46 та третього 47 елементів 1 з'єднані з входами синхронізації другого 41 та першого 40 регістрів відповідно. Перший і другий виходи другого 41 регістра з'єднані з другим та третім адресними входами блока 39 постійної пам'яті. Прямий вихід генератора імпульсів 42 з'єднаний з входом синхронізації третього 45 тригера, другим входом третього 47 елемента 1 та з першими входами четвертого 48 і шостого 50 елементів 1. Інверсний вихід генератора імпульсів 42 з'єднаний з другим входом другого 46 елемента 1, першим входом п'ятого 49 елемента 1 та з другим входом елемента АБО 51. Другий 18, третій 19 та четвертий 20 входи блока керування 14 з'єднані з інформаційними входами п'ятого 54, сьомого 57, та шостого 53 тригерів відповідно. Входи синхронізації п'ятого 54, сьомого 57, та шостого 53 тригерів з'єднані з входом 16 запуску блока керування 14. Інформаційний вхід четвертого 52 тригера з'єднаний з першим 32 входом блока керування 14. Вхід синхронізації четвертого 52 тригера з'єднаний з виходом четвертого 48 елемента 1. Інверсний вихід четвертого 52 тригера з'єднаний з першим входом першого елемента 1 першого 55 елементу 21-АБО та з першим входом першого елемента 1 другого 56 елементу 21-АБО. Прямий вихід шостого 53 тригера з'єднаний з другим входом другого елемента 1 першого 55 елементу 21-АБО та з третім входом першого елемента 1 другого 56 елементу 21-АБО. Інверсний вихід шостого 53 тригера підключений до третього входу першого елемента 1 першого 55 елементу 21-АБО та до першого входу другого елемента 1 другого 56 елементу 21-АБО. Вихід п'ятого 49 елемента 1 підключений до других входів перших та других елементів 1 першого 55 та другого 56 елементів 21-АБО. Прямий та інверсний виходи п'ятого 54 тригера з'єднані відповідно з першими входами сьомого 58 і восьмого 59 елементів 1 відповідно. Прямий та інверсний виходи сьомого 57 тригера з'єднані відповідно з другими входами дев'ятого 60 і десятого

61 елементів і відповідно Виходи першого 55 та другого 56 елементів 21-АБО з'єднані з попарно об'єднаними першими входами сьомого 58, восьмого 59 та дев'ятого 60, десятого 61 елементів і відповідно Виходи сьомого 58, восьмого 59, дев'ятого 60 та десятого 61 елементів і є з шостого 23 по дев'ятий 26 виходами блока керування 14 відповідно Вихід шостого розряду першого 40 регістра з'єднаний з першим входом елемента 51 АБО Вихід елемента 51 АБО є другим 29 виходом блока керування 14 Виходи першого і третього розрядів першого 40 регістра та виходи четвертого 48 та шостого 50 елементів і є відповідно першим 30, третім 31, четвертим 33 та п'ятим 34 виходами блока керування 14 Виходи четвертого, другого та п'ятого розрядів першого 40 регістра з'єднані з другими входами з четвертого 48 по шостий 50 елементів і відповідно

Накопичуючий суматор 8 (фіг. 4) містить комбінаційний суматор 75 та регістр 76

Входи першого та другого доданків комбінаційного суматора 75 з'єднані з інформаційним входом накопичуючого суматора 8 та з виходом регістра 76 Вхід переносу першого доданка з'єднаний з входом 31 переносу накопичуючого суматора 8 Вихід знакового розряду накопичуючого суматора 8 з'єднаний з виходом старшого розряду комбінаційного суматора 75 Вихід комбінаційного суматора 75 з'єднаний з інформаційним входом регістра 76 Вхід синхронізації регістра 76 є однойменним входом 33 накопичуючого суматора 8 Вхід початкової установки накопичуючого суматора 8 з'єднаний з входами установки регістра

Блок порівняння 11 (фіг. 5) містить першу 77, другу 78, третю 79 та четверту 80 схеми порівняння, блок постійної пам'яті 81

Виходи першої 77, другої 78, третьої 79 та четвертої 80 схем порівняння з'єднані відповідно з першим, другим, третім та четвертим адресними входами блока постійної пам'яті 81, виходи першого, другого та третього розрядів якого є відповідно першим 36, другим 37 та третім 38 виходами блока порівняння

Перші інформаційні входи з першої 77 по четверту 80 схем порівняння з'єднані з другим інформаційним входом блока порівняння

Перша 77 схема порівняння з'єднана з першим інформаційним входом блока порівняння

Перший розряд інформаційного входу другої 78 схеми порівняння з'єднаний з рівнем лог "0", а і-ий розряд інформаційного входу другої схеми порівняння з'єднаний з і-1 розрядом першого ін-

формаційного входу блока порівняння, $i = \overline{2, n}$, де n - кількість розрядів

Перший та другий розряди інформаційного входу третьої 79 схеми порівняння з'єднані з рівнем лог "0", а і-ий розряд інформаційного входу третьої схеми порівняння з'єднаний з і-1 розрядом першого інформаційного входу блока порівняння, $i = \overline{3, n}$, де n - кількість розрядів

Перший, другий та третій розряди інформаційного входу четвертої 80 схеми порівняння з'єднані з рівнем лог "0", а і-ий розряд інформаційного входу четвертої схеми порівняння з'єднаний з і-1 розрядом першого інформаційного входу блока

порівняння, $i = \overline{4, n}$, де n - кількість розрядів

Блок комутаторів 13 (фіг. 6) містить n комутаторів, де n - кількість розрядів значення інтенсивності кольору, при цьому перший, другий та третій адресні входи і-го комутатора з'єднані відповідно з першим 36, другим 37 та третім 38 керуючими входами блока комутаторів 13

Перший інформаційний вхід і-го комутатора з'єднаний з і-им розрядом інформаційного входу блока, а другий, третій, четвертий та п'ятий інфо-

рмаційні входи і-го комутатора ($i = \overline{5, n}$) з'єднані відповідно з (і-1), (і-2), (і-3) та (і-4) розрядами інформаційного входу блока, при цьому інформаційний вихід і-го комутатора з'єднаний з і-им розрядом інформаційного виходу блока, а другий, третій, четвертий та п'ятий інформаційні входи першого комутатора з'єднані з рівнем лог "0", при цьому другий інформаційний вхід другого комутатора з'єднаний з першим розрядом інформаційного входу блока, а третій, четвертий та п'ятий інформаційні входи другого комутатора з'єднані з рівнем лог "0", до того ж другий та третій інформаційні входи третього комутатора з'єднані відповідно з другим та першим розрядами інформаційного входу блока, а четвертий та п'ятий інформаційні входи третього комутатора з'єднані з рівнем лог "0", при цьому другий, третій та четвертий інформаційні входи четвертого комутатора з'єднані відповідно з третім, другим та першим розрядами інформаційного входу блока, п'ятий інформаційний вхід четвертого комутатора з'єднаний з рівнем лог "0"

Інтерполятор працює таким чином

В якості базового методу лінійної інтерполяції для запропонованого лінійного інтерполятора використано метод оцінювальної функції, згідно з яким напрямок чергового кроку спрямовується у відповідності зі знаком спеціальної оцінювальної функції (ОФ), що обчислюється в процесі інтерполяції Пряма, яка інтерполюється ділить двовірний координатний простір, в якому вона розташована, на дві області область $ОФ > 0$ над прямою та область $ОФ < 0$ під прямою Сама пряма представляє собою область $ОФ = 0$ Інтерполяція методом оцінювальної функції робиться по наступному правилу якщо проміжна точка траєкторії знаходиться в області $ОФ \geq 0$, то наступний крок робиться по осі X (при $\Delta X = БП$, $\Delta Y = МП$), Якщо ж проміжна точка траєкторії знаходиться в області $ОФ < 0$, то наступним виконується комбінований діагональний крок

Значення оцінювальної функції для запропонованого інтерполятора визначається за наступними співвідношеннями

$$ОФ_0 = \lfloor БП/2 \rfloor \text{ ціл.}$$

$$ОФ_{i+1} = ОФ_i + (БП - МП) \text{ при } ОФ_i < 0$$

$$ОФ_{i+1} = ОФ_i - МП \text{ при } ОФ_i \geq 0$$

При $ОФ_i < 0$ виконується комбінований діагональний крок, тобто одночасні кроки по головній та по другорядній координатах При $ОФ_i \geq 0$ виконується крок по головній координаті

Для усунення ефекту ступінчастості в запропонованому інтерполяторі застосовано метод, який використовує дискретні рівні інтенсивності і полягає у встановленні інтенсивності кольору пікселя пропорційно площі тієї його частини, що відти-

нається ідеальним відрізком прямої. В статті "Усування ефекту аліазингу векторних границь полігонів" (Вісник ВПІ, 1998, №1) був встановлений вираз для знаходження площі, що відтинається від пікселя ідеальною прямою

$$S = k \cdot x_i - y_i + 0,5 \quad (1)$$

Слід зауважити, що для першого пікселя площі, що відтинається прямою, завжди дорівнює 0,5

Знайдемо тепер зв'язок між виразом (1) та значенням оцінювальної функції. Перед тим як приступити до цього, слід розглянути деякі особливості базового алгоритму лінійної інтерполяції.

Під час інтерполяції за вищезгаданим алгоритмом виконуються "уявні" та "дійсні" кроки. "Уявні" кроки полягають у зміні оцінювальної функції. "Дійсні" кроки полягають у виборі координат точки траєкторії на основі результату "уявного" кроку. На кожному етапі інтерполяції перевіряється знак попереднього значення оцінювальної функції. Якщо цей знак додатний, то виконується "умовний" горизонтальний крок (від попереднього значення оцінювальної функції віднімається значення меншого координатного приросту). У випадку, коли знак попереднього значення оцінювальної функції - від'ємний, виконується "умовний" діагональний крок (до попереднього значення оцінювальної функції додається різниця координатних приростів). Отримане після "умовного" кроку значення оцінювальної функції аналізується для вибору точки траєкторії. Якщо отримане значення оцінювальної функції має додатний знак, то робиться "дійсний" горизонтальний крок, в іншому випадку - робиться "дійсний" діагональний крок.

При більш докладному аналізі нескладно помітити, що при позитивному значенні оцінювальної функції, отриманому на деякому кроці, це значення співпадає із значенням оцінювальної функції в точці, що була обрана на даному етапі, а при від'ємному значенні оцінювальної функції це значення є значенням оцінювальної функції у точці, що розташована на одну дискрету нижче точки, що була обрана.

Таким чином, якщо на i -ому кроці інтерполявання отримано позитивне значення оцінювальної функції, то це значення співпадає зі значенням оцінювальної функції у точці, що була обрана на цьому кроці.

Оцінювальна функція в "дійсній" точці для цього випадку буде дорівнювати

$$F_i^+ = y_i \cdot \Delta x - x_i \cdot \Delta y + \frac{\Delta x}{2}$$

Розглянемо отриманий раніше вираз (1) для площі, що відтинається відрізком прямої від пікселя

$$\begin{aligned} k &= \frac{\Delta y}{\Delta x} \\ \text{Якщо ж на } i\text{-ому кроці інтерполявання оцінювальна функція має від'ємне значення, то це значення є значенням оцінювальної функції в "уявній" точці, яка розташована на одну дискрету нижче} \\ S &= k \cdot x_i - y_i + \frac{1}{2} = \frac{\Delta y}{\Delta x} x_i - y_i + \frac{1}{2} = \frac{x_i \cdot \Delta y - y_i \cdot \Delta x}{\Delta x} + \frac{1}{2} = \\ &= \frac{x_i \cdot \Delta y - y_i \cdot \Delta x - 0,5 \cdot \Delta x + 0,5 \Delta x}{\Delta x} + \frac{1}{2} = \frac{x_i \cdot \Delta y - y_i \cdot \Delta x - 0,5 \cdot \Delta x}{\Delta x} + 1 = \\ &= 1 - \frac{F_i^+}{\Delta x} \end{aligned}$$

Якщо ж на i -ому кроці інтерполявання оцінювальна функція має від'ємне значення, то це значення є значенням оцінювальної функції в "уявній" точці, яка розташована на одну дискрету нижче

"дійсної" точки по осі з меншим значенням координатного приросту (для 1 октанту - по осі Y). Отже значення оцінювальної функції для "уявної" точки буде дорівнювати

$$F_i^+ = (y_i - 1) \cdot \Delta x - x_i \cdot \Delta y + \frac{\Delta x}{2} = y_i \cdot \Delta x - x_i \cdot \Delta y - \frac{\Delta x}{2}$$

Знайдемо тепер зв'язок між площею, що відтинається відрізком прямої від пікселя, та значенням оцінювальної функції

$$\begin{aligned} S &= k \cdot x_i - y_i + \frac{1}{2} = \frac{\Delta y}{\Delta x} x_i - y_i + \frac{1}{2} = \frac{x_i \cdot \Delta y - y_i \cdot \Delta x}{\Delta x} + \frac{1}{2} = \\ &= \frac{x_i \cdot \Delta y - y_i \cdot \Delta x - 0,5 \cdot \Delta x + 0,5 \Delta x}{\Delta x} + \frac{1}{2} = \frac{x_i \cdot \Delta y - y_i \cdot \Delta x - 0,5 \cdot \Delta x}{\Delta x} = -\frac{F_i^-}{\Delta x} \end{aligned}$$

Таким чином, площу, що відтинається від пікселя відрізком прямої, можна знайти з допомогою значення оцінювальної функції по таким формулам

$$S_i = \begin{cases} 1 - \frac{F_i}{\Delta x}, & \text{якщо } F_i \geq 0 \\ \frac{|F_i|}{\Delta x}, & \text{якщо } F_i < 0 \end{cases} \quad (2)$$

Доведемо, що значення оцінювальної функції пропорційне площі, що відтинається від пікселя ідеальним відрізком прямої. Розглянемо наступне співвідношення

$$OF_i^+ = \begin{cases} \Delta x - F_i, & \text{якщо } F_i \geq 0 \\ |F_i|, & \text{якщо } F_i < 0 \end{cases} \quad (3)$$

де F_i - оцінювальна функція

Запишемо вираз для площі з врахуванням формули (3)

$$S_i = \frac{OF_i^+}{\Delta x}, \quad (4)$$

де S_i - площа, що відтинається від пікселя відрізком прямої

Визначимо найменше і найбільше значення, які може приймати OF_i . Для цього необхідно визначити межі, в яких може змінюватись значення оцінювальної функції

Визначимо найменше значення, яке може приймати оцінювальна функція

Згідно з наведеним алгоритмом, оцінювальна функція досягає свого мінімуму у випадку, коли її значення в попередній точці дорівнювало нулю, оскільки зміна оцінювальної функції на кожному кроці відбувається у напрямку зміни її знака. Отже, мінімальне значення оцінювальної функції

$F_i^{\min} = -MP$. Аналогічним чином, максимальне значення оцінювальної функції досягається у випадку, якщо в попередній точці значення оцінювальної функції було від'ємним і найменшим за модулем

Таким чином, отримуємо межі в яких змінюється оцінювальна функція

$$-MP \leq F_i < BP - MP \quad (5)$$

На основі отриманого виразу знайдемо межі в яких змінюється значення OF_i . У відповідності з виразом (3) це потрібно робити окремо для додатних та від'ємних значень оцінювальної функції

З виразів (3) та (5) отримуємо наступні співвідношення для випадку $F_i > 0$

$$OF_i = BP - F_i,$$

$$0 \leq F_i < \text{БП} - \text{МП}, \Rightarrow \text{МП} < \text{БП} - F_i \leq \text{БП}, \quad (6)$$

$$\text{МП} < \text{OF}_i \leq \text{БП},$$

Для від'ємних значень оцінювальної функції отримуємо наступні формули

$$\text{OF}_i = -F_i,$$

$$-\text{МП} \leq F_i < 0, \Rightarrow 0 < -F_i \leq \text{МП}, \quad (7)$$

$$0 < \text{OF}_i < \text{МП},$$

Таким чином, поєднавши вирази (6) та (7), отримаємо вираз для граничних значень, в межах яких змінюється OF_i (для випадку, коли $\Delta x > \Delta y$)

$$0 < \text{OF}_i \leq \Delta x \quad (8)$$

$$\frac{\text{OF}_i'}{\Delta x}$$

Розглянемо співвідношення Позначимо

$$\frac{\text{OF}_i'}{\Delta x} = \frac{1}{k} \quad (\text{з виразу (8) випливає, що } k \geq 1) \quad \text{Підставивши це значення у вираз (4) отримуємо}$$

$$S_i = \frac{1}{k} \quad (9)$$

Таким чином, має місце наступне правило

$$\frac{\text{OF}_i'}{\Delta x} = \frac{\Delta x}{k} \quad (k \geq 1), \quad \text{то} \quad S_i = \frac{1}{k}$$

Як вже зазначалось інтенсивність кольору пікселя буде встановлюватись пропорційно площі, яку відтинає від пікселя відрізок прямої. Таким чином, якщо I_M - інтенсивність кольору з якою треба відтворити відрізок прямої, то інтенсивність кольору i -го пікселя I_i визначається за формулою

$$I_i = S_i \cdot I_M \quad (10)$$

Використавши, розглянуте вище правило для площі S_i та вираз (10), отримуємо наступне правило визначення інтенсивностей кольору точок

$$\frac{\text{OF}_i'}{\Delta x} = \frac{\Delta x}{k} \quad (k \geq 1), \quad \text{то} \quad I_i = \frac{I_M}{k}$$

Отже за співвідношенням значень OF_i і Δx можна визначити інтенсивність кольору кінцевих точок відрізка прямої. При цьому, для спрощення обчислень, значення коефіцієнта k доцільно взяти степенями двійки (1, 2, 4, 8, 16, ...). Це усуне необхідність виконання операції ділення, яка в даному випадку буде замінена зсувом на відповідну кількість розрядів.

В даному лінійному інтерполяторі значення інтенсивності кольору точки визначається наступним чином

Обчислюється значення OF'

$$\text{OF}'_i = \begin{cases} \text{БП} - \text{OF}_i, & \text{якщо } \text{OF}_i \geq 0 \\ \text{OF}_i, & \text{якщо } \text{OF}_i < 0 \end{cases}$$

Отримане значення порівнюється зі значеннями $\text{БП}/2, \text{БП}/4, \text{БП}/8$ та $\text{БП}/16$ і обирається відповідний рівень інтенсивності кольору за таким правилом

$$\begin{array}{ll} \text{якщо } \text{OF}' < \text{БП}/16 & \text{то } I_i = I_M/16, \\ \text{якщо } \text{БП}/16 < \text{OF}' < \text{БП}/8 & \text{то } I_i = I_M/8, \\ \text{якщо } \text{БП}/8 < \text{OF}' < \text{БП}/4 & \text{то } I_i = I_M/4, \\ \text{якщо } \text{БП}/4 < \text{OF}' < \text{БП}/2 & \text{то } I_i = I_M/2, \\ \text{якщо } \text{БП}/2 < \text{OF}' < \text{БП} & \text{то } I_i = I_M, \end{array}$$

При інтерполяції відрізка прямої від зовнішнього пристрою поступають вихідні операнди, які визначають заданий відрізок прямої, його напрям та інтенсивність кольору, з яким треба відтворити відрізок прямої. У зсувний регістр 1 координатного

приросту по входу 15 переднім фронтом сигналу запису на входи 16 інтерполятора записується значення БП. В тригер 2 переднім фронтом сигналу запису на входи 16 записується значення молодшого розряду БП, яке поступає з молодшого розряду входу 15. В регістр 4 переднім фронтом сигналу запису на входи 16 інтерполятора записується значення МП з входу 17 лінійного інтерполятора. Оскільки виходи регістра 4 є інверсними виходами його тригерів, то регістр 4 забезпечує зберігання значення МП та його інвертування, тобто отримання зворотного коду МП. В регістр 12 максимальної інтенсивності кольору переднім фронтом сигналу запису на входи 16 інтерполятора записується значення I_M , яке поступає з входу 22 лінійного інтерполятора.

В лічильник 5 по входу 15 нульовим значенням сигналу запису на входи 16 інтерполятора записується значення БП, яке визначає число інтерполяційних тактів. В блок керування 14 переднім фронтом сигналу запису з входу 16 інтерполятора запам'ятовуються значення ознак, які визначають орієнтацію відрізка у двовірному координатному просторі.

На вхід 18 інтерполятора поступає значення рівня лог "1" при $\Delta X \geq 0$, де ΔX - значення приросту вихідного відрізка прямої по осі абсцис, і значення рівня лог "0" при $\Delta X < 0$.

Рівень лог "1" на входи 19 інтерполятора визначає позитивний знак приросту ΔY , де ΔY - значення приросту вихідного відрізка прямої по осі ординат. При $\Delta Y < 0$ на входи 19 інтерполятора виставляється значення рівня лог "0".

При $\Delta X > \Delta Y$ на входи 20 інтерполятора виставляється рівень лог "1", а при $\Delta X < \Delta Y$ - рівень лог "0".

Значення БП та МП, а також знаки приростів ΔX та ΔY повністю визначають відрізок прямої, що апроксимується по відношенню до координатних осей.

В перший тактовий проміжок часу на виході 34 блока керування 14 формується імпульс позитивної полярності, який призводить до того, що на виході ключа 7 виставляється парафазний код БП. Під дією сигналів з вихода ключа 7 суматор 8 приймає значення БП.

В наступний тактовий момент часу на виході 31 блока керування 14 встановлюється рівень лог "1", який забезпечує передачу на вхід суматора 8 інверсного значення МП з виходу регістра 4 через мультиплексор 6. На вхід переносу суматора 8 поступає значення рівня лог "1", оскільки віднімання у суматорі 8 здійснюється в доповняльному коді. В суматорі 8 знаходиться значення

$$\Delta = \text{БП} - \text{МП} = \text{БП} + \overline{\text{МП}} + 1$$

Значення Δ запам'ятовується в регістрі 3. Рівень сигналу запису в регістр 3, - позитивний. У вказаний тактовий момент часу відбувається також зсув вмісту зсувного регістру 1 в бік молодших розрядів. Оскільки до виконання вказаної дії у регістрі 1 зберігалось значення БП, то після виконання вказаної операції зсуву регістр 1 приймає значення $\lfloor \text{БП}/2 \rfloor$ ц ч

Зсув здійснюється заднім фронтом сигналу, який формується на виході 30 блока керування 14. У наступний тактовий момент часу на виході

34 блока керування 14 формується імпульс позитивної полярності, який забезпечує встановлення на виході ключа 7 парафазного коду $[БП/2]$ ц ч (це значення зберігається в зсувному регістрі 1 координатного приросту). Під дією сигналів з вихода ключа 7 суматор 8 приймає значення $[БП/2]$ ц ч.

Вказані дії утворюють цикл підготовки. Причому у регістрі 4 зберігається значення МП, у регістрі 12 - значення I_m у лічильнику 5 - значення БП, у тригері 2 - значення молодшого розряду БП, у регістрі 3 - різниця БП-МП, а у суматорі 8 та регістрі 1 - значення $[БП/2]$ ц ч. Цикл підготовки займає три тактових моменти часу.

У циклі інтерполяції в перший тактовий момент часу з вмісту суматора 8 віднімається значення МП, тобто забезпечується передача інверсного значення МП через мультиплексор 6 на інформаційний вхід суматора 8, і на його виході переносу виставляється значення рівня лог "1". Слід відмітити, що оскільки по алгоритму роботи запропонованого лінійного інтерполятора при обчисленні значення оцінювальної функції використовується операція віднімання тільки значення МП, то сигнал переносу для накопичуючого суматора 8 формується тільки при формуванні для мультиплексора 6 сигналу передачі на його вихід значення МП.

При від'ємному значенні оцінювальної функції, що зберігається в суматорі 8, до вмісту суматора додається значення БП - МП, яке зберігається в регістрі 3. Передача значення БП-МП на інформаційний вхід суматора 8 досягається подачею на керуючий вхід мультиплексора 6 значення рівня лог "0". При позитивному знаку оцінювальної функції, що зберігається у суматорі 8, від вмісту останнього віднімається значення МП.

Вказані дії відбуваються за тактовий момент часу, в кожному з яких формуються крокові прирости та значення інтенсивності кольору точки. Значення крокових приростів визначаються значенням знаків приростів ΔX , ΔY , співвідношенням приростів ΔX та ΔY , а також знаком оцінювальної функції, що зберігається в тригері 52.

Для визначення інтенсивності кольору точки використовується оцінювальна функція.

При від'ємному значенні оцінювальної функції на керуючий вхід блока елементів "І" 9 з виходу переносу накопичуючого суматора 8 поступає значення рівня лог "0", яке спричинює встановлення значення рівня лог "0" на всіх розрядах інформаційного виходу блоку елементів "І" 9. В результаті чого на інформаційні входи комбінаційного суматора 10 подаються відповідно нульове значення з інформаційного виходу блока елементів "І" 9 та інверсне значення оцінювальної функції $ОФ$, з інверсного вихода накопичуючого суматора 8. Оскільки на вхід переносу комбінаційного суматора 10 подається значення рівня лог "1", то останній забезпечує встановлення на своєму інформаційному виході значення $ОФ' = 0 - ОФ = 0 + \overline{ОФ} + 1$. Тобто при від'ємному значенні оцінювальної функції на вихід комбінаційного суматора 10 подається значення $ОФ' = |ОФ|$.

При додатньому значенні оцінювальної функції на керуючий вхід блока елементів "І" 9 з виходу переносу накопичуючого суматора 8 поступає зна-

чення рівня лог "1", яке встановлює на інформаційному виході блоку елементів "І" 9 значення БП. Таким чином на інформаційні входи комбінаційного суматора 10 подаються відповідно значення БП з інформаційного виходу блока елементів "І" 9 та інверсне значення оцінювальної функції $ОФ$, з інверсного вихода накопичуючого суматора 8. Оскільки на вхід переносу комбінаційного суматора 10 подається значення рівня лог "1", то останній забезпечує формування на своєму інформаційному виході значення виразу

$ОФ' = БП - ОФ = БП + \overline{ОФ} + 1$. Тобто при додатньому значенні оцінювальної функції на вихід комбінаційного суматора 10 подається значення $ОФ' = БП - ОФ$.

На інформаційні входи блока порівняння 11 подаються відповідно значення $ОФ'$ з інформаційного виходу комбінаційного суматора 10 та значення БП 12 з інформаційного виходу зсувного регістра координатного приросту 1. У відповідності з результатом порівняння значення $ОФ'$ зі значеннями БП/2, БП/4, БП/8, БП/16 (значення БП/4, БП/8 та БП/16 отримуються у блоці 11 зі значення БП 12 шляхом монтажного зсуву) на виходах 36, 37 та 38 блока порівняння 11 формуються сигнали, що визначають дискретне значення інтенсивності кольору.

У відповідності з сигналами, які поступають на керуючі входи блока комутаторів 13 з виходів 36, 37 та 38 блока порівняння 11, блок комутаторів 13 формує на своєму інформаційному виході дискретне значення інтенсивності кольору шляхом зсуву значення максимальної інтенсивності кольору I_m , на відповідну кількість розрядів.

Для синхронізації видачі значення інтенсивності кольору точок використовується вихід 29 синхронізації інтенсивності кольору точки пристрою.

В циклі інтерполювання з кожним кроковим приростом по головній координаті вміст лічильника 5 зменшується на 1. Коли кількості крокових приростів по головній координаті дорівнює БП, на виході лічильника 5 формується рівень лог "0", який сигналізує про закінчення інтерполяції відрізка прямої.

Блок порівняння 11 працює наступним чином.

На перший та другий інформаційні входи блока поступають відповідно значення $ОФ'$ з інформаційного виходу комбінаційного суматора 10 та значення БП 12 з інформаційного виходу зсувного регістра 1 координатного приросту.

На перший та другий інформаційні входи першої схеми порівняння 77 поступають відповідно значення $ОФ'$ та БП/2. Результат порівняння з виходу першої схеми порівняння 77 подається на перший адресний вхід блока 81 постійної пам'яті.

На перший та другий інформаційні входи другої схеми порівняння 78 поступають відповідно значення $ОФ'$ та БП/4. Значення БП/4 формується шляхом монтажного зсуву. Результат порівняння з виходу другої схеми порівняння 78 подається на другий адресний вхід блока 81 постійної пам'яті.

На перший та другий інформаційні входи третьої схеми порівняння 79 поступають відповідно значення $ОФ'$ та БП/8. Значення БП/8 формується шляхом монтажного зсуву. Результат порівняння з

виходу третьої схеми порівняння 79 подається на третій адресний вхід блока 81 постійної пам'яті

На перший та другий інформаційні входи четвертої схеми порівняння 80 поступають відповідно значення ОФ' та БП/16. Значення БП/16 формується шляхом монтажного зсуву. Результат порівняння з виходу четвертої схеми порівняння 80 подається на четвертий адресний вхід блока 81 постійної пам'яті

Таким чином результат роботи схем порівняння визначає адрес розміщення відповідного набору керуючих значень у блоці 81 постійної пам'яті. Карта прошивки блока 81 постійної пам'яті приведена в табл. 1

Таблиця 1

Входи блоку				Виходи блоку		
D ₁	D ₂	D ₃	D ₄	Q ₁	Q ₂	Q ₃
0	0	0	0	0	0	0
1	0	0	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	1	1	0
1	1	1	1	0	0	1

Блок керування 14 працює наступним чином

При першому включенні інтерполятору на вхід 21 початкової установки пристрою подається імпульс від'ємної полярності, який забезпечує обнулення регістру 41 та тригерів 44 та 45

Переднім фронтом сигналу, який поступає на вхід 16 інтерполятору, в одиничний стан переводиться тригер 44. При формуванні на прямому виході генератора імпульсів 42 переднього фронту сигналу в одиничний стан переводиться тригер 45, що дозволяє проходженню через елементи 46 та 45 опорних імпульсних послідовностей. Ці дії забезпечують присинхронізацію роботи інтерполятора до переднього імпульсної послідовності, яка формується на прямому виході генератора імпульсів 42. В протилежному випадку перший імпульс вказаної послідовності може мати різну тривалість, що в свою чергу може привести до збою роботи інтерполятора

В блоку 39 постійної пам'яті зберігаються мікрокоманди, які включають в себе операційну та адресну частини. Адресна частина мікрокоманди разом зі значенням сигналу на вході 32 блока керування визначають адресу наступної мікрокоманди. Адресна частина мікрокоманди з блока 39 під дією передніх фронтів імпульсної послідовності, яка формується на виході блока 46, заноситься в регістр 41. Операційна частина макрокоманди зберігається в регістрі 40 і використовується для формування керуючих сигналів. Запис в регістр 40 здійснюється переднім фронтом сигналів, який формується на виході блока 46

Оскільки в початковий момент часу регістр 40 обнулений, а значення сигналу 32 - нульове, то з блока 39 вибирається мікрокоманда, яка зберігається по нульовій адресі

Часові діаграми роботи блока керування 14 при інтерполюванні вектору з приростами $\Delta X = +5$, $\Delta Y = +2$ приведені на фіг. 3

Карта прошивки блока 39 постійної пам'яті приведена в табл. 2

Таблиця 2

Входи блоку			Виходи блоку							
D ₁	D ₂	D ₃	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈
0	0	0	0	0	0	0	1	1	1	0
0	0	1	0	0	0	0	1	1	1	0
1	0	0	1	0	1	1	0	1	0	1
1	0	1	1	0	1	1	0	1	0	1
0	1	0	0	0	1	0	1	1	1	1
0	1	1	0	0	1	0	1	1	1	1
1	1	0	0	1	0	1	0	0	1	1
1	1	1	0	1	1	1	0	0	1	1

В роботі блока керування 14 можливо розділити операції циклу підготовки і циклу інтерполювання

Цикл підготовки включає три тактових проміжки часу. Слід відмітити, що прошивка блока 39 постійної пам'яті організована таким чином, що значення сигналу переносу 32 в циклі підготовки ігнорується, тобто всі операції в циклі підготовки строго визначені і не залежать від типу вектору

В циклі підготовки в першому та третьому тактовому проміжку часу на виході 34 формуються імпульси позитивної полярності, під дією яких забезпечується спочатку установка регістра накопичуючого суматора в стан БП, а потім [БП/2]

В другому тактовому проміжку часу знаходиться значення $\Delta = \text{БП} - \text{МП}$, яке записується в регістр накопичуючого суматора, а потім в регістр 3 різниці координатних приростів, а також відбувається зсув вмісту регістра 1 координатного приросту на один розряд в сторону молодших розрядів

Запис в регістр 3 різниці координатних приростів здійснюється імпульсом позитивної полярності, який формується на виході 30 блока керування 14 протягом одного періоду тактової послідовності, яка формується на виході генератора імпульсів 42 під час першої половини тактового проміжку часу знаходиться різниця $\Delta = \text{БП} - \text{МП}$, яка заднім фронтом сигналу на виході 33 заноситься в регістр накопичуючого суматора 8, а потім на вхід регістру 3 різниці координатних приростів. Оскільки сигнал запису в регістр 3 утримується і після цього ще протягом половини тактового проміжку часу, то в регістр 3 гарантовано буде записане дійсне значення Δ

Циклу інтерполювання відповідають дві мікрокоманди блока 39 постійної пам'яті, які мають адреси $D_1D_2D_3 = 110$ та $D_1D_2D_3 = 111$

Операційні частини цих макрокоманд відрізняються тільки одним значенням в розряді Q₃. Вказаний розряд відповідає за формування вхідного сигналу переносу накопичуючого суматора 8 та за управляючий сигнал для мультиплексора 6

Під дією сигналів 31, 33, 29 виконується інтерполювання заданого відрізка прямої з одночасним антиаліазингом. З кожним інтерполяційним тактом вміст лічильника 4 зменшується на одиницю. При переході лічильника з нульового стану в $2^k - 1$ стан, де k - розрядність лічильника, формується сигнал 28 переносу, який обнуляє тригери 44, 45, а також регістр 41. Елементи 46 та 45 блокуються, цикл інтерполювання закінчується

При формуванні крокових приростів використовується вміст тригерів 52, 53, 54, 57. В тригері 52 зберігається знак оцінювальної функції. Нульовий стан тригера 52 визначає формування крокового приросту в напрямку меншої координати.

Одиничний стан тригера 53 забезпечує передачу на вихід першого 55 елемента 21-АБО імпульсної послідовності, яка формується на виході п'ятого 49 елемента. При цьому передача здійснюється через другий елемент 1 елемента 55, а його перший елемент 1 блокується. Блокується також другий елемент 1 другого 56 елемента 21-АБО. Через його перший елемент 1 дозволяється проходження імпульсу по неповідній координаті тільки в тому випадку, коли на інверсному виході тригера 52 формується рівень лог "1".

Нульовий стан тригера 53 забезпечує передачу на вихід другого 56 елемента 21-АБО імпульсної послідовності, яка формується на виході п'ятого 49 елемента. При цьому передача здійснюється через другий елемент 1 елемента 56, а його перший елемент 1 блокується. Блокується також другий елемент 1 першого 55 елемента 21-АБО. Через його перший елемент 1 дозволяється проходження імпульсу по неповідній координаті тільки в тому випадку, коли на інверсному виході тригера 52 формується рівень лог "1".

Одиничний стан п'ятого 54 тригера забезпечує передачу на вихід сьомого 58 елемента 1 імпульсної послідовності, яка формується на виході першого 55 елемента 21-АБО, при цьому блокується восьмий 59 елемент 1. Нульовий стан тригера 54 блокує сьомий 58 елемент 1 та забезпечує передачу на вихід восьмого 59 елемента 1 вищезгаданої імпульсної послідовності. Таким чином при додатному знаку приросту ΔX сигнали крокових приростів для осі X формуються на виході 23 інтерполятора (+X), а при від'ємному - на виході 24 інтерполятора (-X).

Одиничний стан сьомого 57 тригера забезпечує передачу на вихід дев'ятого 60 елемента 1 імпульсної послідовності, яка формується на виході другого 56 елемента 21-АБО, при цьому блокується десятий 61 елемент 1. Нульовий стан тригера 57 блокує дев'ятий 60 елемент 1 та забезпечує передачу на вихід десятого 61 елемента 1 вищезгаданої імпульсної послідовності. Таким чином при додатному знаку приросту ΔY сигнали крокових приростів для осі Y формуються на виході 25 інтерполятора (+Y), а при від'ємному - на виході 26 інтерполятора (-Y).

У якості лічильника 5 можна використати мікросхему K155IE7.

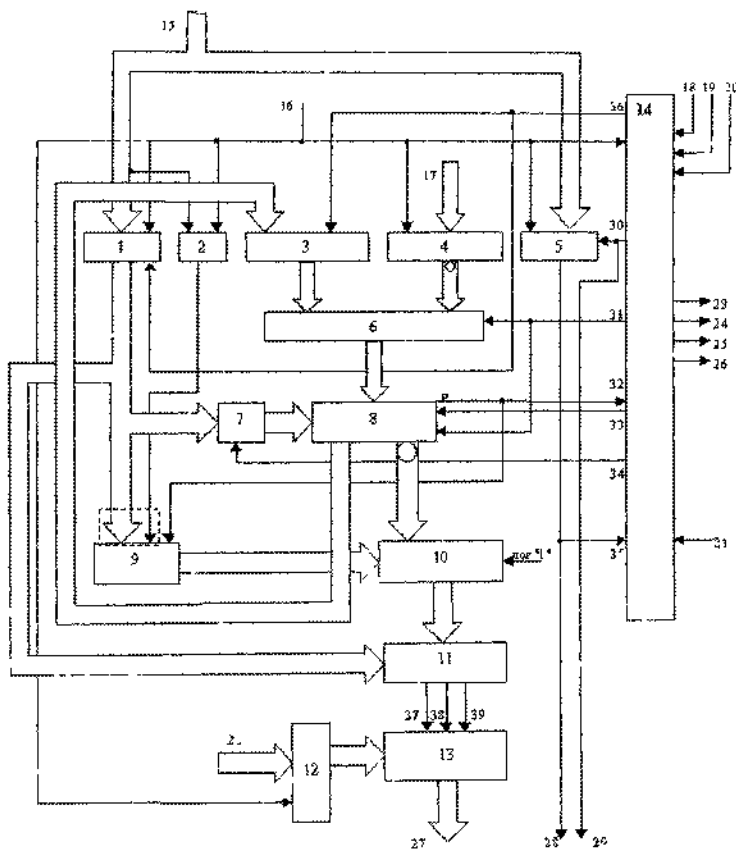
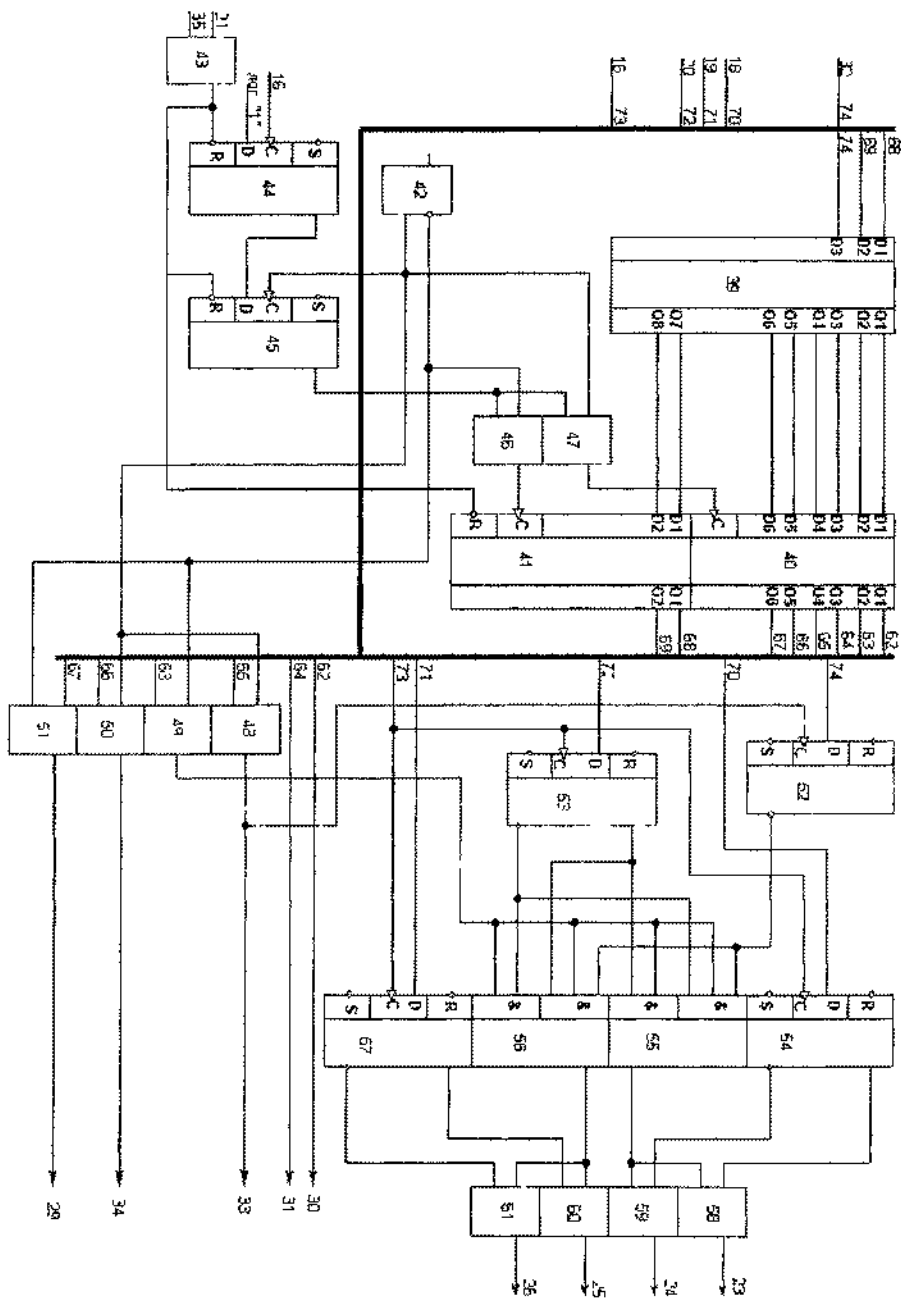
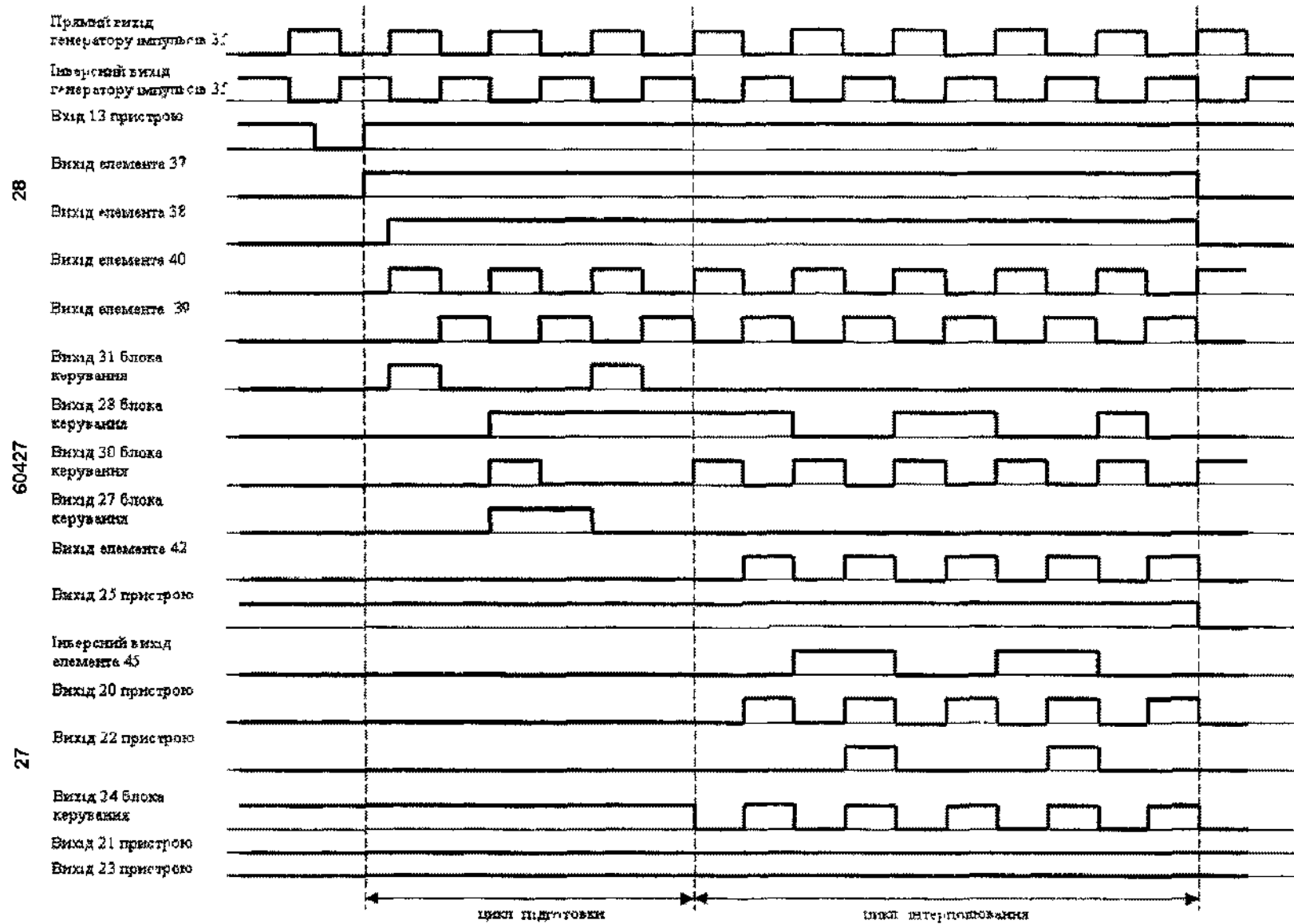


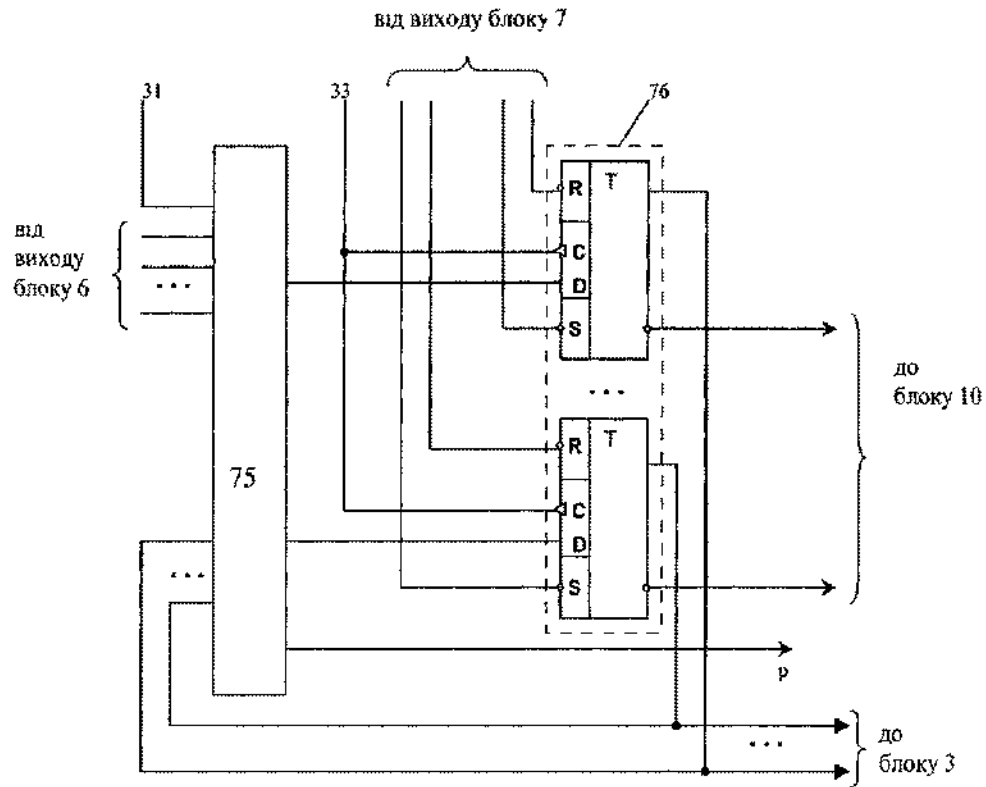
Fig. 1



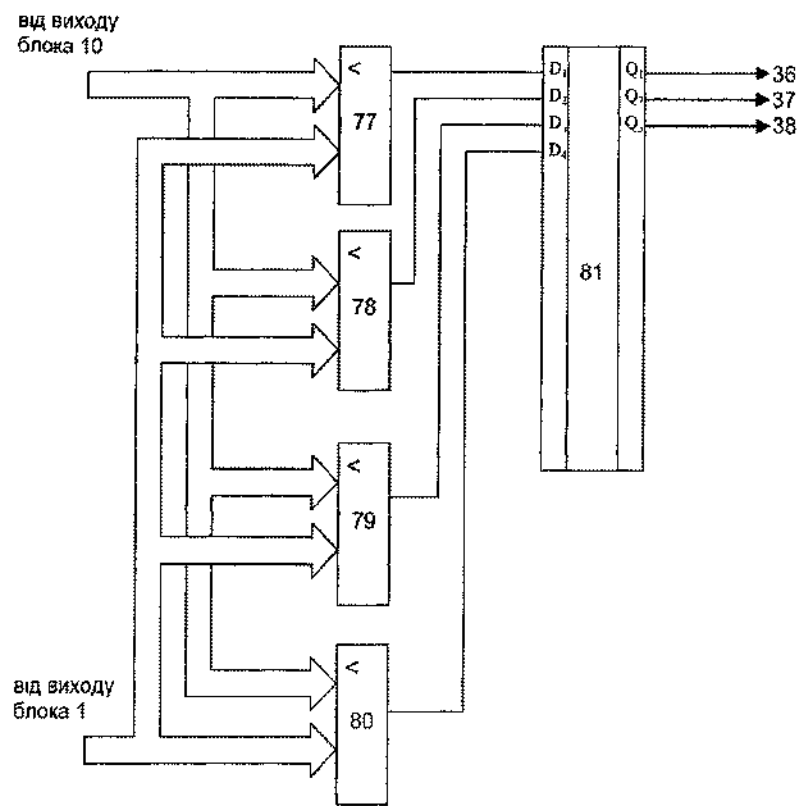
Фиг. 2



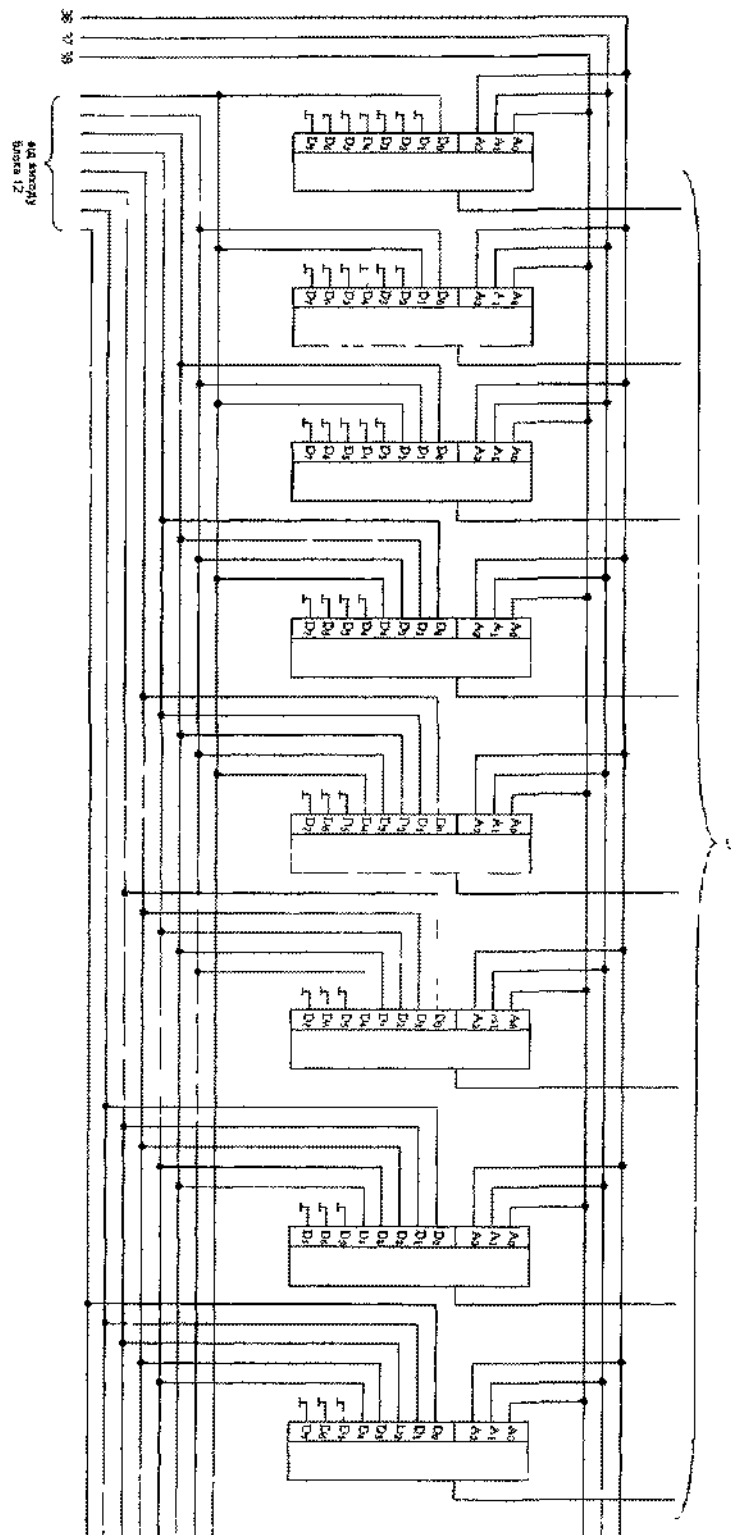
Фіг. 3



Фіг.4



Фіг 5



Фіг. 6