



УКРАЇНА

(19) UA (11) 88666 (13) C2  
(51) МПК (2009)  
G06F 7/38  
G06F 7/52 (2006.01)

МІНІСТЕРСТВО ОСВІТИ  
І НАУКИ УКРАЇНИ

ДЕРЖАВНИЙ ДЕПАРТАМЕНТ  
ІНТЕЛЕКТУАЛЬНОЇ  
ВЛАСНОСТІ

## ОПИС ДО ПАТЕНТУ НА ВІНАХІД

### (54) ОПЕРАЦІЙНИЙ ПРИСТРІЙ РІМ-СИСТЕМИ

1

(21) а200707863  
(22) 12.07.2007  
(24) 10.11.2009  
(46) 10.11.2009, Бюл. № 21, 2009 р.  
(72) ЯКОВЛІВ ЮРІЙ СЕРГІЙОВИЧ, ТИХОНОВ  
БОРИС МИХАЙЛОВИЧ  
(73) ІНСТИТУТ КІБЕРНЕТИКИ ІМ. В.М. ГЛУШКОВА  
НАН УКРАЇНИ  
(56) US 5396641 A, 07.03.1995  
WO 03088033, 23.10.2003  
KR 20060129888 A, 18.12.2006  
JP 6168325 A, 14.06.1994  
JP 2007041781 A, 15.02.2007  
GB 2286700 A, 23.08.1995  
US 6560582 B1, 06.05.2003  
(57) 1. Операційний пристрій РІМ-системи, що містить блок пам'яті, набір вхідних регістрів, комутатор вхідних даних, набір помножувачів, набір проміжних регістрів, перший вихідний комутатор, набір вихідних регістрів, першу схему обробки знаків, два вхідні комутатори, причому виходи помножувачів з'єднані з входами відповідних проміжних регістрів, другі виходи проміжних регістрів з першого по четвертий з'єднані з другим, третім, четвертим та п'ятим входами першого вхідного комутатора, другі виходи проміжних регістрів з п'ятого по восьмий з'єднані з другим, третім, четвертим та п'ятим входами другого вхідного комутатора відповідно, вихід першого вихідного комутатора з'єднаний з входом третього вихідного регістра, який **відрізняється** тим, що в нього введені чотири восьмирозрядні суматори, два шістнадцятирозрядні суматори, друга схема обробки знаків, три схеми керування переносом, два проміжні комутатори, два вихідних комутатори, комутатор вихідних даних, причому виходи стовпців пам'яті з'єднані з входами вхідного комутатора, виходи якого з'єднані з входами вхідних регістрів і входами проміжних регістрів, третій вихід проміжних регістрів з'єднаний з першим виходом пристрою, виходи першого та другого вхідних регістрів з'єднані з входами першого помножувача, виходи третього і четвертого вхідних регістрів з'єднані з входами другого помножувача, виходи п'ятого і шостого вхідних регістрів з'єднані з входами третього помножувача, виходи сьомого і восьмого вхідних регістрів з'єднані з входами четвертого помножу-

2

вача, перші виходи першого, другого, третього і четвертого проміжних регістрів з'єднані з першим, другим, третім і четвертим входами першої схеми обробки знаків, вихід якої з'єднаний з шостим входом першого вхідного комутатора і третіми входами першого і другого восьмирозрядних суматорів, перший вхід першого вхідного комутатора з'єднаний з виходами першого і другого вихідних регістрів, перший вихід першого вхідного комутатора з'єднаний з першим входом першого проміжного комутатора, другий і третій виходи першого вхідного комутатора з'єднані з першими і другими входами першого і другого восьмирозрядних суматорів відповідно, перший вихід другого восьмирозрядного суматора з'єднаний з третім входом першого проміжного комутатора і першим входом першого вихідного комутатора, другий вихід з'єднаний з другим входом першої схеми керування переносом, вихід першої схеми керування переносом з'єднаний з четвертим входом першого восьмирозрядного суматора, вихід якого з'єднаний з другим входом першого проміжного комутатора, перший і другий виходи якого з'єднані з першим і другим входами першого шістнадцятирозрядного суматора відповідно, третій вихід з'єднаний з другим входом другого шістнадцятирозрядного суматора, вихід першого шістнадцятирозрядного суматора з'єднаний з входом першого і другого вихідних регістрів, перші виходи п'ятого, шостого, сьомого і восьмого проміжних регістрів з'єднані з першим, другим, третім і четвертим входами другої схеми обробки знаків, вихід якої з'єднаний з шостим входом другого вхідного комутатора, перший вихід якого з'єднаний з першим входом другого проміжного комутатора, другий і третій виходи з'єднані з першими й другими входами третього й четвертого восьмирозрядного суматорів відповідно, третій вхід цих суматорів з'єднаний з виходом другої схеми обробки знаків, перший вихід четвертого восьмирозрядного суматора з'єднаний з третім входом другого проміжного комутатора і входом третього вихідного комутатора, другий вихід з'єднаний з другою схемою керування переносом, вихід якої з'єднаний з четвертим входом третього восьмирозрядного суматора, вихід якого з'єднаний з другим входом другого проміжного комутатора, перший і третій вихід якого з'єднані з першим і

(19) UA (11) 88666 (13) C2

третім входами другого шістнадцятирозрядного суматора відповідно, другий вихід з'єднаний з другим входом першого шістнадцятирозрядного суматора, другий вхід другого шістнадцятирозрядного суматора з'єднаний з другим виходом першого вихідного комутатора, перший вихід другого шістнадцятирозрядного суматора з'єднаний з першим входом другого вихідного комутатора, другий вихід з'єднаний з другим входом третьої схеми керування переносом, вихід якої з'єднаний з третім входом першого шістнадцятирозрядного суматора, перший вихід другого вихідного комутатора з'єднаний з входом третього і четвертого вихідних регістрів, другий вихід з'єднаний з входами п'ятого і шостого вихідних регістрів, перший вихід третього вихідного комутатора з'єднаний з входом сьомого вихідного регістра, другий вихід з'єднаний з входом п'ятого вихідного регістра, виходи восьми вихідних регістрів з'єднані з входом вихідного комутатора, перший вихід якого з'єднаний з другим виходом пристрою, другий вихід з'єднаний з першим входом другого вхідного комутатора, входи стовпців пам'яті з'єднані з входами вхідних даних пристрою, керуючий вхід пристрою "Код операції" з'єднаний з входом, що керує, вхідного комутатора, з п'ятима входами схем обробки знаків, першими входами схем керування переносом, четвертими входами проміжних комутаторів, другими входами вихідних комутаторів і комутатора вихідних даних.

2. Пристрій за п. 1, який **відрізняється** тим, що блок множення містить два вхідні регістри, які відповідають парі вхідних регістрів пристрою, чотири

десятирозрядні суматори, три дванадцятирозрядні суматори, вихідний регістр, який відповідає парі проміжних регістрів пристрою, причому вихід першого вхідного регістра з'єднаний з першими входами десятирозрядних суматорів, перший і другий виходи другого вхідного регістра з'єднані з другим і третім входами першого десятирозрядного суматора, третій і четвертий виходи другого вхідного регістра з'єднані з другим і третім входами другого десятирозрядного суматора, п'ятий і шостий виходи другого вхідного регістра з'єднані з другим і третім входами другого десятирозрядного суматора, сьомий і восьмий виходи другого вхідного регістра з'єднані з другим і третім входами четвертого десятирозрядного суматора, вихід першого десятирозрядного суматора з'єднаний з першим входом першого дванадцятирозрядного суматора, другий вхід якого з'єднаний з виходом другого десятирозрядного суматора, вихід третього десятирозрядного суматора з'єднаний з першим входом другого дванадцятирозрядного суматора, другий вхід якого з'єднаний з виходом четвертого десятирозрядного суматора, вихід першого дванадцятирозрядного суматора з'єднаний з першим входом третього дванадцятирозрядного суматора, другий вхід якого з'єднаний з першим виходом другого дванадцятирозрядного суматора, другий вихід якого з'єднаний з другим входом вихідного регістра, перший вхід якого з'єднаний з виходом третього дванадцятирозрядного суматора, вихід вихідного регістра з'єднаний з виходом пристрою, входи вхідних регістрів з'єднані з входами пристрою.

Пропонований винахід відноситься до області обчислювальної техніки, зокрема, до пристроїв обробки інформації, що суміщають функції зберігання і обробки даних. Прагнення розробників підвищити швидкодію обчислювальних пристроїв, побудованих по класичній архітектурі, що містять процесор, пам'ять і шини обміну даними, натрапляють на бар'єр, пов'язаний з обмеженими можливостями інтерфейсу процесор-пам'ять. Ці обмеження пояснюються обмеженою смугою пропускання інтерфейсу. Успіхи в розвитку мікроелектроніки зробили можливою інтеграцію на одному кристалі схем обробки і зберігання інформації і таким чином частково зняти обмеження пов'язані з шириною смуги пропускання інтерфейсу. Така архітектура побудови обчислювальних систем отримала назву архітектури типу "процесор-в-пам'яті" ("Processor-in-memory" - PIM). PIM-системи є в даний час однією з найефективніших архітектур комп'ютерних систем, оскільки встановлюють баланс між часом обробки даних і часом доступу до пам'яті за цими даними. Щільне розміщення на чіпі широкого арифметико-логічного пристрою з блоком пам'яті дозволяє отримати малий час очікування доступу к даним. Велику ефективність такі структури показують на завданнях, пов'язаних з обробкою зображень, побудови гістограм, векторно-матричних обчислень. Особливості приведених вище обчислень дозволяють будувати

високоєфективні оброблювальні пристрої на основі PIM-систем. Проте, з урахуванням того, що розмірності вирішуваних задач і необхідні швидкості обчислень постійно зростають, необхідність в побудові високоєфективних оброблювальних пристроїв, що працюють з числами різної розрядності і побудованих за технологією PIM-систем є надзвичайно актуальною.

Відомий патент US №5.396.641, G06F13/00 від 7.03.1995, "Reconfigurable memory processor". Основними елементами пристрою є множина однобітних процесорів, зв'язаних через конвеєрний регістр і схему виправлення одиночної помилки і визначення подвійної з масивом пам'яті. Пристрій також включає первинні селекторні засоби, що підключають виводи пристроїв пам'яті з входами процесорів; вторинні селекторні засоби, засоби декодування для керування селекторними пристроями. Однобітний процесорний елемент виконує функції додавання, переносу й порівняння рядків. До недоліків пристрою слід віднести його низьку швидкодію, що обумовлено побітовою обробкою інформації, особливо це стосується виконання операції множення, на що потрібне велике число циклів роботи пристрою.

Відомий патент EU WO 03/088033 A1, G06F7/38; G06F7/52 від 23.10.2003 "Multiplier-based processor-in-memory architectures for image and graphics processing". Даний пристрій включає

пам'ять з довільним доступом на  $N$  стовпців і арифметико-логічний пристрій (АЛУ) з'єднаний з  $N$  стовпцями. АЛУ має  $M$  помножувачів здатних помножити два  $N/M$  бітні числа і суматори для додавання результатів з виходів помножувачів. У патенті наголошується, що для  $M=2$ , арифметико-логічний пристрій містить два помножувачі чисел  $N/2$  з відповідним щаблем суматорів для підсумовування часткових результатів, отриманих помножувачами. У цих АЛУ проводиться підсумовування  $N$ -розрядних чисел шляхом множення пар чисел на 1 і додавання їх в суматорах. Обчислювальна пам'ять в цьому пристрої містить множину груп по  $N$  стовпців і множину АЛУ, причому одне АЛУ на одну групу з  $N$  стовпців, крім того, для виконання операцій над числами більш ніж  $N$  розрядів і матрично-векторних операцій пристрій має вторинну оброблювальну логіку, що полягає для випадку, коли число груп дорівнює 4, два мультиплексори і три 16-розрядні суматори.

До недоліків пристрою слід віднести недостатню швидкодію, обумовлену наявністю помножувачів  $N/2$  розрядності і лише одного АЛУ на групу з  $N$  стовпців. Крім того, пристрій володіє можливістю виконання операції суми парних добутків і матрично-векторних операцій лише при об'єднанні декількох груп з  $N$  стовпців пам'яті.

Найбільш близьким по функціональним можливостям і складу блоків до пропонованого винаходу є пристрій описаний в доповіді "Cost-Effective Low-Power Processor-in-memory-based Reconfigurable Datapath for Multimedia Applications". International Symposium on Low Power Electronics and Design. 2005. Proceedings of ISLPED'2005 pp. 161-166. Marco Lanuzza, Martin Margala, Pasquale Corsonello. San Diego. CA. USA.

До складу даного пристрою входять: блок пам'яті RAM, 8-ми розрядні вхідні регістри  $A_1 \div A_4$ , 8-ми розрядні регістри зсуву  $B_1 \div B_4$ , диспетчер операндів, чотири процесорні елементи  $Pe_1 \div Pe_4$ , побудованих на основі помножувачів  $N/2$ , тригер запам'ятовування переносу і набір мультиплексорів задаючих вхідний сигнал на входи переносу процесорних елементів, 64-х розрядний конвеєрний регістр, комутаційна мережа на основі мультиплексорів, 64-х розрядний, швидкий що розділяється на частини Brent-Kung суматор, схема обробки знаків, нормалізатор, мультиплексор і 64-х розрядний вихідний регістр. Процесорні елементи пристрою побудовані на основі двох помножувачів  $4 \times 4$ , чотирьох 4-х розрядних суматорів, трьох 4-х розрядних регістрів і додаткових логічних ланцюгів для множення 8-ми розрядних чисел. Множення двох 8-ми розрядних чисел на цих помножувачах відбувається за два такти роботи пристрою. Дані для виконання операцій зчитуються з блоку пам'яті паралельно у всі вісім вхідні регістри  $A_1 \div A_4$  і  $B_1 \div B_4$ .

При роботі з цілими числами пристрій виконує операції додавання/вирахування, множення над числами розрядності 8, 16 і 32.

Операції додавання/вирахування і множення 8-ми розрядних чисел виконуються за допомогою вхідних регістрів  $A_1 \div A_4$  і  $B_1 \div B_4$ , диспетчера операндів, процесорних елементів  $Pe_1 \div Pe_4$  і результат записується в 64-х розрядний конвеєрний регістр.

Пристрій за наявності 4-х  $Pe$  може паралельно виконати чотири вказані операції, причому додавання/вирахування виконується за один такт, а множення за два такти.

Операції додавання/вирахування 16-ти і 32-х розрядних чисел виконуються також з використанням  $Pe_1 \div Pe_4$  із залученням ланцюгів переносу між ними.

Операції множення 16-ти і 32-х розрядних чисел виконуються з використанням комутаційної мережі, 64-бітового швидкого суматора, мультиплексора і результат записується в 64-х розрядний вихідний регістр. При виконанні даних операцій виробляється декомпозиція співмножників на 8-ми розрядні складові з формуванням часткових добутків в процесорних елементах  $Pe_1 \div Pe_4$  з подальшим їх підсумовуванням в 64-х розрядному швидкому суматорі. Склад блоків і зв'язків між ними забезпечують виконання цілочисельних операцій додавання/вирахування і множення даних різної розрядності (від 8 до 32). Проте, в завданнях обробки графіки, зображень, побудови гістограм і матрично-векторних операціях істотний об'єм обчислень займає операція типу суми парних добутків, яка на даному пристрої може бути виконана лише із залученням додаткового устаткування і забезпечення його додатковими зв'язками. Тому даний пристрій володіє недостатніми функціональними можливостями для завдань вказаного класу. Крім того, використання як процесорних елементів пристроїв побудованих на основі помножувачів  $N/2$  розрядності вимагає для виконання операції множення двох  $N$ -розрядних чисел 2 такти роботи пристрою, що знижує загальну швидкодію пристрою.

У основу винаходу покладено завдання створення пристрою з розширеними функціональними можливостями, а саме, виконання операції суми парних добутків над цілочисельними даними з розрядністю 8 і 16 розрядів за рахунок введення нових функціональних елементів і структурних змін, а також підвищення швидкодії пристрою за рахунок використання повнорозрядних помножувачів  $N \times N$ , де  $N=8$ .

Технічне завдання вирішується пристроєм, до складу якого входять: блок пам'яті 1, набір вхідних регістрів 3-1÷3-8, комутатор вхідних даних 2, набір помножувачів 4-1÷4-4, набір проміжних регістрів 5-1÷5-8, чотири 8-ми розрядних суматора, два вхідні комутатори 6-1 і 6-2, два 16-ти розрядних суматора 11-1 і 11-2, дві схеми обробки знаків 9-1 і 9-2, три схеми керування переносом 12-1, 12-2 і 12-3, два проміжні комутатори 7-1 і 7-2, три вихідні комутатори 8-1, 8-2 і 8-3, комутатор вихідних даних 14, причому виходи стовпців пам'яті 1 з'єднані з входами вхідного комутатора 2, виходи якого з'єднані з входами вхідних регістрів 3-1÷3-8 і входами проміжних регістрів 5-1÷5-8, виходи помножувачів 4-1÷4-4 з'єднані з входами відповідних проміжних регістрів 5-1÷5-8, другі виходи проміжних регістрів 5-1÷5-4 з'єднані з 2, 3, 4 і 5 входами першого вхідного комутатора 6-1, другі виходи проміжних регістрів 5-5÷5-8 з'єднані з 2, 3, 4 і 5 входами другого вхідного комутатора 6-2 відповідно, вихід першого вихідного комутатора 8-1 з'єднаний з входом тре-

тього вихідного регістра 13-3, вихід 3 проміжних регістрів 5-1÷5-8 з'єднаний з виходом 1 пристрою, виходи першого 3-1 і другого 3-2 вхідних регістрів з'єднані з входами першого помножувача 4-1, виходи третього 3-3 і четвертого 3-4 вхідних регістрів з'єднані з входами другого помножувача 4-2, виходи п'ятого 3-5 і шостого 3-6 вхідних регістрів з'єднані з входами третього помножувача 4-3, виходи сьомого 3-7 і восьмого 3-8 вхідних регістрів з'єднані з входами четвертого помножувача 4-4, перші виходи першого 5-1, другого 5-2, третього 5-3 і четвертого 5-4 проміжних регістрів з'єднані з 1, 2, 3, 4 входами першої схеми обробки знаків 9-1, вихід якої з'єднаний з входом 6 першого вхідного комутатора 6-1 і третіми входами першого 10-1 і другого 10-2 восьмирозрядних суматорів, вхід 1 першого вхідного комутатора 6-1 з'єднаний з виходами першого 13-1 і другого 13-2 вихідних регістрів, вихід 1 першого вхідного комутатора 6-1 з'єднаний з входом 1 першого проміжного комутатора 7-1, вихід 2 і вихід 3 першого проміжного комутатора 6-1 з'єднані з першими і другими входами першого 10-1 і другого 10-2 восьмирозрядних суматорів відповідно, перший вихід другого 8-ми розрядного суматора з'єднаний з входом 3 першого проміжного комутатора 7-1 і входом 1 першого вихідного комутатора 8-1, другий вихід з'єднаний з входом 2 першої схеми керування переносом 12-1, вихід першої схеми керування переносом 12-1 з'єднаний з входом 4 першого 8-ми розрядного суматора 10-1, вихід якого з'єднаний з входом 2 першого проміжного комутатора 7-1, вихід 1 і вихід 2 якого з'єднані з входом 1 і входом 2 першого 16-ти розрядного суматора 11-1 відповідно, вихід 3 з'єднаний з входом 2 другого 16-ти розрядного суматора 11-2, вихід першого 16-ти розрядного суматора з'єднаний з входом першого 13-1 і другого 13-2 вхідних регістрів, виходи п'ятого 5-5, шостого 5-6, сьомого 5-7 і восьмого 5-8 проміжних регістрів з'єднані з 1, 2, 3, 4 входами другої схеми обробки знаків 9-2, вихід якої з'єднаний з входом 6 другого вхідного комутатора 6-2, вихід 1 якого з'єднаний з входом 1 другого проміжного комутатора 7-2, виходи 2 і 3 з'єднані з першими і другими входами третього і четвертого 8-ми розрядних суматорів відповідно, третій вхід цих суматорів з'єднаний з виходом другої схеми обробки знаків 9-2, перший вихід четвертого 8-ми розрядного суматора 10-4 з'єднаний з входом 3 другого проміжного комутатора 7-2 і входом третього вихідного комутатора 3-3, другий вихід з'єднаний з другою схемою керування переносом 12-2, вихід якої з'єднаний з входом 4 третього 8-ми розрядного суматора 10-3, вихід якого з'єднаний з входом 2 другого проміжного комутатора 7-2, вихід 1 і 3 якого з'єднані з входом 1 і 3 другого 16-ти розрядного суматора 11-2 відповідно, вихід 2 з'єднаний з входом 2 першого 16-ти розрядного суматора 11-1, другий вхід другого 16-ти розрядного суматора 11-2 з'єднаний з виходом 2 першого вихідного комутатора 8-1, вихід 1 другого 16-ти розрядного суматора 11-2 з'єднаний з першим входом другого вихідного комутатора 8-2, вихід 2 з'єднаний з входом 2 третьої схеми керування переносом 12-3, вихід якої з'єднаний з входом 3 першого 16-ти розрядного суматора 11-1, вихід 1 другого вихідного комута-

тора 8-2 з'єднаний з входом третього 13-3 і четвертого 13-4 вихідних регістрів, вихід 2 з'єднаний з входами п'ятого 13-5 і шостого 13-6 вихідних регістрів, вихід 1 третього вихідного комутатора 8-3 з'єднаний з входом сьомого 13-7 вихідного регістра, вихід 2 з'єднаний з входом п'ятого 13-5 вихідного регістра, виходи восьми вихідних регістрів з'єднані з входом вихідного комутатора 14, перший вихід якого з'єднаний з другим виходом пристрою, другий вихід з'єднаний з входом 1 другого вхідного комутатора 6-2, входи стовпців пам'яті 1 з'єднані з входами вхідних даних пристрою, вхід, що керує "Код операції", з'єднаний з керуючим входом вхідного комутатора, з п'ятьма входами схем обробки знаків, першими входами схем керування переносом, четвертими входами проміжних комутаторів, другими входами вихідних комутаторів і комутатора вихідних даних.

Для підвищення швидкодії пристрій використовує блок множення, який у відмінності від прототипу дозволяє виконати повнорозрядне множення 8-ми розрядних чисел за один такт (команду), при цьому помножувач містить два вхідні регістри 15 і 16, які відповідають парі вхідних регістрів 3 пристрою, чотири 10-ти розрядних суматори 17-1÷17-4, три 12-ти розрядних суматори 18-1÷18-3, вихідний регістр 19, який відповідає парі проміжних регістрів 5 пристрою, причому вихід першого вхідного регістра 15 з'єднаний з входами 1 суматорів 17-1÷17-4, виходи 1, 2 другого вхідного регістра 16 з'єднані з 2, 3 входами першого 10-ти розрядного суматора 17-1, виходи 3, 4 другого вхідного регістра 16 з'єднані з 2, 3 входами другого 10-ти розрядного суматора 17-2, виходи 5, 6 другого вхідного регістра 16 з'єднані з 2, 3 входами третього 10-ти розрядного суматора 17-3, виходи 7, 8 другого вхідного регістра 16 з'єднані з 2, 3 входами четвертого 10-ти розрядного суматора 17-4, вихід першого 10-ти розрядного суматора 17-1 з'єднаний з входом 1 першого 12-ти розрядного суматора 18-1, вхід 2 якого з'єднаний з виходом другого 10-ти розрядного суматора 17-2, вихід третього 10-ти розрядного суматора 17-3 з'єднаний з входом 1 другого 12-ти розрядного суматора 18-2, вхід 2 якого з'єднаний з виходом четвертого 10-ти розрядного суматора 17-4, вихід першого 12-ти розрядного суматора 18-1 з'єднаний з входом 1 третього 12-ти розрядного суматора 18-3, вхід 2 якого з'єднаний з виходом 1 другого 12-ти розрядного суматора 18-2, вихід 2 якого з'єднаний з входом 2 вихідного регістра 19, вхід 1 якого з'єднаний з виходом третього 12-ти розрядного суматора 18-3, вихід вихідного регістра 19 з'єднаний з виходом пристрою, входи вхідних регістрів 15 і 16 з'єднані з входами 1 і 2 пристрою.

Приведений вище опис блоків і зв'язків дозволяє пристрою, що заявляється, окрім операцій цілочисельної арифметики над 8, 16, 32 розрядними числами виконати операцію суми парних добутоків над 8, 16 розрядними числами, яка є основоположною при обробці графіки, зображень і при матрично-векторних операціях, тому відмітні ознаки пристрою, що заявляється, є істотними і дозволяють досягти поставленої мети.

Схема пристрою, що заявляється, представлена на Фіг.1. Вона наведена для випадку, коли

блок пам'яті 1 містить  $M$  стовпців, де  $M=8$ , при цьому кількість помножувачів в пристрої дорівнює  $M/2=4$ . Блок пам'яті 1 в цьому випадку міститиме вісім 8-розрядних стовпців, а глибина пам'яті  $L$  визначається можливостями застосовуваної технології виконання пристрою. Комутатор вхідних даних 2 має вісім 8-розрядних входів і вісім 8-розрядних виходів. Загальне число вхідних регістрів  $3-1 \div 3-8$  в цьому випадку дорівнює 8 і їх розрядність відповідає 8-им операндам. Розрядність паралельних помножувачів  $4-1 \div 4-4$  на два інформаційні входи і один вихід рівна 8 і їх кількість визначають як  $M/2=4$  і вони виконують операцію повнорозрядного множення  $8 \div 8$  за один такт. Виходи помножувачів підключені на входи восьми 8-розрядних проміжних регістрів  $5-1 \div 5-8$ . Приведені вище блоки утворюють перший ступінь обробки. Другий ступінь містить: два вхідних комутатори 6-1 і 6-2 на 5 інформаційні входи  $1 \div 5$  і 3 інформаційні виходи  $1 \div 3$ , двох проміжних комутаторів 7-1 і 7-2 на 3 інформаційні входи  $1 \div 3$  і 2 інформаційні виходи 1 і 2, трьох вихідних комутаторів 8-1, 8-2 і 8-3 на один інформаційний вхід і два інформаційні виходи 1 і 2, дві схеми обробки знаків операндів 9-1 і 9-2 на чотири інформаційні входи  $1 \div 4$  і один вихід, два восьмизрядні суматори 10-1, 10-3 на 4 інформаційні входи  $1 \div 4$  і один інформаційний вихід, два восьмизрядні суматори 10-2, 10-4 на 3 інформаційні входи  $1 \div 3$  і два інформаційні виходи 1 і 2, два 16-ти розрядні суматори 11-1 на три інформаційні входи 1, 2 і 3 і один інформаційний вихід і 11-2 на три інформаційні входи і два інформаційні виходи, три схеми керування переносом 12-1, 12-2 і 12-3 з одним інформаційним входом і одним інформаційним виходом, вісім 8-ми розрядних вихідних регістрів  $13-1 \div 13-8$ , причому регістри 13-3, 13-5, 13-6 і 13-7 є регістри зсуву і комутатор вихідних даних 14 на два інформаційні входи і два інформаційні виходи. Всі комутатори, схеми керування переносом і схеми обробки знаків мають входи, що управляють, які з'єднані з входом "Код операції" пристрою.

Призначення блоків пристрою наступне: блок пам'яті 1 призначений для зберігання вхідних операндів пристрою, причому дані можуть зчитуватися одночасно у всіх восьми стовпцях блоку пам'яті, комутатор вхідних даних 2 залежно від типу операції здійснює запис вхідних операндів в ті або інші вхідні регістри  $3-1 \div 3-8$  першого ступеню операційного пристрою, або в проміжні регістри  $5-1 \div 5-8$ . Перша ступінь призначена для виконання операції множення, при цьому вона формує або остаточний результат, якщо розрядність вхідних операндів дорівнює 8 і менш, або формує часткові добутки операції множення, якщо розрядність операндів дорівнює 16 або 32 розряди.

Для виконання операції множення застосовані чотири 8-ми розрядні що працюють паралельно помножувачі  $4-1 \div 4-4$ . При цьому за допомогою цих помножувачів можна виконати або чотири множення восьмизрядних чисел, або сформувати часткові добутки двох пар 16-ти розрядних чисел, або сформувати часткові добутки двох 32-х розрядних чисел. Результати операції множення зберігають в проміжних регістрах  $5-1 \div 5-8$  першого ступеню і, або подають на вихід 1 пристрою, або надходять для подальшої обробки в другий ступінь пристрою.

Другий ступінь пристрою призначений для виконання арифметичних операцій додавання/вирахування операндів різної розрядності, додавання часткових добутків сформованих в першому ступені для отримання остаточного результату множення 16-ти і 32-х розрядних чисел, отримання остаточного результату операції суми парних добутків чисел різної розрядності.

Для керування вхідними даними, які надходять в другий ступінь операційного пристрою з регістрів  $5-1 \div 5-8$  використовують вхідні комутатори 6-1 і 6-2, при цьому комутатор 6-1 управляє даними, що надходять з регістрів  $5-1 \div 5-4$ , а комутатор 6-2 - даними з регістрів  $5-5 \div 5-8$ . Залежно від типу операції, знаків операндів, сигнали яких обробляються схемами обробки знаків 9-1 і 9-2, комутатори формують вхідні дані для суматорів  $10-1 \div 10-4$ . Суматори  $10-1 \div 10-4$  використовують для отримання результату операцій додавання/вирахування 8-ми і 16-ти розрядних операндів, при цьому при підсумовуванні 16-ти розрядних операндів за допомогою схем керування переносом 12-1 і 12-2 суматори 10-1 і 10-2, 10-3 і 10-4 об'єднують в 16-ти розрядні суматори відповідно. Таким чином, за допомогою суматорів  $10-1 \div 10-4$  можна виконати паралельно 4 операції додавання 8-ми розрядних чисел або дві операції додавання 16-ти розрядних чисел.

Комутатори 7-1 і 7-2 залежно від сигналу управління на вході 4 здійснюють подачу даних на входи суматорів 11-1 і 11-2 або з виходів суматорів 10-1 і 10-2, 10-3 і 10-4, або з виходу комутаторів 6-1 і 6-2, відповідно. Суматори 11-1 і 11-2 формують результати операцій при додаванні 32-х розрядних чисел, множенні 16-ти і 32-х чисел, операції суми парних добутків 8-ми і 16-ти розрядних чисел. Схема керування переносом 12-3 служить для об'єднання двох 16-ти розрядних суматорів 11-1 і 11-2 в один 32-х розрядний суматор, який формує 32-х розрядну суму, результат операції множення 16-ти і 32-х розрядних чисел, результат операції суми парних добутків 16-ти розрядних чисел. Комутатор 8-1 з виходу 1 здійснює запис вихідних даних з суматора 10-2 у вихідний регістр 13-3, або передає їх на вхід 2 суматора 11-2. Комутатор 8-2 записує вихідні дані з виходу суматора 11-2 або у вихідні регістри 13-5 і 13-6 при операції множення 16-ти розрядних чисел, або в регістри 13-3 і 13-4 при операції множення 32-х розрядних чисел. Комутатор 8-3 записує вихідні дані з виходу суматора 10-4 у вихідний регістр 13-7 при додаванні 8, 16 розрядних чисел, множенні 8, 16 розрядних чисел, операції суми парних добутків або в регістр 13-5 при множенні 32-х розрядних чисел. У вихідні регістри  $13-1 \div 13-8$  записують результати виконання всіх операцій, окрім множення 8-ми розрядних чисел, причому регістри 13-3, 13-5  $\div$  13-7 є регістрами зсуву, для того, щоб розмістити вихідні розряди результату у відповідну позицію.

На Фіг.2 представлена схема помножувача, що виконує операцію множення двох 8-ми розряд-

них чисел за один такт (команду). У його склад входять: вхідні регістри 15 і 16, які є частиною вхідних регістрів всього пристрою, чотири 10-ти розрядні суматора 17-1÷7-4 на три інформаційні входи і один інформаційний вихід, три 12-ти розрядні суматора 18-1÷18-3, суматори 18-1, 18-3 на два інформаційні входи і один інформаційний вихід, 18-2 на два інформаційні входи і два інформаційні виходи, вихідний регістр 19, який в даному випадку є частиною проміжних регістрів пристрою. Блоки помножувача мають наступне призначення: у вхідні регістри 15 і 16 записують вхідні дані, а саме, в 15 - множене, в 16 - множник. У суматори 17-1÷17-4 надходять розряди множеного на вхід 1 і відбувається формування часткових добутків операції під впливом розрядів множника що надходять на 2 і 3 входи цих суматорів. Суматори проводять підсумовування пари часткових добутків зрушених один щодо одного на один розряд. У суматорах 18-1 і 18-2 відбувається підсумовування результатів з виходів 17-1 і 17-2, 17-3 і 17-4 відповідно із зсувом один щодо одного на два розряди. Суматор 18-3 підсумовує 12-ти розрядні дані з виходу 18-1 і старші 8 розрядів з виходу 1 суматора 18-2, причому ці 8-м розрядів надходять в молодші розряди 18-3. Чотири молодші розряди суми з виходу 2 суматори 18-2 записують в 4 молодших розряди регістра 19. Результат підсумовування з виходу 18-3, що представляє собою старші 12 розрядів операції множення, записують у вихідний регістр 19.

Операції операційного пристрою РІМ-системи.

Операціями операційного пристрою РІМ-системи є операції цілочисельного додавання/вирахування, множення 8-ми, 16-ти і 32-х розрядних чисел, суми парних добутків 8-ми і 16-ти розрядних чисел. При чому, на відміну від прототипу помножувачі першого ступеня пристрою виконують тільки операцію множення 8-ми розрядних чисел, що є базовою при виконанні решти операцій. Для операцій типу додавання/вирахування цілочисельних даних різної розрядності використовують суматори другого ступеня.

Операції множення 16-ти, 32-х розрядних чисел і суми парних добутків 8-ми і 16-ти розрядних чисел проводять за допомогою помножувачів і суматорів обох ступенів операційного пристрою.

Операція додавання 8-ми розрядних чисел.

Пропонований пристрій дозволяє одночасно складати чотири пари 8-ми розрядних чисел. Передбачається, що початкові доданки зберігаються в сусідніх стовпцях блоку пам'яті 1. При виконанні даної команди початкові числа одночасно зчитують у всіх восьми стовпцях пам'яті і за допомогою вхідного комутатора 2 пари доданків записують в проміжні регістри операційного пристрою, першу пару операндів записують в регістрах 5-1 і 5-2, друга - 5-3 і 5-4, третя - 5-5 і 5-6 і четверта - 5-7 і 5-8.

З виходів регістрів 5-1÷5-4 значення операндів надходять на інформаційні входи 2, 3, 4 і 5 комутатора 6-1 відповідно, а з виходів регістрів 5-5÷5-8 на інформаційні входи 2, 3, 4 і 5 комутатора 6-2. Під управлінням керуючого сигналу з виходу схеми обробки знаків 9-1 що подається на вхід 6 комутатора 6-1 вхідні операнди з регістрів 5-1 і 5-3 з ви-

ходу 2 комутатора 6-1 надходять на перші входи суматорів 10-1 і 10-2 відповідно. На другі входи цих суматорів надходять значення операндів з третього виходу комутатора 6-1, на 4 і 5 входи якого надходять операнди з регістрів 5-3 і 5-4. Суматори 10-3 і 10-4 працюють аналогічно суматорам 10-1 і 10-2. На їх входи 1 і 2 з виходів 2 і 3 комутатора 6-2 надходять відповідні значення пар доданків з регістрів 5-5 і 5-6, 5-7 і 5-8. З виходу суматора 10-1 результат операції додавання надходить на вхід 2 комутатора 7-1 і з його першого виходу через суматор 11-1, на вхід 2 якого 0, записується у вихідний регістр пристрою 13-1. Результат операції з виходу суматора 10-2 надходить на перший вхід комутатора 8-1 і з його першого виходу записується у вихідний регістр 13-3 пристрою. З виходу суматора 10-3 результат операції надходить на другий вхід комутатора 7-2 і далі з його першого виходу через суматор 11-2 з виходу 2 комутатора 8-2 записується у вихідний регістр 13-5 пристрою. З першого виходу суматора 10-4 результат операції надходить на перший вхід комутатора 8-3 із його першого виходу записується у вихідний регістр 13-7 пристрою. Таким чином, одночасно в регістрах 13-1, 13-3, 13-5, 13-7 буде записаний результат операції додавання чотирьох пар 8-ми розрядних чисел.

Операція вирахування 8-ми розрядних чисел.

При виконанні даної операції будемо вважати, що числа зберігають в блоці пам'яті 1 в прямому коді і старший розряд є знак числа. Виконання ж самої операції відбувається в додатковому коді, для чого в структурі пристрою передбачені відповідні блоки і зв'язки. Так само як і при операції додавання, операнди зчитують з блоку пам'яті 1 і за допомогою вхідного комутатора 2 записують в проміжні регістри першого ступеня пристрою. Перша пара операндів в регістри 5-1 і 5-2, друга - в 5-3 і 5-4, третя - 5-5 і 5-6, четверта - в 5-7 і 5-8. При виконанні даної операції знакові розряди чисел з регістрів 5-1, 5-2, 5-3 і 5-4 і сигнал типу операції надходять на 1, 2, 3, 4 і 5 входи першої схеми обробки знаків операндів 9-1. Значення знакових сигналів з регістрів 5-5, 5-6, 5-7 і 5-8 і той же сигнал типу операції надходять на 1, 2, 3, 4 і 5 входи другої схеми обробки знаків операндів 9-2. Залежно від значень знаків операндів і типу операції схеми обробки знаків 9-1 і 9-2 виробляють керуючі сигнали на виході, які надходять на входи 6 комутаторів 6-1 і 6-2. Залежно від значення керуючого сигналу на входах 6 комутаторів 6-1 і 6-2 значення операндів з регістрів 5-1÷5-8 буде зчитуватися або з прямих, або з інверсних виходів тригерів. Таким чином відбувається перетворення чисел в зворотний код. Крім того, з керуючого виходу схем 9-1 і 9-2 в молодший розряд відповідних суматорів подається 1, для виконання операції вже в додаткових кодах. З виходів суматорів 10-1, 10-2, 10-3 і 10-4 результат операції за допомогою комутаторів 7-1, 8-1, 7-2 і 8-2 відповідно записують так само, як і при операції додавання у вихідні регістри 13-1, 13-3, 13-5, 13-7.

Операція додавання/вирахування 16-ти розрядних чисел.

При виконанні даної операції 16-ти розрядні операнди зчитують з блоку пам'яті 1 і за допомо-

гою вхідного комутатора 2 записують в регістри 5-1÷5-8, при цьому перший операнд зберігається в регістрах 5-1 і 5-2, другий - в 5-3 і 5-4, третій - в 5-5 і 5-6, четвертий - в 5-7 і 5-8. Сигнал типу операції надходить на вхід 5 схем обробки знаків 9-1 і 9-2. На 1 і 3 входи цих схем надходять значення знакових розрядів операндів. Залежно від значень цих сигналів схеми 9-1 і 9-2 виробляють на своїх виходах керуючий сигнал, що надходить на входи 6 комутаторів 6-1 і 6-2. Під впливом даного сигналу з виходів регістрів 5-1 і 5-2 зчитуються значення першого 16-ти розрядного операнда з прямих, або з інверсних виходів і через входи 2 і 3 комутатори 6-1 і його другий вихід подають на перші входи суматорів 10-1 і 10-2. Значення другого 16-ти розрядного операнда також або з прямих, або з інверсних виходів надходить на входи 4 і 5 комутатора 6-1 і далі з третього його виходу подають на другі входи суматорів 10-1 і 10-2.

Аналогічно, для другої пари операндів, що зберігаються в регістрах 5-5 і 5-6, 5-7 і 5-8 за допомогою комутатора 6-2 формують вхідні дані на перших і других входах суматорів 10-3 і 10-4.

Для забезпечення додавання 16-ти розрядних операндів суматори 10-1 і 10-2, 10-3 і 10-4 за допомогою схем керування переносом 12-1 і 12-2 об'єднують в 16-ти розрядні суматори. Для цього на входи 1 схем 9-1 і 9-2 подають сигнал типу операції, що дозволяє переносу із старших розрядів суматорів 10-2 і 10-4 через другі входи схем 12-1 і 12-2 і їх виходи розповсюдити в молодші розряди суматорів 10-1 і 10-3 відповідно. Результат операції з виходів суматорів 10-1 і 10-2 надходить на 2 і 3 входи комутатора 7-1 і далі з його першого виходу через вхід 1 і вихід комутатора 11-1 у вигляді 16-ти розрядного числа записують у вихідні регістри 13-1 і 13-2. З виходів суматорів 10-3 і 10-4 результат операції надходить на 2 і 3 входи комутатора 7-2 і з його першого виходу через вхід 1 суматора і вихід 1 суматора 11-2, вхід 1 і вихід 2 комутатори 8-2 записують у вихідні регістри 13-5 і 13-6. Таким чином, у вихідних регістрах буде записаний одночасно результат операції над двома парами 16-розрядних чисел.

Операція додавання/вирахування 32-х розрядних чисел.

При виконанні операції додавання/вирахування 32-розрядних чисел початкові операнди з блоку пам'яті 1 за допомогою комутатора 2 поміщають в регістри 5-1÷5-8, при цьому перший 32-розрядний операнд записується в регістри 5-1÷5-4, а другий - в регістри 5-5÷5-8. Керування зчитуванням операндів з цих регістрів, як і в попередніх операціях, здійснюють за допомогою схем обробки знаків 9-1 і 9-2. Через 2, 3, 4 і 5 входи комутатора 6-1 вміст регістрів 5-1÷5-4 надходить на перший його вихід і далі на перший вхід комутатора 7-1. Вміст регістрів 5-5÷5-8 через 2, 3, 4 і 5 входи комутатора 6-2 з його першого виходу надходить на перший вхід комутатора 7-2. З першого виходу комутатора 7-1 старші 16 розрядів першого операнда подають на перший вхід 16-ти розрядного суматора 11-1. Молодші 16 розрядів першого операнда з виходу 3 комутатори 7-1 надходять на другий вхід 16-ти розрядного суматора 11-2. Старші розряди другого операнда з виходу 2

комутатори 7-2 надходять на вхід 2 суматора 11-1. Для того, щоб суматори 11-1 і 11-2 могли виконати 32-х розрядну операцію, їх об'єднують схемою керування переносом 12-3, яка під керуванням сигналу на вході 1 дозволяє розповсюдити перенос з виходу 2 старшого розряду суматора 11-2 на вхід 3 суматора 11-1, тобто в його молодший розряд. Результат додавання молодших розрядів з першого виходу суматора 11-2 надходить на перший вхід комутатора 8-2 і з його першого виходу 16-ти розрядний результат записують у вихідні регістри 13-3 і 13-4. З виходу суматора 11-1 16-ти розрядний результат записують у вихідні регістри 13-1 і 13-2. Таким чином, в регістрах 13-1÷13-4 зберігають 32-х розрядне значення результату операції.

Операція множення 8-ми розрядних чисел.

При виконанні даної операції 8-ми розрядні операнди зчитують кожен з свого стовпця пам'яті 1 і за допомогою вхідного комутатора 2 поміщають у вхідні регістри першого ступеня пристрою 3-1 ÷3-8. Першу пару співмножників зберігають в регістрах 5-1 і 5-2, друга - 5-3 і 5-4, третя - 5-5 і 5-6, четверта - 5-7 і 5-8. З виходів регістрів операнди 8-ми розрядним кодом надходять на 1 і 2 входи відповідних помножувачів 4-1÷4-4. З виходів помножувачів 16-ти розрядні результати операції надходять на входи проміжних регістрів 5-1÷5-8, причому старші 8 розрядів записують в регістри 5-1, 5-3, 5-5 і 5-7, молодші - в 5-2, 5-4, 5-6 і 5-8. Таким чином, в регістрах 5-1 і 5-2 зберігають перший 16-ти розрядний результат, в регістрах 5-3 і 5-4 - другий, в регістрах 5-5 і 5-6 - третій, в регістрах 5-7 і 5-8 - четвертий. Наявність чотирьох паралельно працюючих помножувачів дозволяє пристрою виконати одночасно чотири операції множення 8-ми розрядних чисел. У відмінності від прототипу операція виконується за один такт.

Операції множення 16-ти розрядних чисел.

При виконанні даної операції використовується метод декомпозиції співмножників, коли кожен з них представляється 8-ми розрядними частинами в наступному вигляді:  $A=(A_1[15:8], A_2[7:0])$  і  $B_1=(B_1[15:8], B_2[7:0])$ . Для отримання результату операції за допомогою 8-ми розрядних помножувачів необхідно виконати наступні дії:

$$A \times B = A_1 \times B_1 + A_1 \times B_2 + A_2 \times B_1 + A_2 \times B_2.$$

Як наголошувалося вище, для даної операції використовують обидва ступені пристрою і виконують в два етапи. На першому етапі перший ступінь формує 16-ти розрядні часткові добутки молодших 8-ми розрядів  $A_2$  співмножника  $A$  і обох частин  $B_1$  і  $B_2$  співмножника  $B$  і передає їх для підсумовування на суматори другого ступеня. Під час підсумовування цих часткових добутків в суматорах другого ступеня, в першому ступені помножувачі формують наступну пару 16-ти розрядних часткових добутків старших 8-ми розрядів  $A_1$  співмножника  $A$  і обох частин  $B_1$  і  $B_2$  співмножника  $B$ . Знов сформовані часткові добутки надходять в другий ступінь і підсумовуються з результатом попереднього етапу.

Операнди, що беруть участь в даній операції, зберігають в сусідніх 8-ми розрядних стовпцях

блоку пам'яті 1. На першому етапі виконання операції за допомогою вхідного комутатора 2 у вхідні регістри 3-1 і 3-3 записують молодші 8 розрядів  $A_2$  співмножника А, в регістр 3-2 записують старші 8 розрядів  $B_1$  співмножника В, в регістр 3-4 молодші 8 розрядів  $B_2$  співмножника В. За допомогою помножувачів 4-1 і 4-2 проводять множення операндів  $A_2 \times B_1$  і  $A_2 \times B_2$ , 16-ти розрядний результати операції записують в проміжні регістри 5-1 і 5-2, 5-3 і 5-4 відповідно, при цьому в регістрі 5-1 зберігають старші 8 розрядів твору  $A_2 \times B_1$ , у регістрі 5-2 - молодші 8 розрядів; у регістрі 5-3 старші 8 розрядів твору  $A_2 \times B_2$ , у регістрі 5-4 - молодші 8 розрядів. Надалі дані з регістрів 5-1 і 5-2, 5-3 і 5-4 надходять в другий ступінь для підсумовування, причому підсумовування потрібно проводити із зсувом одного доданку щодо другого на 8 розрядів у бік старших розрядів. Для здійснення даної операції, дані з 5-1 надходять на другий вхід комутатора 6-1, з 5-2 - на третій вхід, з 5-3 - на четвертий вхід, з 5-4 - на п'ятий вхід. На перший вхід комутатора 6-1 надходять дані, записані у вихідних регістрах 13-1 і 13-2, на першому етапі значення яких дорівнює 0. Дані на входах 4 і 5 комутатора 6-1 з виходу 3 надходять на другі входи суматорів 10-1 і 10-2, на перші входи яких подаються дані з першого входу комутатора 6-1 через другий його вихід. Таким чином, на виході 10-1 і 10-2 буде сформована сума даних, що зберігаються в регістрах (5-3, 5-4) + (13-1, 13-2). З виходу суматора 10-2 молодші 8 розрядів суми надходять на вхід 1 комутатора 8-6 і далі з його першого виходу записуються у вихідний регістр 13-3. Старші 8 розрядів суми з виходу суматора 10-1 надходять на вхід 2 комутатора 7-1, на вхід 1 якого надходять дані з першого виходу комутатора 6-1, що для даної операції підключений до його входів 2 і 3, а значить до виходів регістрів 5-1 і 5-2. З виходу 1 комутатора 7-1 16-ти розрядні дані надходять на перший вхід суматора 11-1, на другий вхід якого надходять дані з виходу 10-1 через другий вхід і другий вихід комутатора 7-1 і далі подаються в 8 молодших розрядів суматора 11-1. Таким чином, здійснюється необхідний для даної операції 8-ми розрядний зсув даних. З виходу суматора 11-1 результат підсумовування у вигляді 16-ти розрядного коду записують у вихідні регістри 13-1 і 13-2. Таким чином, після першого етапу виконання операції у вихідних регістрах 13-1, 13-2 і 13-3 буде записаний 24-х розрядний код, який відповідатиме:  $(A_2 \times B_1) + (A_2 \times B_2)$ .

Під час виконання операції підсумовування часткових добутків в другому ступені, паралельно в першому ступені відбувається формування частини часткових добутків, що залишилися. Для цього у вхідні регістри 3-1 і 3-3 з блоку пам'яті 1 за допомогою комутатора 2 записують старші 8 розрядів  $A_1$  співмножника А, вміст регістрів 3-2 і 3-4 залишається без зміни, а саме, в регістрі 3-2 зберігають значення  $B_1$ , в регістрі 3-4 -  $B_2$ . З регістра 3-1 співмножник  $A_1$  подається на вхід 1 помножувача 4-1, а на вхід 2 - співмножник  $B_1$  з регістра 3-2. Аналогічні дії виконуються і з вмістом регістрів 3-3 і 3-4, дані з яких надходять на 1 і 2 входи 4-2. На виходах помножувачів будуть сформовані 16-ти розрядні часткові добутки  $A_1 \times B_1$  і  $A_1 \times B_2$ , які записують в проміжні регістри 5-1 і 5-2, 5-3 і 5-4. В цей

же час, як вказувалося вище, у вихідних регістрах 13-1, 13-2 і 13-3 буде сформований результат  $(A_2 \times B_1) + (A_2 \times B_2)$ . Восьмирозрядний код, що зберігається в регістрі 13-3, є 8-м розрядів остаточного результату і в процесі підсумовування часткових добутків його зрушують в регістр 13-4, при цьому 13-3 звільняють для прийому наступних 8-ми розрядів даних. Для остаточного підсумовування часткових добутків вміст регістрів 5-3 і 5-4 подають на 4 і 5 входи комутатора 6-1 і далі з його вихода 3 він надходить на другі входи суматорів 10-1 і 10-2. На входи 1 цих суматорів надходять дані з регістрів 13-1 і 13-2 через перший вхід і другий вихід комутатора 6-11. Ваги розрядів даних що надходять на суматори 10-1 і 10-2 співпадають і тому їх подають без зсуву у відповідні розряди суматорів. Вихідні дані, що надходять з виходів 2 і 3 комутатора 6-1 є 16-ти розрядні коди, при цьому 10-1 підсумовує старші 8 розрядів, а суматор 10-2 - молодші 8 розрядів. Для отримання правильного результату операції за допомогою схеми керування переносом 12-1 суматори об'єднують в один 16-ти розрядний суматор. Молодші 8 розрядів суми з виходу суматора 10-2 надходять на вхід 1 комутатора 8-1 і далі з його першого виходу записують в регістр, що звільнився, 13-3. Старші 8 розрядів з виходу 10-1 надходять на вхід 2 комутатора 7-1 і з його другого виходу на другий вхід 11-1 в його молодших 8 розрядів. На перший вхід 16-ти розрядного суматора 11-1 надходять дані з регістрів 5-1 і 5-2 через 2, 3 входи комутатора 6-1 і його перший вихід, перший вхід і вихід комутатора 7-1. В результаті на виході суматора 11-1 будуть сформовані 16 старших розрядів добутку двох 16-ти розрядних операндів, які записують в регістри 13-1 і 13-2. Таким чином, у вихідних регістрах 13-1÷13-4 у наступному порядку буде записаний остаточний результат операції: у регістрі 13-4 - молодші 8 розрядів, в регістрі 13-3 - розряди з 9 по 16, в регістрі 13-2 - розряди 17÷24, у регістрі 13-1 - розряди 25÷32.

Аналогічно обробляють і другу пару 16-ти розрядних операндів за допомогою другої половини блоків пристрою. При цьому за допомогою комутатора 2 молодші 8 розрядів одного співмножника поміщають у вхідні регістри 3-5 і 3-7, а другий співмножник старшими 8-ми розрядами розташовується в регістрі 3-6, а молодшими 8-ми розрядами в регістрі 3-8. Помножувачі 4-3 і 4-4 формують першу пару часткових добутків і 16-ти розрядні дані з їх виходів записують у проміжні регістри 5-5 і 5-6, 5-7 і 5-8 відповідно. З виходів регістрів 5-7 і 5-8 дані надходять через комутатор 6-2 на другі входи суматорів 4-3 і 4-4, на перші входи яких подають дані з вихідних регістрів 13-5 і 13-6 через комутатори 14 і 6-2. З виходу суматора 10-4 молодші розряди результату через комутатор 8-3 записують у вихідний регістр 13-7. З виходу 10-3 старші 8 розрядів через комутатор 7-2 надходять на вхід 3 16-ти розрядного суматора 11-2 у його молодші розряди. На вхід 1 суматора 11-2 надходять дані з регістрів 5-5 і 5-6 через комутатор 6-2 і 7-2. Результат операції підсумовування з виходу 11-2 через комутатор 8-2 записується у вихідні регістри 13-5 і 13-6. Таким чином, в регістрах 13-5, 13-6 і 13-7 буде записана 24-розрядна сума перших час-



ткових добутків. В процесі підсумовування часткових добутків в другому ступені, перший ступінь формує другу пару часткових добутків. Для цього з блоку пам'яті 1 за допомогою комутатора 2 в регістр 3-5 і 3-7 записують старші 8 розрядів першого співмножника, вміст регістрів 3-6 і 3-8 не змінюється. Помножувачі 4-3 і 4-4 формують другу пару часткових добутків і записують їх в проміжні регістри 5-5 і 5-6, 5-7 і 5-8. Далі ці дані з регістрів 5-7 і 5-8 через комутатор 6-2 надходять на другі входи суматорів 10-3 і 10-4, на перші входи яких подаються дані з регістрів 13-5 і 13-6 через комутатори 14 і 6-2. У цей момент проводиться зсув даних з регістра 13-7 в 13-8. Для забезпечення отримання правильного результату при додаванні 16-ти розрядних чисел 8-ми розрядні суматори 10-3 і 10-4 за допомогою схеми керування переносом 12-2 об'єднують в один 16-ти розрядний суматор. З виходу суматора 10-4 молодші 8 розрядів суми через комутатор 8-3 записують у вихідний регістр 13-7. З виходу суматора 10-3 старші 8 розрядів суми через комутатор 7-2 надходять в молодші 8 розрядів суматора 11-2. На інший вхід суматора 11-2 надходять 16-ти розрядні дані з регістрів 5-5 і 5-6. Таким чином, здійснюється необхідний при підсумовуванні часткових добутків зсув даних на 8 розрядів у бік старших розрядів. З виходу суматора 11-2 результат записується через комутатор 8-2 у вихідні регістри 13-5 і 13-6. Таким чином, в результаті роботи пристрою у вихідних регістрах 13-1÷13-4 і 13-5÷13-8

будуть записані значення операції множення двох 16-ти розрядних кодів. Для реалізації даної операції пристроєм, що заявляється, необхідно виконати три такти при конвеєрній подачі даних, у той час як прототипу необхідно п'ять тактів роботи.

Множення 32-х розрядних чисел.

Для виконання даної операції виконується декомпозиція 32-х розрядних співмножників на 8-ми розрядні складові таким чином:

$$A = (A_1[31\div24], A_2[23\div16], A_3[15\div8], A_4[7\div0]) \text{ і } B = (B_1[31\div24], B_2[23\div16], B_3[15\div8], B_4[7\div0]).$$

При її реалізації за допомогою 8-ми розрядних помножувачів потрібно виконати наступні дії:

$$A \times B = (A_1 \times B_1 + A_1 \times B_2 + A_1 \times B_3 + A_1 \times B_4) + (A_2 \times B_1 + A_2 \times B_2 + A_2 \times B_3 + A_2 \times B_4) + (A_3 \times B_1 + A_3 \times B_2 + A_3 \times B_3 + A_3 \times B_4) + (A_4 \times B_1 + A_4 \times B_2 + A_4 \times B_3 + A_4 \times B_4).$$

З наведеного співвідношення виходить, що дана операція реалізується в чотири етапи. На першому етапі за допомогою вхідного комутатора 2 з блоку пам'яті 1 у вхідні регістри 3-1, 3-3, 3-5 і 3-7 містять молодші 8 розрядів  $A_4$  співмножника  $A$ , а елементи  $B_1$ ,  $B_2$ ,  $B_3$  і  $B_4$  співмножника  $B$  містять в регістри 3-2, 3-4, 3-6 і 3-8 відповідно. Помножувачі 4-1÷4-4 виконують операцію 8-ми розрядного множення і 16-ти розрядні результати містяться в проміжних регістрах 5-1 і 5-2, 5-3 і 5-4, 5-5 і 5-6, 5-7 і 5-8. З проміжних регістрів 5-3 і 5-4 через входи 4, 5 комутатора 6-1 і його вихід 3 дані надходять на другі входи суматорів 10-1 і 10-2, які за допомогою схеми керування переносом 12-1 об'єднують в один 16-ти розрядний суматор. На перші входи 10-1 і

10-2 надходять дані з вихідних регістрів 13-1 і 13-2 через вхід 1 і вихід 2 комутатора 6-1. Дані з виходів регістрів 5-7 і 5-8 через входи 4, 5 і вихід 3 комутатора 6-2 надходять на суматори 10-3 і 10-4, які поєднуються за допомогою схеми керування переносом 12-2 в один 16-ти розрядний суматор. На перші входи 10-3 і 10-4 надходять дані з вихідних регістрів 13-3 і 13-4 через вихідний комутатор 14, вхід 1 і вихід 2 комутатора 6-2. З виходу 10-4 молодші розряди суми надходять на перший вхід комутатора 8-3 і з його виходу 2 записуються у вихідний регістр 13-5. Старші 8 розрядів суми з виходу 10-3 надходять на вхід 2 комутатора 7-2 і з його виходу 3 на вхід 3 суматора 11-2 в його молодші розряди. У його старші розряди надходять дані з виходу суматора 10-2 через вхід 1 і вихід 2 комутатора 8-1. Другий доданок на вхід 1 суматора 11-2 надходить з виходів регістрів 5-5 і 5-6 через входи 2, 3 і вихід 1 комутатора 6-2, вхід 1 і вихід 1 комутатора 7-2. З виходу суматора 10-1 через вхід 2 і вихід 2 комутатора 6-2 дані надходять на другий вхід суматора 11-2, на перший вхід якого подаються дані з виходів проміжних регістрів 5-1 і 5-2 через входи 2, 3 і вихід 1 комутатора 6-1, вхід 1 і вихід 1 комутатора 7-1. Суматори 11-1 і 11-2 повинні здійснювати операцію додавання двох 32-х розрядних операндів, для цього їх об'єднують схемою керування переносом 12-3, що працює під впливом керуючого сигналу входу 1. З виходу суматора 11-2 результат операції через вхід 1 і вихід 1 комутатора 8-2 записується у вихідні регістри 13-3 і 13-4. З виходу суматора 11-1 дані записують у вихідні регістри 13-1 і 13-2. Таким чином, після виконання першого етапу операції у вихідних регістрах 13-1, 13-2, 13-3, 13-4, 13-5 буде записаний 40 розрядний код відповідної операції множення 8-ми молодших розрядів  $A_4$  числа  $A$  на співмножник  $B$ , тобто  $(A_4 \times B_1) + (A_4 \times B_2) + (A_4 \times B_3) + (A_4 \times B_4)$ .

В процесі підсумовування часткових добутків в другому ступені пристроєм, в його першому ступені формується формування часткових добутків наступних 8-ми розрядів  $A_3[15\div8]$  співмножника  $A$  на 8-ми розрядні елементи співмножника  $B$ . Для цього за допомогою вхідного комутатора 2 в регістри 3-1, 3-3, 3-5 і 3-7 записують значення  $A_3$ , а в регістрах 3-2, 3-4, 3-6 і 3-8 зберігаються елементи співмножника  $B$ . За допомогою помножувачів 4-1÷4-4 формують 16-ти розрядні часткові добутки і записують в проміжні регістри 5-1 і 5-2, 5-3 і 5-4, 5-5 і 5-6, 5-7 і 5-8. Далі виконується підсумовування результату попереднього етапу операції що зберігається у вихідних регістрах 13-1÷13-5 зі знов отриманими добутками. Для цього, з регістрів 5-7 і 5-8 через комутатор 6-2 дані надходять на другі входи суматорів 10-3 і 10-4, на перші входи яких надходять дані з регістрів 13-3 і 13-4 через комутатори 14 і 6-2. Одночасно, вміст регістра 13-5 зрушується вправо в регістр 13-6. Молодші розряди суми з виходу суматора 10-4 через комутатор 8-3 записуються в регістр 13-5. Старші розряди суми з виходу суматора 10-3 через комутатор 7-2 подають в молодші розряди суматора 11-2. На другий вхід суматора 11-2 надходять молодші 8 розрядів з виходу суматора 10-2 через комутатор 8-1 і подаються в старші розряди суматора 11-2. На вхід 1 сумато-

ра 11-2 надходять 16-ти розрядні дані з виходів регістрів 5-5 і 5-6.

Суматори 10-1 і 10-2 складають дані, що зберігаються в проміжних регістрах 5-3 і 5-4, які надходять на другі входи 10-1 і 10-2 через комутатор 6-1, з даними з вихідних регістрів 13-1 і 13-2, які надходять на перші входи суматорів 10-1 і 10-2 через комутатор 6-1. Для отримання правильного 16-ти розрядного результату суматори 10-1 і 10-2, 10-3 і 10-4 об'єднані схемами керування переносом 12-1 і 12-2 відповідно. З виходу 10-1 8-ми розрядні дані через комутатор 7-1 надходять на вхід 2 суматора 11-1 в його молодші розряди, на вхід 1 суматора 11-1 подають дані з проміжних регістрів 5-1 і 5-2 через комутатори 6-1 і 7-1. Результат підсумовування з виходу суматора 11-1 записується в регістри 13-1 і 13-2.

Урівноваження розрядів чисел, що беруть участь в операціях підсумовування, здійснюється за допомогою комутаторів і подачі даних у відповідні розряди суматорів. В результаті виконання другого етапу операції в регістрах 13-1-13-6 буде записаний 48-ми розрядний код відповідної операції множення 16-ти молодших розрядів співмножника А на співмножник В, тобто

$$(A_3 \times B_1) + (A_3 \times B_2) + (A_3 \times B_3) + (A_3 \times B_4) + (A_4 \times B_1) + (A_4 \times B_2) + (A_4 \times B_3) + (A_4 \times B_4).$$

На третьому етапі виконання операції відбувається формування часткових добутків наступних 8-ми розрядів  $A_2[23:16]$  співмножника А на 8-ми розрядні елементи співмножника В в першому ступені схеми пристрою. Для цього за допомогою вхідного комутатора 2 в регістри 3-1, 3-3, 3-5 і 3-7 записується значення  $A_2$ , а в регістрах 3-2, 3-4, 3-6 і 3-8 зберігаються елементи співмножника В. Помножувачі 4-1÷4-4 формують чергові часткові добутки і записують їх в проміжні регістри 5-1 і 5-2, 5-3 і 5-4, 5-5 і 5-6, 5-7 і 5-8. Далі абсолютно аналогічно першому і другому етапам виконання операції за допомогою комутаторів і суматорів другого ступеня виконується підсумовування вмісту вихідних регістрів 13-1 і 13-2, 13-3 і 13-4 з даними, що зберігаються в проміжних регістрах 5-1÷5-8. Вміст регістра 13-5 буде зрушено в регістр 13-6, а вміст регістра 13-6 - в регістр 13-7. В результаті в регістрах 13-1÷13-7 буде записаний 56-ти розрядний код, відповідний операції множення 24-х розрядів співмножника А на співмножник В.

На четвертому етапі за допомогою комутатора 2 з блоку пам'яті 1 в регістри 3-1, 3-3, 3-5 і 3-7 записують старші 8 розрядів А і співмножника А, а в регістрах 3-2, 3-4, 3-6 і 3-8 як і раніше зберігаються елементи співмножника В. Помножувачі 4-1÷4-4 формують чергові часткові добутки і записують їх в проміжні регістри 5-1÷5-8. За допомогою комутаторів 6-1, 6-2, 7-1, 7-2, 8-1, 8-2, 8-3, 14 і суматорів 10-1-10-4, 11-1 і 11-2 другий ступені виконується підсумовування часткових добутків з регістрів 5-1÷5-8 з вмістом регістрів 13-1÷13-4, а вміст регістра 13-5 зрушується в регістр 13-6, вміст регістра 13-6 - в регістр 13-7, вміст регістра 13-7 в регістр 13-8. Після виконання всіх чотирьох етапів операції множення двох 32-х розрядних чисел у вихідних

регістра 13-1÷13-8 буде записаний 64-х розрядний код результату операції. При організації безперервної подачі даних в пристрій і тому що такти роботи ступенів пристрою перекривають один одного, кожні 5 тактів на вихід пристрою надходить новий результат операції. Для реалізації даної операції прототипу необхідно 9 тактів. Під тактом тут розуміється час роботи одного ступеня.

Операція суми парних добутків 8-ми розрядних чисел

При виконанні операції суми парних добутків  $\Sigma a_i \times b_i$ , що широко використовується при матрично-векторних обчисленнях, при обробці сигналів, обробці графіки і т.д., початкові операнди  $a_i$  за допомогою комутатора 2 зчитують з блоку пам'яті 1 і містяться в регістри 3-1, 3-3, 3-5 і 3-7, а операнди  $b_i$  - в регістри 3-2, 3-4, 3-6 і 3-8. Для нашого випадку  $i=4$ . Помножувачі 4-1÷4-4 реалізують операцію множення відповідних пар чисел  $a_i$  і  $b_i$  і отримані 16-ти розрядні операнди розміщують в проміжні регістри 5-1 і 5-2, 5-3 і 5-4, 5-5 і 5-6, 5-7 і 5-8. З виходів регістрів 5-1 і 5-2 дані через входи 2, 3 і вихід 2 комутатори 6-1 надходять на перші входи суматорів 10-1 і 10-2. На другі входи цих суматорів через входи 4, 5 і вихід 3 комутатори 6-1 надходять дані з виходів регістрів 5-3 і 5-4. Для отримання правильного результату суматори 10-1 і 10-2 за допомогою схеми керування переносом 12-1 поєднують в один 16-ти розрядний суматор. На виходах 10-1 і 10-2 буде сформований результат рівний  $a_1 \times b_1 + a_2 \times b_2$ . Друга пара добутків  $a_3 \times b_3$  і  $a_4 \times b_4$ , що зберігаються в регістрах 5-5 і 5-6, 5-7 і 5-8 обробляється аналогічно за допомогою комутатора 6-2 і суматорів 10-3 і 10-4 об'єднаних схемою розповсюдження переносів 12-2. На виході 10-3 і 10-4 буде сформовано результат рівний  $a_3 \times b_3 + a_4 \times b_4$ . З виходів суматорів 10-1 і 10-2 дані надходять на 2 і 3 входи комутатора 7-1 і далі через вихід 1 комутатора 7-1 подаються на вхід 1 16-ти розрядного суматора 11-1. Виходи суматорів 10-3 і 10-4 через входи 2, 3 і вихід 2 комутатора 7-2 підключають до входу 2 суматора 11-1, на виході якого формується результат рівний  $a_1 \times b_1 + a_2 \times b_2 + a_3 \times b_3 + a_4 \times b_4$ . Цей результат записується у вихідні регістри 13-1 і 13-2.

Операція суми парних добутків 16-ти розрядних чисел.

При виконанні даної операції повинні бути виконані наступні дії  $A_1 \times B_1 + A_2 \times B_2$ , де  $A_1$ ,  $B_1$ ,  $A_2$  і  $B_2$  16-ти розрядні операнди. За допомогою операції декомпозиції операндів на 8-ми розрядні частини, що обумовлене наявністю чотирьох 8-ми розрядних помножувачів, представимо їх в наступному вигляді:

$$A_1 = (A_1'[15:8], A_1''[7:0]); B_1 = (B_1'[15:8], B_1''[7:0]); \\ A_2 = (A_2'[15:8], A_2''[7:0]); B_2 = (B_2'[15:8], B_2''[7:0]).$$

Тоді дії необхідні для реалізації даної операції будуть представлені наступним виразом:

$$A_1 \times B_1 + A_2 \times B_2 = A_1' \times B_1' + A_1' \times B_1'' + A_1'' \times B_1' + A_1'' \times B_1'' + \\ A_2' \times B_2' + A_2' \times B_2'' + A_2'' \times B_2' + A_2'' \times B_2''.$$

На першому етапі виконання операції за допомогою вхідного комутатора 2 з 8-ми розрядних стовпців блоку пам'яті 1 зчитуються наступні дані  $A_1'$ ,  $B_1'$ ,  $B_1''$ ,  $A_2'$ ,  $B_2'$ ,  $B_2''$ , при цьому вхідний комутатор 2 розміщує  $A_1''$  у вхідних регістрах 3-1 і 3-3,  $B_1'$  - в 3-2,  $B_1''$  - в 3-4,  $A_2''$  - в 3-5 і 3-7,  $B_2'$  - в 3-6,  $B_2''$  - в 3-8. З виходів регістрів дані надходять на входи помножувачів 4-1÷4-4, які формують 16-ти розрядні проміжні добутки. З виходу помножувача 4-1 результат відповідний  $A_1' \times B_1'$  записується в проміжні регістри 5-1 і 5-2, з виходу помножувача 4-2 результат відповідний  $A_1' \times B_1''$  записується в проміжні регістри 5-3 і 5-4, з виходу помножувача 4-3 результат відповідний  $A_2' \times B_2'$  записується в проміжні регістри 5-5 і 5-6, з виходу помножувача 4-4 результат відповідний  $A_2' \times B_2''$  записується в проміжні регістри 5-7 і 5-8. Далі дані з виходів регістрів 5-3 і 5-4 надходять через 4,5 входи і 3 вихід комутатора 6-1 на другі входи суматорів 10-1 і 10-2, об'єднані схемою керування переносом 12-1 в один 16-ти розрядний суматор. На перший вхід 10-1 і 10-2 надходять дані з проміжних регістрів 5-1 і 5-2 через 2,3 входи і 2 вихід комутатора 6-1. На виході суматорів 10-1 і 10-2 сформується 16-ти розрядний результат  $A_1' \times B_1' + A_1' \times B_1''$ , що через 2,3 входи і 3 вихід комутатора 7-1 надходить на вхід 2 суматора 11-2. З виходів регістрів 5-5 і 5-6 дані через 2,3 входи і 2 вихід комутатора 6-2 надходять на перші входи суматорів 10-3 і 10-4, які схемою керування переносом 12-2 об'єднані в один 16-ти розрядний суматор. На другі входи суматорів 10-3 і 10-4 надходять дані з виходів регістрів 5-7 і 5-8 через 4,5 входи і 3 вихід комутатора 6-2. На виході суматорів 10-3 і 10-4 сформується результат  $A_2' \times B_2' + A_2' \times B_2''$ . З виходу 10-4 дані, які відповідають молодшим 8-ми розрядам остаточного результату через вхід 1 і вихід 1 комутатора 8-3 записують у вихідний регістр 13-7. З виходу 10-3 дані надходять через вхід 2 і вихід 1 комутатора 7-2 на перший вхід суматора 11-2. З виходу суматора 11-2 16-ти розрядні дані через вхід 1 і вихід 2 комутатори 8-2 записують у вихідні регістри 13-5 і 13-6. Таким чином, в регістрах 13-5, 13-6 і 13-7 буде записаний 24-х розрядний код, відповідний операції  $A_1' \times B_1' + A_1' \times B_1'' + A_2' \times B_2' + A_2' \times B_2''$ . В процесі підсумовування даних в суматорах 10-1×10-4 і 11-2, одночасно з блоку пам'яті за допомогою вхідного комутатора 2 відбувається зчитування і запис у вхідні регістри старших 8-ми розрядів співмножників  $A_1$  і  $A_2$ , при цьому в регістри 3-1 і 3-3 записується значення  $A_1'$ , а в регістри 3-5 і 3-7 -  $A_2'$ . Вміст регістрів 3-2, 3-4, 3-6 і 3-8 не змінюється. З виходів регістрів 3-1÷3-8 дані надходять на входи помножувачів 4-1÷4-4, на виході яких формують часткові добутки, на виході 4-1 -  $A_1' \times B_1'$ , на виході 4-2 -  $A_1' \times B_1''$ , на виході 4-3 -  $A_2' \times B_2'$ , на виході 4-4 -  $A_2' \times B_2''$ . Отримані часткові добутки записуються в проміжні регістри 5-1 і 5-2, 5-3 і 5-4, 5-5 і 5-6, 5-7 і 5-8 відповідно. З виходів 2 регістрів 5-1 і 5-2 дані надходять на входи 2 і 3 комутатора 6-1 і з його виходу 2 подають на входи 1 суматорів 10-1 і 10-2, на входи 2 яких надходять дані з виходів 2 регістрів 5-3 і 5-4, через входи 4,5 і вихід 3 комутатора 6-1. В результаті на виходах суматорів 10-1 і 10-2 буде сформований результат  $A_1' \times B_1' + A_1' \times B_1''$ , що

через входи 2,3 і вихід 1 комутатора 7-1, вхід 1 і вихід суматора 11-2 записується у вихідні регістри 13-1 і 13-2. З виходів 2 регістрів 5-5 і 5-6 дані через входи 2,3 і вихід 2 комутатора 6-2 надходять на перші входи суматорів 10-3 і 10-4, на другі входи яких надходять дані з виходів 2 регістрів 5-7 і 5-8 через входи 4,5 і вихід 3 комутатора 6-2. В результаті на виходах суматорів 10-3 і 10-4 буде сформований результат  $A_2' \times B_2' + A_2' \times B_2''$ , що далі через входи 2,3 і вихід 3 комутатора 7-2 надходить на вхід 3 суматора 11-2. На перший вхід 11-2 надходять дані з вихідних регістрів 13-5 і 13-6 через вихід 2 комутатора 14, вхід 1 і вихід 1 комутатора 6-2; входу 1 і виходу 1 комутатора 7-2. В результаті на виході суматора 11-2 сформується сума з результату операції  $A_2' \times B_2' + A_2' \times B_2''$  і старших розрядів даних проміжного результату з регістрів 13-5 і 13-6, яка з виходу суматора 11-2 через вхід 1 і вихід 2 комутатори 8-2 запишеться у вихідні регістри 13-5 і 13-6. На завершальному етапі операції відбувається додавання старших 8-ми розрядів проміжного результату, які знаходяться в регістрі 13-5 і даних з регістрів 13-1 і 13-2. Для цього дані з 13-5 за допомогою комутатора 14 з його виходу 2 подаються на вхід 1 комутатора 6-2 і з його виходу 1 через вхід 1 і вихід 2 комутатора 7-2 надходять на вхід 2 суматора 11-1. На його перший вхід надходять дані з регістрів 13-1 і 13-2 через вхід 1 і вихід 1 комутатора 6-1, вхід 1 і вихід 1 комутатора 7-1. Сума з виходу 11-2 записується у вихідні регістри 13-1 і 13-2. Таким чином, у вихідних регістрах 13-1 і 13-2 будуть перебувати старші 16 розрядів операції суми парних добутків шістнадцяти розрядних чисел, а в регістрах 13-6 і 13-7 - молодші 16 розрядів. Дані з цих регістрів можуть бути лічені за допомогою комутатора 14 і подано на вихід 2 пристрою для подальшої обробки.

Операція множення 8-ми розрядних чисел за допомогою помножувача 4 (Фіг.2) виконується таким чином. У вхідні регістри пристрою 15 і 16 записуються множене і множник. З виходу регістра 15 множене надходить на вхід 1 чотирьох 10-ти розрядних суматорів 17-1÷17-4. Кожен з суматорів виконує додавання розрядів множеного і зрушеного на один розряд значення множеного залежно від значення сигналів на його входах 2 і 3. На входи 2 і 3 суматорів 17-1÷17-4 надходять відповідні значення розрядів множника з регістра 16 для формування в суматорах часткових добутків операції множення, при цьому за допомогою сигналу на входи 2 формується перший частковий добуток, а за допомогою сигналу на входи 3 другий частковий добуток із зсувом в суматорі на один розряд. Сформована в суматорі 17-1 сума надходить на перший вхід 12-ти розрядного суматора 18-1. На другий вхід суматора 18-1 надходить із зсувом на два розряди відносно даних на першому вході сума з виходу суматора 17-2. Аналогічно на перший вхід 12-ти розрядного суматора 18-2 надходить сума з виходу суматора 17-3, а на другий вхід суматора 18-2 із зсувом на два розряди сума з виходу суматора 17-4. З виходу 2 суматора 18-2 чотири розряди остаточного результату операції множення надходять на вхід 2 вихідного регістра 19. З першого виходу суматора 18-2 8-м розрядів суми надходять на другий вхід 12-ти розрядного суматора

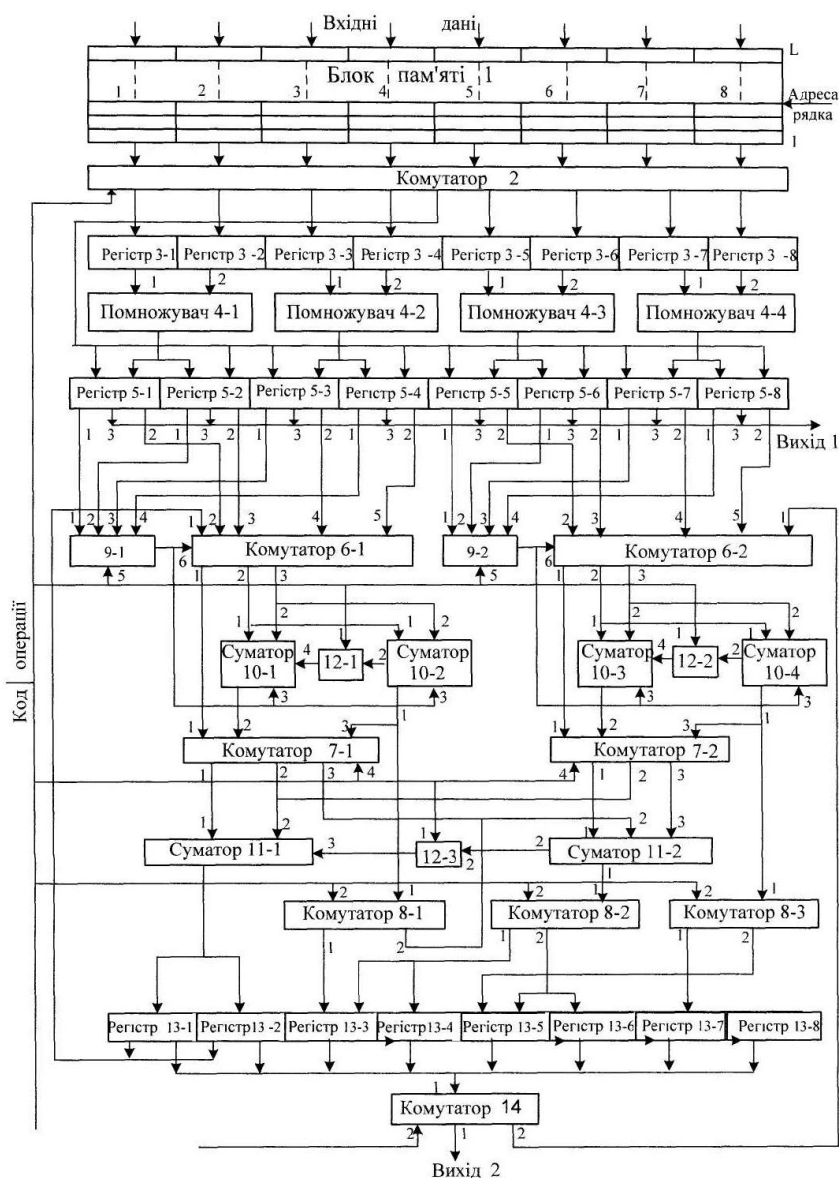
18-3 в його молодші розряди. На вхід 1 суматора 18-3 надходять дванадцять розрядів суми з виходу суматора 18-2. В результаті на виході суматора 18-3 будуть сформовані старші 12 розрядів операції множення 8-ми розрядних чисел і записані з його виходу в регістр 19 через його перший вхід. Таким чином, за один такт роботи помножувача за допомогою його блоків, що підсумовують, буде виконана операція множення 8-ми розрядних чисел.

Робота пристрою відбувається під керуванням сигналу "Код операції", що надходить на керуючі входи комутуючих блоків, які під впливом цих сигналів здійснюють розподіл даних при виконанні арифметичних операцій в оброблювальних пристроях і запис результатів в регістри. Зчитування і запис даних в блок пам'яті операційного поля здійснюється по команді "Адреса рядка".

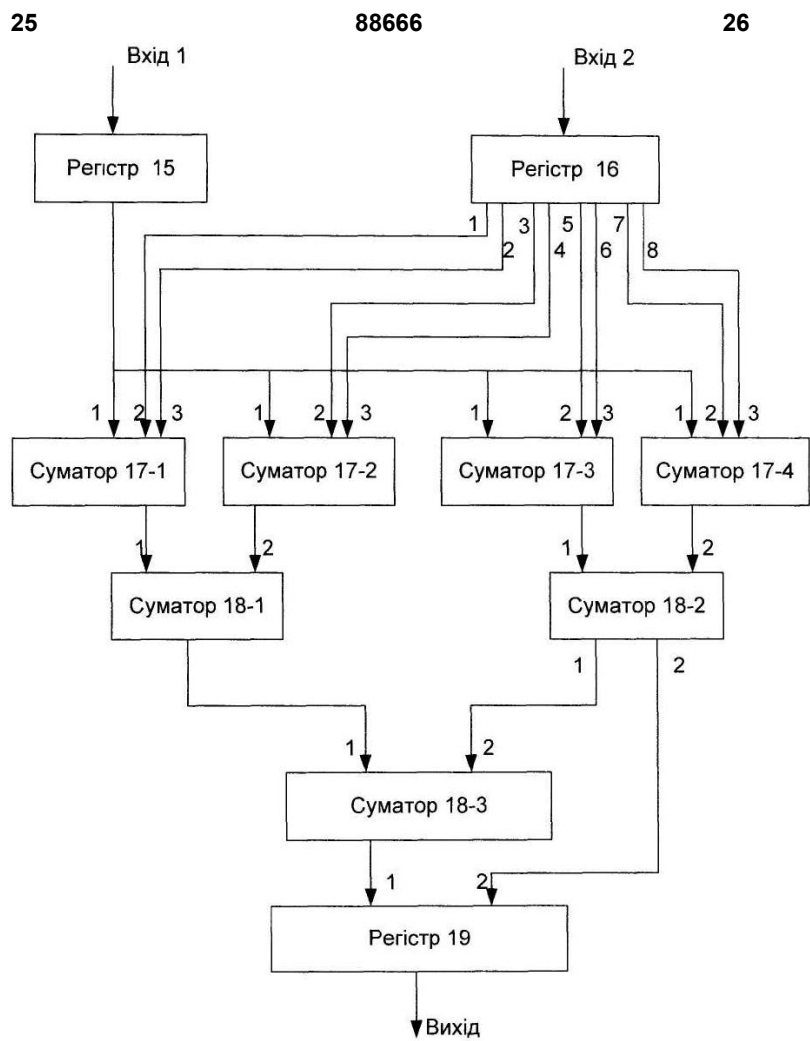
Властивість реконфігуруємості пристрою, що заявляється, полягає в можливості за рахунок використання різного роду комутуючих пристроїв,

схем керування переносом налаштувати систему на обробку даних різної розрядності при використанні обмеженого числа оброблювальних блоків, які за рахунок настройки можуть використовуватися в різних операціях.

Таким чином, схема пристрою, що заявляється, дозволяє за рахунок введення нових оброблювальних пристроїв, схем керування переносами, додаткових комутаторів, схеми обробки знаків і нових зв'язків між блоками розширити функціональні можливості і підвищити швидкодію пристрою. Принципова відмінність від схеми прототипу полягає в можливості виконання операції суми парних добуток над 8-ми і 16-ти розрядними цілочисельними числами. Пристрій, що заявляється, в цілому дозволить підвищити ефективність застосування даного класу пристроїв в завданнях цифрової обробки сигналів, обробки графіки і зображень, при виконанні цілочисельних матрично-векторних операцій.



Фіг. 1.



Фіг 2