

## ОПТОЭЛЕКТРОННЫЙ АСОЦИАТИВНЫЙ ПРОЦЕССОР

Винахід відноситься до області обчислювальної техніки і може бути використаний в інформаційно-пошукових системах і системах статистичної обробки інформації.

Відомий асоціативний зпом'ятовуючий пристрій ГАЗП? СКохонек Т. Ассоциативные запоминающие устройства; пер. с англ.- Н, ■ Мир. 1982, с. 189, рис. 3.9,)), що містить блок управління зчитування/записом інформації, селектор адреси і дешифратор, модуль ДЗП, пам'ять фіксації реакції, аналізатор багатократного збігу і шифратор, причому блок управління зчитування/зписом включає в себе регістр аргументу пошуку і регістр маски, виходи селектора адреси і дешифратору, а також виходи блоку управління зчитування/зписом з'єднані відповідно з першою і другою групами виходів модуля АЗП, перша група виходів якого з'єднана з першою групою входів пам'яті фіксації реакції, виходи якої з'єднані з виходами аналізатора багатократного збігу, перша група виходів аналізатора багатократного збігу з'єднана з виходами шифратора, а друга група виходів - з другою групою входів пам'яті фіксації реакції, вихід шифратора з'єднаний з другим входом селектора адреси і дешифратора, причому на перший вхід селектора адреса і дешифратора подається зовнішня адреса, а з другої групи виходів модуля АЗП зчитується слово.

Відомий асоціативний процесор з обробкою бітових зрізів ('Тербер К. Дж. Архитектура высокопроизводительных вычислительных систем : Пер. с англ, - М. : Наука, 1985, с.24, рис.2.2.), що містить асоціативний зпом'ятовуючий пристрій САЗП?, регістр операнда, регістр маски, селектор бітових зрізів, вхідний регістр, зовнішній обробляючий

пристрій, п'ять результатів, вихід бітових зрізів, вихідний регістр, причому виходи регістру операнда і регістру маски з'єднані з першою групою входів зовнішнього обробляючого пристрою і пам'яттю результатів, вхід селектору бітових зрізів в адресний вход пристрою, а вихід селектора бітових зрізів з'єднаний з другим входом вхідного регістру, перший вхід якого є входом словних зрізів пристрою, а вихід з'єднаний з першою групою входів АЗП, друга група входів якого з'єднане з входами бітового зрізу пристрою, перша група виходів АЗП з'єднана з входами вихідного регістру, вихід якого є виходом зрізів слів пристрою, друга група виходів АЗП з'єднана з другою групою входів зовнішнього обробляючого пристрою і пам'яттю результатів, вихід яких є виходом бітових зрізів пристрою.

Недоліком відомих пристроїв є те, що їх область ефективного використання обмежена маскованим пошуком на рівність, різноманітними видами операцій пошуку на нерівність, пошуком максимуму і мінімуму, що дозволяє знаходити максимальне і мінімальне слово в АЗП. Виконання сортування масиву слів АЗП в даних пристроях потребує значного збільшення апаратної складності за рахунок комутуючих блоків.

Найбільш близький по технічній сутті є пристрій для сортування чисел (А. С. СРСР МІ793438, кл. G06 F07/06, Бюл, N5, 1993), що містить  $m$  регістрів, де  $m$  - кількість чисел, що сортуються,  $m$  лічильників,  $K$  блоків порівняння, де  $K = 3m/2$ ,  $3 \leq K$  - найближче ціле, не більше  $X$ , комутатор і два елемента 1, причому вхід початкової установки пристрою з'єднаний з входом установлення лічильників в нульовий стан, причому в нього введені  $K$  блоків вибору кодів,  $m$  дешифраторів, блок завантаження номерів чисел в лічильники, тригер, чотири елементи АБО і два елементи ІІ, комутатор

містить  $K$  блоків комутації, що містить кожний, окрім  $K$ -го, чотири групи елементів  $I$  і чотири елементи АБО,  $K$ -й блок комутації містить чотири групи елементів  $I$  і  $4+2$  тобто 6 елементів АБО, два елементи  $HI$ , чотири елементи  $I-HI$  і три тригери, кожний блок вибору кодів містить три мультиплексоре, тактовий вхід пристрою з'єднаний з входом управління зсувом регістрів, вихід старшого розряду  $j$ -го регістру ( $j=1, 2, \dots, m$ ) з'єднаний з  $i$ -ми інформаційними входами мультиплексорів блоків вибору кодів, вихід  $S_i$ -го мультиплексора 1-го блока вибору кодів  $f_{S_i} = i, 2, 3, 1=1, 2, \dots, 10$  з'єднаний з першим входом  $S_i$ -го елемента  $I$  1-го блока порівняння, 32-й вихід якого  $1 \cdot 32=1, 2$ ) з'єднаний з 1-м входом 32-го елемента АБО і з першими входами всіх елементів  $I$  32-13-й і 2-52-й груп 1-го блока комутації, входи  $g$ -го елемента АБО  $S_{g-i}, 2, 3, 4, 3$  1-го блока комутації підключені до входів  $(2 \cdot 1 - \text{тобто}, g)$ -х елементів  $I$   $Kg+13/2C$ -й і  $1Cg+3)/2C$  -й груп всіх блоків комутації, за тим непарним входи  $(.52 + 4)$ -го елемента АБО  $K$ -го блока комутації підключені до виходів  $C2 \cdot i+i$ -х елементів  $I$   $S_{?}-й$  і  $CSz + 25$ -й груп всіх блоків комутації, вихід  $(2 \cdot 52 - i^{\wedge} - \text{го} \cdot i \cdot 2 \cdot 82 \sim \text{го} \cdot \text{елементів АБО} \cdot 1\text{-го блока комутації})$  з'єднаний відповідно з підсумовуючими і відраховуючими входами  $C2 \cdot 1 - 2+32 >$ -го лічильника, виходи розрядів якого з'єднані з входами  $f2 \cdot 1 - 2+S2?-rc$  дешифратора,  $j$ -й вихід  $P$ -го дешифратора, де  $P=2, 4, \dots, 2K$ , з'єднаний з  $i$ -м керуючим входом другого мультиплексора  $P/2$ -го блока вибору кодів,  $j$ -й вихід  $q$ -го дешифратора, де  $q=3, 5, \dots, 2K-1$ , з'єднаний з  $i$ -ми керуючими входами першого і третього мультиплексорів  $Cq-i?/2$ -го блока вибору кодів,  $i$ -й вихід першого дешифратора з'єднаний з  $J$ -м керуючим входом першого мультиплексора першого блока вибору кодів, за тим непарним  $j$ -й вихід  $m$ -го дешифратора з'єднаний з  $j$ -м керуючим входом третього мультиплексора  $K$ -го

блока вибору полів, виходи 5-го дешифратора є інформація виходами J-ї групи пристрою j-й вихід (2 I-I+3г/2С 2-го дешифратора з'єднаний з другим входом j-го елемента I г-к групи 1-го блока комутації, виходи першого і другого елементів АБО з'єднані відповідно з першим і другим входами третього елемента АБО I через перший і другий елементи HI відповідно з першим і другим входами першого елемента i, вихід якого з'єднаний з входом устанавлення тригера в одиничний стан I першим входом другого елемента I, вихід якого є виходом закінчення роботи пристрою, вихід третього елемента АБО з'єднаний з першим входом четвертого елемента АБО, вихід якого з'єднаний з входом устанавлення тригера в нульовий стан, вихід якого з'єднаний з другим входом другого елемента I, вхід початкового устанавлення пристрою з'єднаний з входами устанавлення тригерів блоків порівняння в нульовий стан і входом початкового устанавлення блока завантаження номерів чисел в лічильники і другим входом четвертого елемента АБО, вхід управління завантаженням пристрою з'єднаний з керуючим входом блока завантаження номерів чисел в лічильники, виходи якого з'єднані з входами встановлення лічильників, вхід синхронізації пристрою з'єднаний з входами синхронізації першого і другого тригерів всіх блоків порівняння, в кожному блоці порівняння перший вхід четвертого елемента I підключений до першого входу другого елемента I, в кожному блоці порівняння виходи (2 52-I)-го і 2 32-го елементів i з'єднані відповідно з першим і другим входами S2-го елемента АБО, вихід якого з'єднаний з першим входом L3~S2'-го елемента I - HI I через 32-й елемент HI - з другим входом S2-го елемента I - HI, вихід якого з'єднаний з першим входом fS2+2?-го елемента I - HI, вихід якого з'єднаний з інформаційним входом 32-го тригера, інверсний вихід якого з'єднаний з третім входом C3-S23-го

елементе І - НІ і з другим входом CS2<sup>2</sup>?-го елемента І - НІ, прямий викід другого тригера -з'єднаний з інформаційним входом третього тригера, вихід якого з'єднаний з першими входами п'ятого і шостого елементів І, вхід синхронізації третього тригера підключений до виходу третього елементу АБО, 3-й керуючий вхід пристрою з'єднаний з другими входами S2-го, t"S2<sup>4</sup>)-го і (5-S23-го елементів І блоків порівняння і з 52-м входом третього елемента АБО блоків порівняння.

Недоліком відомого пристрою є обмеженість використання просторово - розподільного подання результатів (рангів? асоціативної обробки інформації, що призводить до збільшення апаратної складності пристроїв.

В основу винаходу поставлено задачу розробки оптоелектронного асоціативного процесора, в якому за рахунок введення нових блоків та зв'язків між ними досягається можливість виконання асоціативної обробки (сортування) із збереженням початкової інформації в асоціативному запам'ятовуючому пристрої з використанням асоціативних властивостей просторово - розподільного подання інформації у блоці зсувових регістрів.

Поставлена задача вирішується тим, що в оптоелектронний асоціативний процесор, що містить комутатор, блок завантаження номерів чисел, чотири елементи АБО, два елементи І, два елементи НІ, тригер, причому виходи першого і другого елементів АБО з'єднані відповідно з першим і другим входами третього елемента АБО і через перший і другий елементи НІ - відповідно з першим і другим входами першого елемента І, вихід якого з'єднаний з входом установки тригера в одиничний стан і першим входом другого елемента І, вихід якого є виходом закінчення роботи пристрою, вихід третього елемента АБО з'єднаний з першим входом четвертого елемента АБО, вихід якого з'єднаний з входом установлення

тригера в нульовий стан, прямий вихід якого з'єднаний з другим входом другого елемента  $X$ , вхід початкового устанавлення пристрою з'єднаний з входом початкового устанавлення блока завантаження номерів чисел і другим входом четвертого елемента АБО, вхід управління завантаженням пристрою з'єднаний з керуючим входом блока завантаження номерів чисел, й-б-е-д<sup>к</sup>і- асоціативний запам'ятовуючий пристрій САЗГО вимірністю  $m \times p$ , де  $m$  - кількість чисел вимірністю  $p$ , селектор кодів, блок порівняння, що містить  $K$  вузлів, де  $K=3m/2t$ , ЗХС- найближче ціле, не більше  $X$ , блок  $t$  зсувових регістрів, причому чотири елементи АБО, два елементи І, два елементи НІ, тригер з відповідними зв'язками утворюють блок Фіксації кінця циклу, виходи АЗП з'єднані з першою групою входів селектора кодів, виходи якого з'єднані з входами блока порівняння, виходи блока порівняння з'єднані з першою групою входів комутатора, друга група входів якого з'єднана з виходами блока зсувових регістрів, а виходи - з першою групою входів блока зсувових регістрів, друга група входів якого підключена до виходу блока завантаження, виходи блока зсувових регістрів з'єднані з другою групою входів селектора кодів, тактовий вхід пристрою підключений до тактового входу АЗП, керуючі входи, вхід початкового устанавлення приладу, вхід синхронізації пристрою з'єднані з відповідними входами блока порівняння, крім того, вхід початкового устанавлення пристрою підключений також до входів блока зсувових регістрів і першого керуючого входу блока завантаження, другий керуючий вхід якого з'єднаний з входом управління завантаженням пристрою.

Введення нових елементів, зокрема, селектора кодів і блока  $m$  зсувових регістрів з відповідними зв'язками дозволяє виконати асоціативну обробку (сортування) із збереженням

початкової інформації у асоціативному запам'ятовуючому пристрої (АЗП) з рахунок використання способу парного обміну з підрахунком, а також логіко - часового кодування інформації в блоці  $m$  зсувових регістрів, що дозволяє застосувати асоціативні властивості логіко - часового коду, як просторово - розподіленого кодування інформації.

На *рис. 1* представлено схему пристрою.

Оптоелектронний асоціативний процесор містить асоціативний запам'ятовуючий пристрій (АЗП) і, блок порівняння 2, селектор кодів 3, комутатор 4, блок зсувових регістрів 5, блок завантаження 6 і блок фіксації кінця циклу 7. Виходи 8 АЗП і з'єднані з першою групою входів селектора кодів 3, виходи якого з'єднані з входами 9 блока порівняння 2, Виходи 10 блока порівняння 2 з'єднані з першою групою входів комутатора 4, друга група входів якого з'єднана з виходами 11 блока зсувових регістрів 5, а виходи - з першою групою входів 12 блока зсувових регістрів 5, друга група входів якого підключена до виходів 13 блока завантаження 6. Виходи 14 блока, регістрів 5 з'єднані з другою групою входів селектора кодів 3. АЗП і містить  $n$  слів, блок зсувових регістрів 5 складається з  $m$  регістрів, блок порівняння 2 містить  $K$  схем порівняння, де  $K=3n/2E$  - ціла частина числа  $n/2$ . Блок Фіксації кінця циклу 7 містить два базових елементи АБО 14, 15, два інвертори 16, 17, три елементи АБО 18, 19, 20, елемент І 21, RS-тригер 22. Керуючий вхід 23 пристрою підключений до тактового входу АЗП 1, керуючі входи 24, 25, 26 і 27 пристрою з'єднані з відповідними входами блоку порівняння 2, крім того, керуючий вхід 28 пристрою підключений також до входів блока зсувових регістрів 5 і першого керуючого входу блоку завантаження 6, другий керуючий вхід якого з'єднаний з керуючим входом 28 пристрою. Перше і друга групи виходів 10 блоку порівняння 2 з'єднані

відповідно з входами елементів АБО 14 і 15 блока Фіксації кінця циклу 7, виходи яких підключені до входів елемента АБО 18 і через елементи НІ 16, Х? до входів елемента АБО 19, вихід якого з'єднаний з 5-входом RS-тригера 22 і першим входом елемента І 21, другий вхід якого підключений до прямого виходу RS-тригера 22, а вихід є виходом 29 кінця циклу пристрою. Вихід елемента АБО 13 з'єднаний з першим входом елемента АБО 20, другий вхід якого підключений до керуючого входу 26 пристрою, а вихід – до R-входу RS-тригера

Пристрій працює таким чином.

Водночас з записом в АЗП 1 вимірністю  $m \times n \times C$  де  $m$  – кількість слів вимірністю  $n^3$  вхідних чисел  $A_i$   $i = 3..C$  до в їх зсувових регістрах блока регістрів 5 Формується з допомогою блока завантаження 6 необхідна інформація, тобто фіксується порядковий номер (ранг)  $n$  відповідного  $i$ -го слова АЗП  $i$ , причому перед початком процесу сортування ранг слова АЗП 1 відповідає його порядковому номеру  $C_n = i$ ). В процесі сортування перезапису  $C$  обміну) інформації між парами слів АЗП 1 відповідає збільшення  $n$  зменшення? рангів в певних перах зсувових регістрів блока регістрів 5. Масив з  $m$  чисел буде упорядкований по зростанню не більш, ніж за  $n+1$  переглядів (.циклів). Таким чином, в оптоелектронному асоціативному процесорі в процесі сортування масиву з  $t$  чисел відбувається формування в  $m$  зсувових регістрах блока регістрів 5 рангів відповідних  $t$  слів АЗП 1 за величиною інформації, що в них зберігається, тобто  $i$ -му слову, в якому знаходиться максимальне  $i_i^{\max}$  (мінімальне  $A_i^{\min}$   $n^3$  число, відповідає більший  $n^3-x$  (менший  $n^3$ ) ранг, отриманий в  $i$ -му зсувовому регістра блока 5, що дозволяє в подальшому використовувати інформацію в регістрах блока регістрів 5 для зчитування Свибірки? відповідних даних з АЗП 1.



Принцип роботи селектора кодів 3 полягає в тому, що на  $t$ -му такті в непарний і парних циклах сортування не відповідних виходах селектора кодів 3 формуються сигнали

C 2)

де  $a_{it}^b$  - значення  $t$ -го розряду  $i$ -го слова АЗП 1,  
 $b_{ik}^{2j}$  - значення відповідно  $(2k-1)$ -го і  $2k$ -го розрядів  $i$ -го регістру блока регістрів 5;  $t = \overline{1, D}$ ;  $k = \overline{1, K}$ ;  
 $K = \lceil 3t/2 \rceil$  - найближче ціле, не більше  $t/2$ ;  $i = \overline{1, t}$ , т. Кожний цикл сортування включає  $p$  тактів селекції кодів  $z^*i$  і порівняння двійкових чисел  $A$ , починаючи зі старших розрядів  $a^{n-1}$ .  
 Якби вхідне слово  $a^1$  і вихідне слово  $i^b$ . блоку селектора зобразити у вигляді векторів розміром  $t$ , де зч  $I^b$  - 1-й бітовий зріз відповідно масиву вхідних чисел  $A_1, \dots, A_m$  і масиву чисел  $L_1, \dots, L_m$ , що формуються на входах селектора, кодів 3 за цикл сортування, то операцію селекції (вибору? кодів, що реалізується селектором кодів, з врахуванням рівностей (11 і (2? можна описати таким чином:

(47

де  $(!*\bullet)!$  і  $f_{it}^{b,2}$  - вихідне слово  $l^f$ - селектора кодів, що формується відповідно в непарні і парні цикли сортування;  
 $G^r > G^n$  - матриці комутації розміром  $m \times (m-1)$  виду

де  $g_i$  — значення з  $i$ -го розряду/  $i$ -го регістру блоку регістрів 5;  $i=1, \dots, n$ .

Таким чином,  $G$  — матрицю  $G$  комутації розміром  $n \times n$ , у якій в непарних циклах сортування виконується маскування  $i$ -го стовпця, а в парних циклах — першого стовпця.

Аналогічно розглянено роботу комутаторів 4 в непарних і парних циклах сортування. В  $2k-1$ -і цикли комутатором будуть сформовані такі сигнали:

$$\sum_{k=1}^K g_{i(2k-1)} \cdot q_k$$

$f_a$

(6)

а в  $2k$ -і цикли — сигнали виду

де  $g_i^+$ ,  $g_i^-$  — сигнали, що викликають збільшення або зменшення на одиницю рангів  $p$  в  $i$ -му зсувовому регістрі блока регістрів 5;  $q_k$  — сигнал, що формується на виході  $k$ -ї схеми порівняння блока порівняння 2;  $k=1, \dots, K$ .

Рівності (8) можна записати в вигляді множення матриці на вектор таким чином:

для  $(2k-1)$ -го циклу

$$CT = G^T \cdot q,$$

(10)

або

$$q^- = (Q^{-*} q')^t = f q^{\circ} i, \quad \text{CI13}$$

$$q^- = f \cdot G^{-*} q')^2 = C q^{\circ} )^2, \quad (12)$$

для 2к-го циклу

$$q^+ = G^{M2} * q, \quad \text{C I3}$$

$$q^- = G^{l1} * q, \quad \text{C 143}$$

або

$$q^* = (G^{-*} q')^2 = C q^{\circ} )^2, \quad \text{CI53}$$

$$q^- = C G^{-*} q'^{5i} - f q^{\circ} ) i, \quad \text{C16)}$$

$l^{\wedge} q$  - вхідне слово комутатора в вигляді вектора розміром  $K=3n/2$ ,  $q'$  - вхідне слово комутатора у вигляді вектора розміром  $m$ ,  $q' = tq_1, q_1, \dots, q_j, q_{j+1}, \dots, q_n, q_k$ .  $q^*$  - вихідні слова комутатора у вигляді відповідних векторів розміром  $t$ ,  $Q' i, G' 2 = G' 2$ .  $t$  - метриці, складені відповідно з  $2k$ -їз-х,  $2k \times x$ ,  $2k+1$ ; -  $x$  стовпців матриці  $G$  комутації?  $k=i, K?$   $C q^{\circ} 3i, C q^{\circ} 2$  - результуючі вектори при множенні матриці  $G$  на вектор  $q'$ , отримані в результаті маскування відповідно по непарним і парним рядкам.

Аналіз рівностей C3), C43 і C9? - C15) дозволяє зробити наступні висновки:

і) селектор кодів можна реалізувати на одному векторно-матричному множнику з маскуванням у метриці  $G$  комутації  $m$ -го і першого стовпця відповідно в непарних і парних циклах сортування згідно із рівностями C35, C43?

2) комутатор можна реалізувати на двох векторно-матричних множниках з відповідним маскуванням стовпців матриці  $G$  комутації в непарних і парних циклах сортування згідно із рівностями (9), C9), (13), f!43?

3) комутатор можна також реалізувати на одному векторно-матричному множнику з відповідним маскуванням

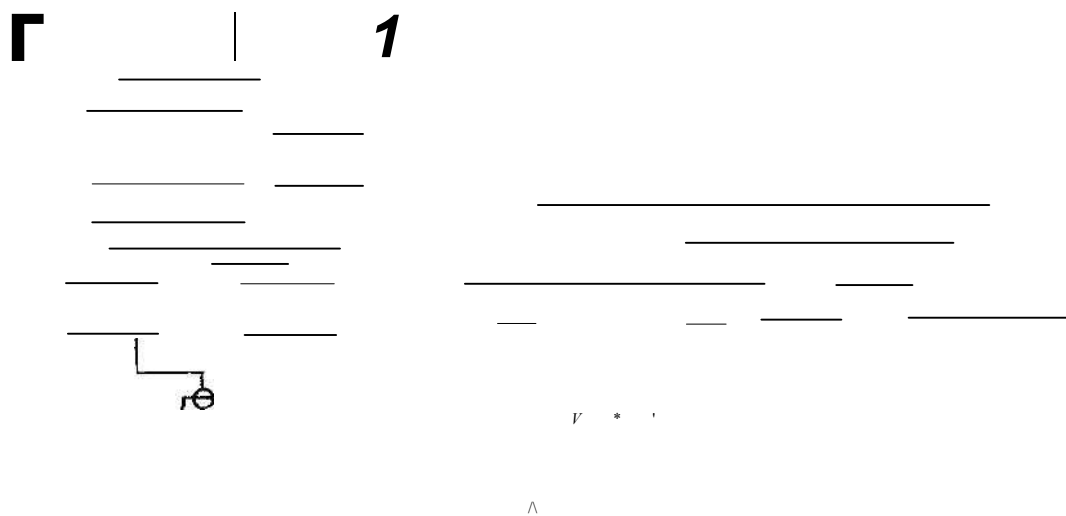
векторно-патричному множнику з відповідним маскуванням  
рядків в результатуючому векторі  $q^{\circ}$  є неспз.рних і пзрних ш4клзх  
сортування -згідно із рівностями і.11>, С12>, f. 153, С163.

В формулах (33>і.43,С93 - С163 головну роль відіграє  
матриця G комутації, для формування елементів  $g_{ij}$  якої  
необхідно мати просторово - розподілену пам'ять, функції  
якої виконує блок зсуваемо регістрів 5. Використання  
логіко - часового (одиничного; кодування інформації в блоці  
зсувових регістрів 5 дозволяє формувати і зчитувати матрицю  
G комутації безпосередньо із блока, регістрів 5 до селектора  
колів 3 і комутатора 4.

Закінчення процесу сортування фіксується на виході  
елемента І 21 блока фіксації кінця циклу ? після того, як на  
парному і. непарному? і нз наступному за них непарному  
(парному; тактах циклу сортування не виконується  
перестановлений в одній пері чисел, то порівнюються.

В пристрої, то пропонується, використовується спосіб  
парного обміну з підрахунком, аш дозволяє усунути обмін в  
процесі сортування, тобто виконати сортування даних із  
збереженням їх початкового запису в АЗП,

# ОПТОЕЛЕКТРОНИЙ АСОЦІАТИВНИЙ ПРОЦЕСОР



A U

I \_

A

«O

об обо

Автори: Кодем'яко В.П.  
Піартинюк Т.Б.  
Лисенко Г.Л.  
Каньоса Л.М.  
Ковалевський В.В