

Изобретение относится к вычислительной технике может быть использовано для контроля блоков памяти с помощью специализированной микроЭВМ,

Известно устройство для контроля блоков памяти [1], содержащее генератор тактовых импульсов, делитель частоты, адресный счетчик, генератор псевдослучайной последовательности, кольцевой регистр сдвига, накапливающий сумматор, блок сравнения.

Недостатками данного устройства являются жесткая аппаратная организация, ограниченные диагностические возможности, ограниченное число подключаемых блоков памяти.

Наиболее близким техническим решением к заявляемому является устройство сопряжения для контроля блоков памяти [2], содержащее формирователь сигналов управления, блоки приемников, приемопередатчиков, два коммутатора, регистр диагностики, два дешифратора, селекторный регистр.

Недостатком устройства являются ограниченные функциональные и диагностические возможности, а также его сложность.

Устройство не может работать с пассивными блоками памяти, не имеющими встроенного блока управления, и имеет ограниченный набор режимов и операций, а также избыток оборудования за счет разделения внутренних шин приема и передачи данных.

В основу изобретения поставлена задача создания устройства сопряжения для контроля блоков памяти с помощью специализированной микро ЭВМ, в котором повышение достоверности контроля, увеличение числа диагностических операций, совмещение внутренних цепей приема и выдачи данных, обеспечивается введением блока генераторов, блока сдвигателей, арбитра. блока управления, счетчика, мультиплексора адреса, регистра-формирователя, блока преобразования, формирователя данных, блока дешифраторов, компаратора, регистра ошибок и за счет этого достигается повышение технологичности производства блоков памяти, повышение надежности и ремонтпригодности проверяемых блоков, сокращается технологический цикл производства блоков памяти.

Поставленная задача решается тем, что в устройство сопряжения для контроля блоков памяти, содержащее регистр состояния, блок управления, первый выход которого со" единен с управляющим входом регистра состояния. согласно изобретению в него введены блок генераторов, блок сдвигателей, блок выбора режима, блок дешифраторов, мультиплексор адреса, счетчик, блок преобразования, регистр-формирователь, формирователь данных, компаратор, регистр ошибок, второй выход блока управления подключен к управляющим входам блока преобразования и регистра-формирователя и является выходом "чтения" устройства. первый выход регистра состояния является выходом "номера места" устройства и соединен с входом формирователя данных, входы группы которого являются входами "проверки печатных связей" и "учета вариантов" устройства, выходы формирователя данных соединены с информационными входами регистра состояния, входами-выходами блока преобразования, информационными входами и выходами группы регистра-формирователя, входы-выходы которого являются первыми входами-выходами устройства, входы-выходы Блока преобразования являются вторыми входами-выходами устройства, третий выход блока управления соединен с управляющими входами регистра-формирователя и с первым управляющим входом регистра ошибок, информационный вход которого является входом "ошибок" устройства, выход регистра ошибок является выходом "ошибок устройства, третий вход регистра ошибок соединен с первым выходом блока сдвигателей и первым управляющим входом блока управления, второй управляющий вход которого соединен с первым выходом блока дешифраторов и информационным входом регистра ошибок, второй управляющий вход которого соединен с третьим входом блока управлений, первым входом блока дешифраторов и является первым управляющим входом устройства, четвертый вход блока управления является вторым управляющим входом устройства, а пятый - соединен с выходом компаратора, первый вход которого соединен с четвертым выходом блока управления и третьим входом формирователя данных, четвертый вход которого соединен со вторым выходом регистра состояния и шестым входом блока управления, пятый выход которого соединен с пятым входом формирователя данных, вторым входом блока дешифраторов и является выходом "записи" устройства, вход "отмены регенерации" устройства является входом блока генераторов, выход которого соединен с первым входом блока сдвигателей, второй вход которого соединен с шестым выходом блока управления, седьмой выход которого является выходом "ответ" устройства, восьмой- выходом "номер блока" устройства, адресный вход мультиплексора адреса является первым адресным входом устройства и соединен с вторым входом компаратора, третий вход которого соединен с третьим входом блока дешифраторов и является вторым адресным входом устройства, выход управляющих сигналов которого является вторым выходом блока дешифраторов, четвертый вход которого соединен с выходом блока выбора режима и третьим входом блока сдвигателей, второй выход которого соединен с входом блока выбора режима и пятым входом блока дешифраторов, третий выход блока сдвигателей соединен со входом счетчика, выход которого соединен с информационным входом мультиплексора адреса, управляющий вход которого соединен с четвертым выходом блока сдвигателей, выход мультиплексора адреса является выходом адреса устройства.

Отличительные от прототипа признаки: блок генераторов, блок сдвигателей, арбитр, блок дешифраторов, мультиплексор адреса, счетчик, блок преобразования, регистр-формирователь, формирователь данных, компараторов, регистр ошибок и их связи с другими блоками.

Именно эти отличительные признаки в совокупности с остальными признаками обеспечивают следующие преимущества заявляемого устройства по сравнению с прототипом;

1. Контроль пассивных блоков памяти, не имеющих встроенных блоков управления в режимах регенерации, обращения и отмены регенерации.

2. Контроль разных вариантов памяти, отличающихся, например, информационной емкостью, объединенных в многопостовой системе.

3. Контроль блоков памяти, разрядность данных которых больше, чем разрядность технологического интерфейса.

4. Контроль печатных связей между контактами блока памяти,

5. Сокращение оборудования за счет использования совмещенной внутренней шины приема и передачи данных, а также за счет сжатия разрядности данных блока памяти до разрядности технологического интерфейса.

6. Контроль логического номера проверяемых блоков.

7. Проверка схем контроля блока памяти.

На фиг.1 представлена функциональная схема предложенного устройства.

Электрические схемы отдельных блоков представлены на следующих фигурах: на фиг.2 - блок генераторов; на фиг.3 - блок сдвигателей; на фиг.4 - блок выбора режима; на фиг.5 - блок управления; на фиг.6 - блок дешифратора; на фиг.7 - фрагмент мультиплексора адреса; на фиг.8 - счетчик; на фиг.9 - блок преобразования; на фиг.10 - фрагмент регистра-преобразователя; на фиг.11 - формирователь данных; на фиг.12 - компаратор; на фиг.13 - регистр состояния; на фиг.14 - регистр ошибок; на фиг.15 - многопостовая система; на фиг.16 - фрагмент блока памяти; на фиг.17 - структура блока памяти.

Предложенное устройство (фиг.1) содержит блок 1 генераторов, блок 2 сдвигателей, блок выбора режима 3, блок 4 управления, блок 5 дешифраторов, мультиплексор 6 адреса, счетчик 7, блок 8 преобразования, регистр-формирователь 9, формирователь 10 данных, компаратор 11, регистр 12 состояния, регистр 13 ошибок, входы-выходы первые 14 и входы-выходы вторые 15 данных, входы первые 16 и входы вторые 17 адреса, входы первые 18 и входы вторые 19 сигналов управления, входы 20 ошибок, входы 21 проверки печатных связей и учета вариантов, вход 22 отмены регенерации, выход 23 записи, выход 24 чтения, выходы 25 ошибок, выходы 26 номера места и контроля связей. выход 27 "ответ", выходы 28 номера блока, выходы 29 адреса, выходы 30 управляющих сигналов.

Блок 1 генераторов (фиг.2) содержит элемент И-НЕ с триггером Шмитта 31, элементы НЕ 32-34, резисторы 35, 36, конденсаторы 37-39, кварцевый резонатор 40.

Блок 2 сдвигателей (фиг.3) содержит триггер 41, элемент И-НЕ 42, регистры 43-45.

Блок выбора режима 3 (фиг.4) содержит элементы И-НЕ 46-51, НЕ 52, 53.

Блок 4 управления (фиг.5) содержит мультиплексоры 54, 55, элементы ИЛИ-НЕ 56-58, ИЛИ 59-61, И-НЕ 62, НЕ 63-72.

Блок 5 дешифраторов (фиг.6) содержит дешифраторы 73, 74, мультиплексоры 75, 76, формирователи 77, 78, элементы НЕ 79, 80, ИЛИ-НЕ 81-84.

Мультиплексор 6 адреса (фиг.7) содержит одноименные элементы 85.

Счетчик 7 (фиг.8) содержит одноименные элементы 86, 87 и триггер 88.

Блок 8 преобразования (фиг.9) содержит двунаправленные формирователи 89-92.

Регистр-формирователь 9 (фиг.10) содержит одноименные элементы 93.

Формирователь 10 данных (фиг.11) содержит формирователи 94, 95,

Компаратор 11 (фиг. 12) содержит одноименный элемент 96, коммутационное поле 97, элемент НЕ 98.

Регистр 12 состояния (фиг. 13) содержит регистр 99, элемент НЕ 100.

Регистр 13 ошибок (фиг. 14) содержит регистр 101, элементы ИЛИ-НЕ 102-105, И-НЕ 106.

Многопостовая система для технологического прогона и контроля блоков памяти (фиг. 15) содержит микро ЭВМ 107, устройства для контроля блоков 108 памяти, проверяемые блоки 109 памяти, интерфейс 110 микро ЭВМ и интерфейс 111 памяти.

Блок памяти (фиг. 16, 17) содержит группы микросхем памяти 112, буферные элементы НЕ 113 управляющих сигналов RAS, буферные элементы НЕ 114 управляющих сигналов CAS, буферные элементы адреса НЕ 115 сигналов записи WE, буферные элементы адреса НЕ 116, двунаправленные формирователи с контролем четности 117, мультиплексор 118, резистор 119.

Интерфейс 110 микро ЭВМ содержит первые входы-выходы данных 15, входы адреса 16, 17, входы 18.1, 18.2, 18.3, 19.1, 19.2, 19.3, 19.4 сигналов соответственно "номер байта", "номер слова", "операция", "запись", "обращение к памяти", "признак регистра", "обращение к регистру", выходы ошибок 25, "ответ" 27, вход 22 отмены регенерации.

Интерфейс 111 памяти содержит входы-выходы 14 данных, входы 20 ошибок, входы 21.1, 21.2 проверки нечетных связей, входы 21.3, 21.4 учета вариантов, выход 23 "запись", выход 24 "чтение", выход 26.1 контроля связей, выход 26.2 номера места, выходы 28 номера блока, выходы 29 адреса, выходы 30.1-30.4 "строб адреса столбца" CAS, выходы 30.5-30.8 "строб адреса строки" RAS.

Устройство может работать в следующих режимах: обращение к устройству, обращение к памяти, регенерация, диагностика, технологический прогон. .

В режиме обращения к памяти могут выполняться операции - запись байта, запись слова. чтение. Выбор операции определяется сигналами на входах 18, 19, согласно табл.1.

При операции записи номер байта или слова определяется сигналами 18.1, 18.2, согласно табл.2.

Операция записи выполняется следующим образом.

Сигнал обращения к памяти на входе 19.2 через элемент 56 блока 4 поступает на вход блока 2, с выхода 2.6 которого - на вход арбитра 3.

Если устройство не занято выполнением регенерации, блок выбора режима 3 устанавливается в состояние обращения к памяти и выдает в блок 2 сигналы 3.2, 3.3, 3.4, которые разрешают запуск сдвигателей 44, 45 блока 2. Кроме того, сигнал 3.3 поступает в блок дешифраторов 5, который выдает сигналы-RAS на выходы 30. Тактирование сдвигателей блока 2 выполняется сигналом 1.2 с блока 1 генераторов. Сигнал 2.10 блока 2 управляет работой мультиплексора 6 адреса, а сигнал 2.8 разрешает выдачу сигналов CAS с блока 5 на выходы 30.

Блок 4 вырабатывает управляющие сигналы 4.7, 4.8 на блок 8 преобразователя. Сигналы на выходах 4.1, 4.13 управляют направлением работы двунаправленных элементов блоков 8, 9, блока 5 дешифраторов и выходов 23, 24, которые устанавливают режим записи в блоке памяти.

Сигнал с выхода 4.6 "ответ" поступает на выход 27.

Адрес обращения поступает со входа 16 на мультиплексор адреса 6, с которого поступает на выход 29. Мультиплексор 6 преобразует адрес из параллельного кода в две посылки с меньшим числом разрядов.

16-разрядный код данных через входы-выходы 15, регистр-формирователь 9 и блок 8 преобразования поступает на 32-разрядную шину данных памяти 14.

В блоке 8 всегда включена только половина элементов 89-92, вторая половина находится в третьем состоянии. Выбор включенных элементов выполняют сигналы 4.7, 4.8.

Таким образом, на 32-разрядные входы-выходы 14 за одно обращение выдаются только 16 разрядов данных (1 слово).

Блок 5 дешифраторов по данному адресу вырабатывает один из сигналов RAS на выходах 5.6-5.9 и сигналы CAS на выходах 5.2-5.5.

При записи байта вырабатывается один из сигналов CAS для того байта (8 разрядов), который записывается, а при записи слова вырабатываются два сигнала CAS для тех байтов, которые входят в это слово (16 разрядов). Выбор байта и слова определяется сигналами на входах 18.1, 18.2.

Выбор сигналов RAS определяется старшими разрядами адреса (сигналы на входах 17.1, 17.2).

Для записи остальных 16 разрядов выполняется еще одно обращение.

Таким образом, для записи 32 разрядов требуется 2 обращения.

В операции чтения блоки 1, 2, 3, 6 работают так же, как при записи.

Блок дешифраторов 5 вырабатывает сигналы CAS на выходах 5.2-5.5.

В блоке 4 управления сигналы на выходах 4.1, 4.13 переходят в состояние, соответствующее чтению, и вызывают изменение направления работы двунаправленных элементов в блоках 8, 9 и установку режима чтения в блоке памяти.

Под действием сигналов на выходах 4.7, 4.8 блок 8 преобразования выполняет прием 16 разрядов с 32-разрядных входов-выходов 14 и передачу 16 разрядов считанных данных на регистр-формирователь 9, занесение в которой выполняется по фронту строба на выходе 4.9. С выхода регистра-формирователя 9 данные выдаются на 16 разрядные входы-выходы 15.

Таким образом, за одно обращение выполняется чтение 16 разрядов данных (одно слово). Для чтения второго слова выполняется, еще одно обращение. При этом блок 8 преобразования передает вторые 16 разрядов с 32-разрядных входов-выходов 14 на регистр-формирователь 9 и далее на 16-разрядные входы-выходы 15.

Одновременно с приемом данных с входов 20 на регистр 13 ошибок поступают сигналы ошибок, Причем выполняется прием сигналов ошибок тех байтов, которые заносятся в регистр-формирователь 9. Управление приемом ошибок выполняется с помощью сигналов 5.1, 18.2 и в элементах 102-105. Занесение в регистр 13 ошибок выполняется по фронту сигнала 4.9, а сброс - по сигналу 2.11. Элемент 106 формирует объединенный сигнал ошибки. Сигналы ошибок с выходов 13.1-13.5 поступают на выходы 25.

В режиме регенерации устройство работает следующим образом.

Генератор 31, 32 выдает запрос регенерации 1.1 в блок 2 сдвигателей, после чего срабатывают триггер 41, элемент 42, выход 2.1, блока 2.

Если устройство не занято выполнением обращения к памяти, блок выбора режима 3 устанавливается в состояние регенерации и выдает сигнал 3.1, что приводит к запуску сдвигателя 43, с выхода которого вырабатываются управляющие сигналы на выходах 2.2-2.5 в блок выбора режима 3, блок 5, мультиплексор адреса 6, счетчик 7.

Блок 5 дешифраторов выдает сигналы RAS 5.6-5.9 на выходы 30. Мультиплексор 6 адреса передает адрес регенерации со счетчика 7 на выходы 29.

В конце цикла регенерации счетчик 7 переключается по сигналу 2.5 и подготавливает следующий адрес регенерации. В режиме отмены регенерации со входа 22 на блок 1 генераторов поступает низкий уровень, который блокирует работу генератора 31, 32 и отменяет выдачу запросов регенерации 1.1.

В режиме обращения к устройству могут выполняться следующие операции:

- запись в регистр состояния 12:

- чтение регистра состояния;

Регистр 12 состояния имеет следующий формат:

- (0) - признак активности устройства;

- (1) - номер места установки блока памяти;

- (2) - логический номер блока памяти при чтении;

- (3) - признак неправильного паритета при записи;

- (4) - управление перемычками;

- (5, 6) - контроль перемычек;

- (7, 8) - контроль вариантов исполнения.

Запись в регистр состояния 12 выполняется следующим образом.

На вход блока 4 управления поступают внешние сигналы: признак обращения к устройству 19.3, обращение к устройству 19.4 и признак записи 19.1.

Блок 4 вырабатывает управляющие Сигналы 4.12, 4.13, которые обеспечивают передачу данных с шины 15 через регистр-формирователь 9 и занесение в регистр 12 состояния. Сигнал "Ответ" 4.6 выдается на выход 27.

Чтение регистра состояния выполняется следующим образом.

На вход блока 4 поступают сигналы 19.3, 19.4. Блок 4 управления вырабатывает сигналы 4.1, 4.3, 4.5, 4.6, 4.9, которые обеспечивают передачу данных с регистра состояния и входов 21 через формирователь 10 данных и регистр-формирователь 9 на входы-выходы 15 и выдачу сигнала "ответ" на выход 27.

В режиме диагностики могут выполняться следующие операции:

- контроль печатных связей между контактами;

- контроль номера блока памяти;

- проверка схем контроля;

- определение варианта проверяемого блока памяти.

Контроль печатных связей между контактами выполняется следующим образом.

Выполняется запись заданного кода в 4 разряд регистра 12 состояния, что вызывает передачу соответствующего кода с выхода 12.5 на выход 26.1, который связан со входами печатных связей между контактами проверяемого блока памяти.

Затем выполняется чтение регистра состояния и контроль 5, 6 разрядов считанного кода. При этом сигналы с выходов проверяемых печатных связей поступают на входы 21.1, 21.2 и далее через формирователь данных 10 и регистр-формирователь 9 на входы-выходы данных 15.

Печатные связи считаются верными при совпадении значения 4, 5 и 6 разрядов считанного кода.

Контроль номера блока памяти. Блок памяти при эксплуатации в составе ЭВМ может иметь номера 0 или 1. Блок памяти с заданным номером устанавливается в ЭВМ на место с соответствующим номером.

Нулевой номер блока памяти определяется низким уровнем сигнала на выходе 4.10 блока 4, а первый номер - низким уровнем сигнала на выходе 4.11. Номер места задает выход 12.6 регистра состояния.

Контроль номера блока памяти выполняется следующим образом.

1. В регистре состояния 12 биты (1, 2, 3) устанавливаются в "0", а бит(0) - в "1".
2. Запись в память заданного кода по данному адресу.
3. Изменение кода бит (1, 2) регистра состояния.
4. Чтение указанного адреса и контроль считанного кода.'

При совпадении кода бит (1) и (2) регистр 12 из блока памяти должен считываться записанный код. а при несовпадении этих бит на выходе блока памяти устанавливается третье состояние и считывается соответствующий код.

Таким образом, проверяется, что блок памяти сохраняет работоспособность только при совпадений номера блока и номера места.

Проверка схем контроля выполняется следующим образом.

1. Запись в регистр состояния 12 "1" в биты (0, 3).
2. Запись заданного кода данных по заданному адресу памяти с неправильным паритетом.
3. Чтение заданного адреса и контроль выдачи сигналов ошибки.

Неправильный паритет задают выходы 4,10, 4.11 блока 4 управления с помощью элемента 117 в блоке памяти.

Определение варианта проверяемого блока памяти выполняется путем чтения бит (7, 8) регистра состояния. При этом соответствующий код, заданный перемычками в блоке памяти, поступает через входы 21.3, 21.4, формирователь данных 10, регистр-формирователь 9 на выход 15. Технологическая микроЭВМ 107 тестирует блоки памяти с учетом варианта их исполнения.

Технологический прогон выполняется следующим образом.

1. Блоки памяти 109, устройства 108, микроЭВМ 107 соединяют в составе системы (фиг.15).
2. Запись "1" в бит (0) регистра состояния устройства 108.1, что вызывает его активизацию. В остальных устройствах аналогичный бит устанавливается в "0".
3. Контроль тестом блока памяти 109.i.
4. Установка в "1" бита (0) регистра состояния следующего устройства 108.2 и сброс соответствующего бита предыдущего устройства.
5. Контроль тестом блока памяти 109.2 и т.д.

Дешифрация номера устройства обеспечивается установкой определенной комбинации перемычек в коммутационном поле 97, согласно табл.3.

Элементы 31.32 могут быть выполнены на ИМС типа 555 ТЛ2, 33, 34 - 531 Л Н1, триггеры 41, 88 - 531 ТМ2, регистры 43, 44 - 531 ИР23.Э9,45-531 ТМ9, мультиплексоры 54 - 555КП12, 55 - 155КП2, 75, 76-555КП12, 85, 118 - 531 КП2, дешифраторы 73, 74 - 531 ИД14, формирователи 77, 78, 113 - 116 -555АП3, счетчики 86, 87 - 555 ИЕ 19, двунаправленные формирователи 89-92 - 555АП6, регистр-формирователь 93 типа 1804 ВА2, формирователи 94-95 - 155 ЛП10, компаратор 96 - 555 СП1, регистр 101 - 555 ТМ8, элементы 112 - 565РУ7, двунаправленные формирователи 117 с контролем по четности типа 1804 ВА4.

В качестве микроЭВМ 107 используется стенд ЧНУОП-21 (3).

Т а б л и ц а 1

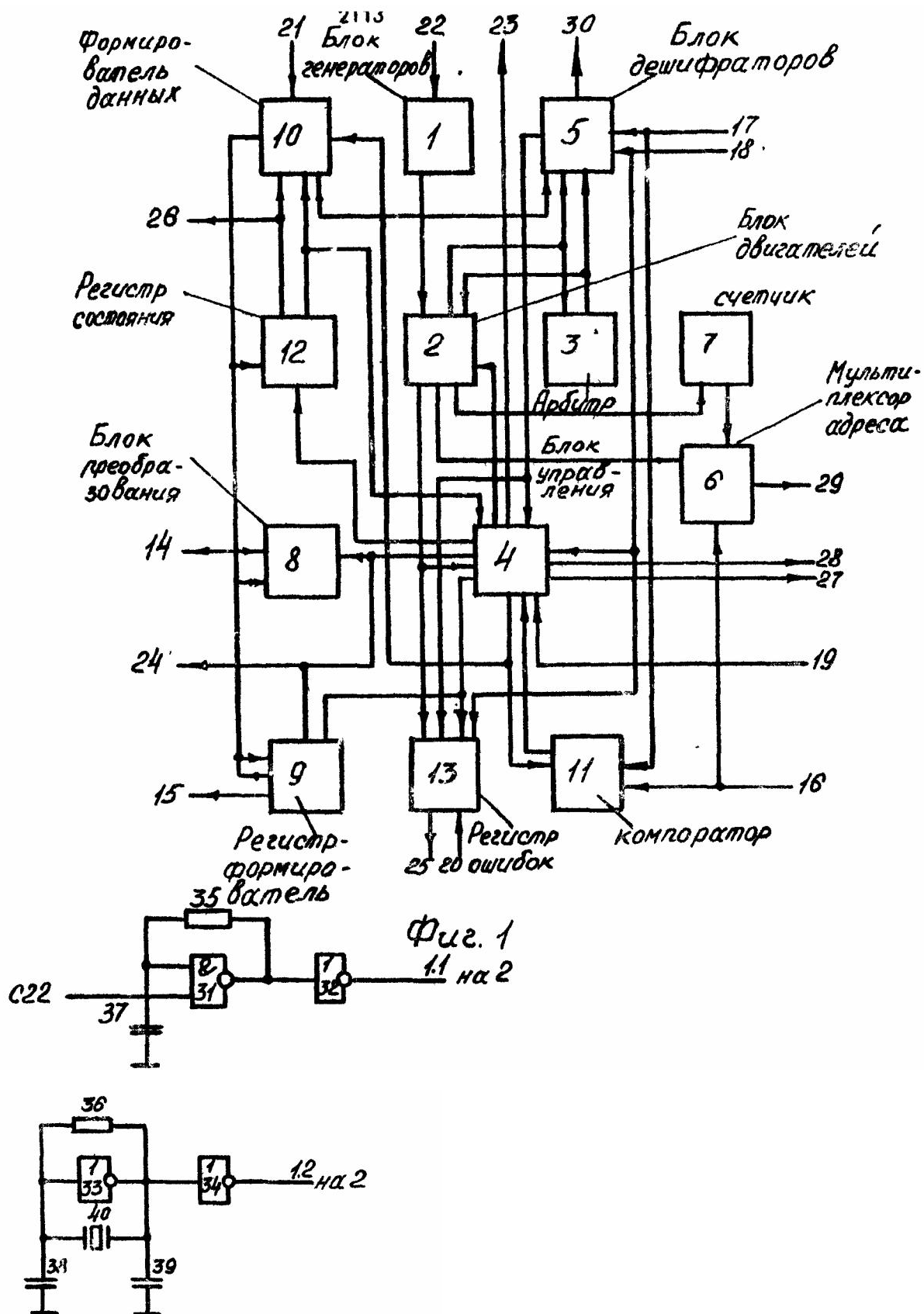
Входы		Операция
19.1	18.3	
0	0	Запись слова
0	1	Запись байта
1	0	Чтение
1	1	

Т а б л и ц а 2

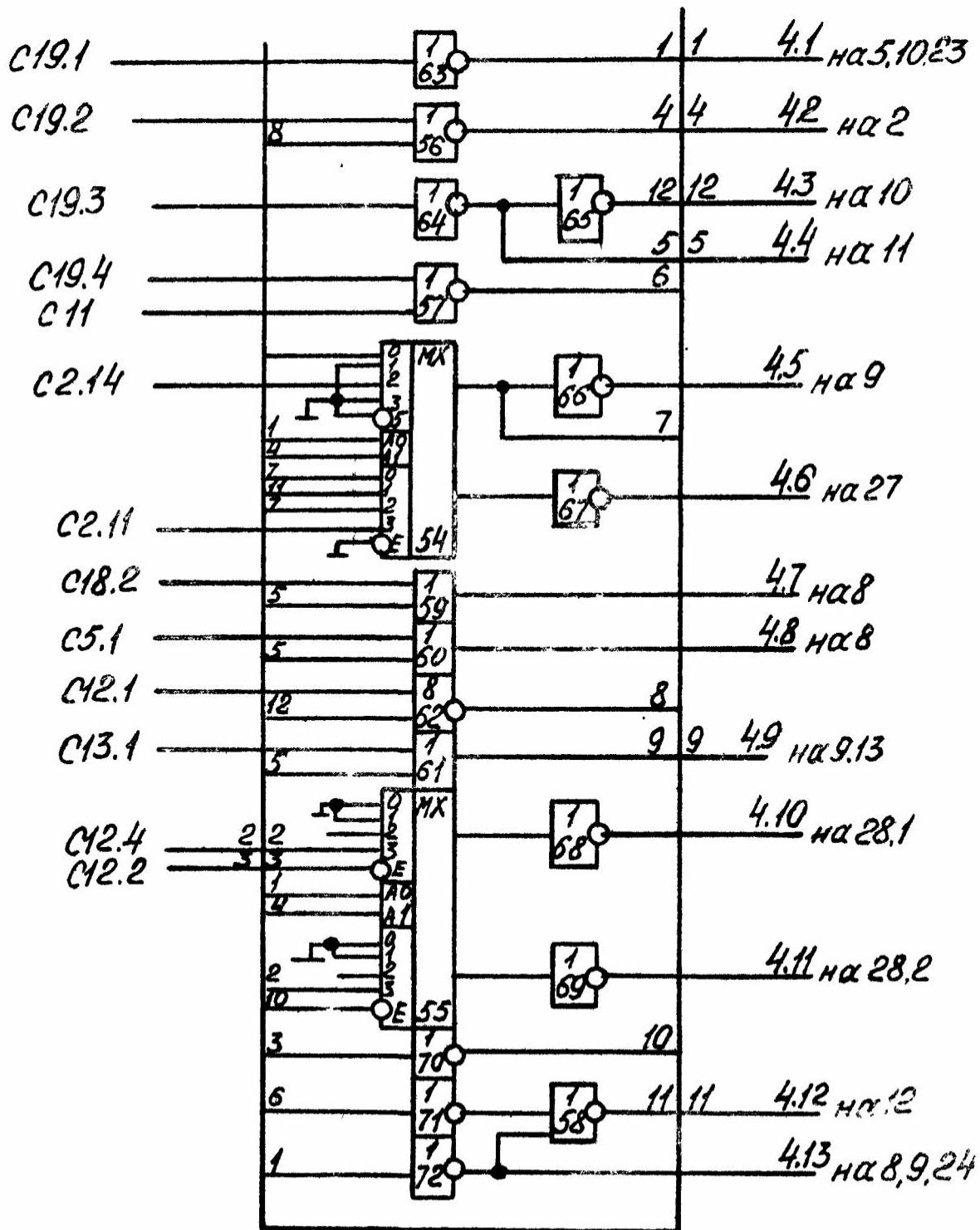
Входы		Номер байта при записи байта	Номер слова при записи слова
18.2	18.1		
0	0	0	0
0	1	1	0
1	0	2	1
1	1	3	1

Таблица 3

Номер уст-ва	Контакты коммутационного поля 97							
	1-2	3-4	5-6	7-8	9-10	11-12	13-14	15-16
0	+		+		+		+	
1		+	+		+		+	
2	+			+	+		+	
3		+		+	+		+	
4	+		+			+	+	
5		+	+			+	+	
6	+			+		+	+	
7		+		+		+	+	
8	+		+		+			+
9		+	+		+			+
10	+			+	+			+
11		+		+	+			+
12	+		+			+		+
13		+	+			+		+
14	+			+		+		+
15		+		+		+		+

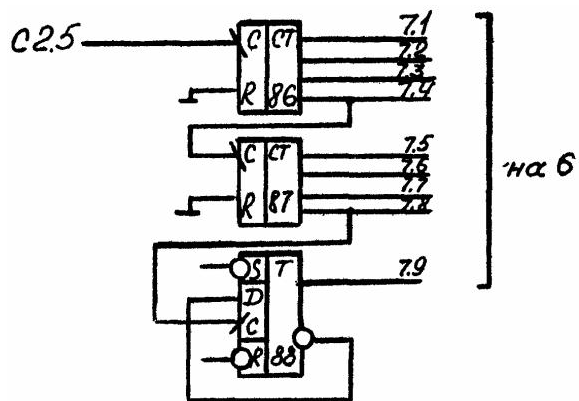


Блок 1 генераторов Фиг. 2



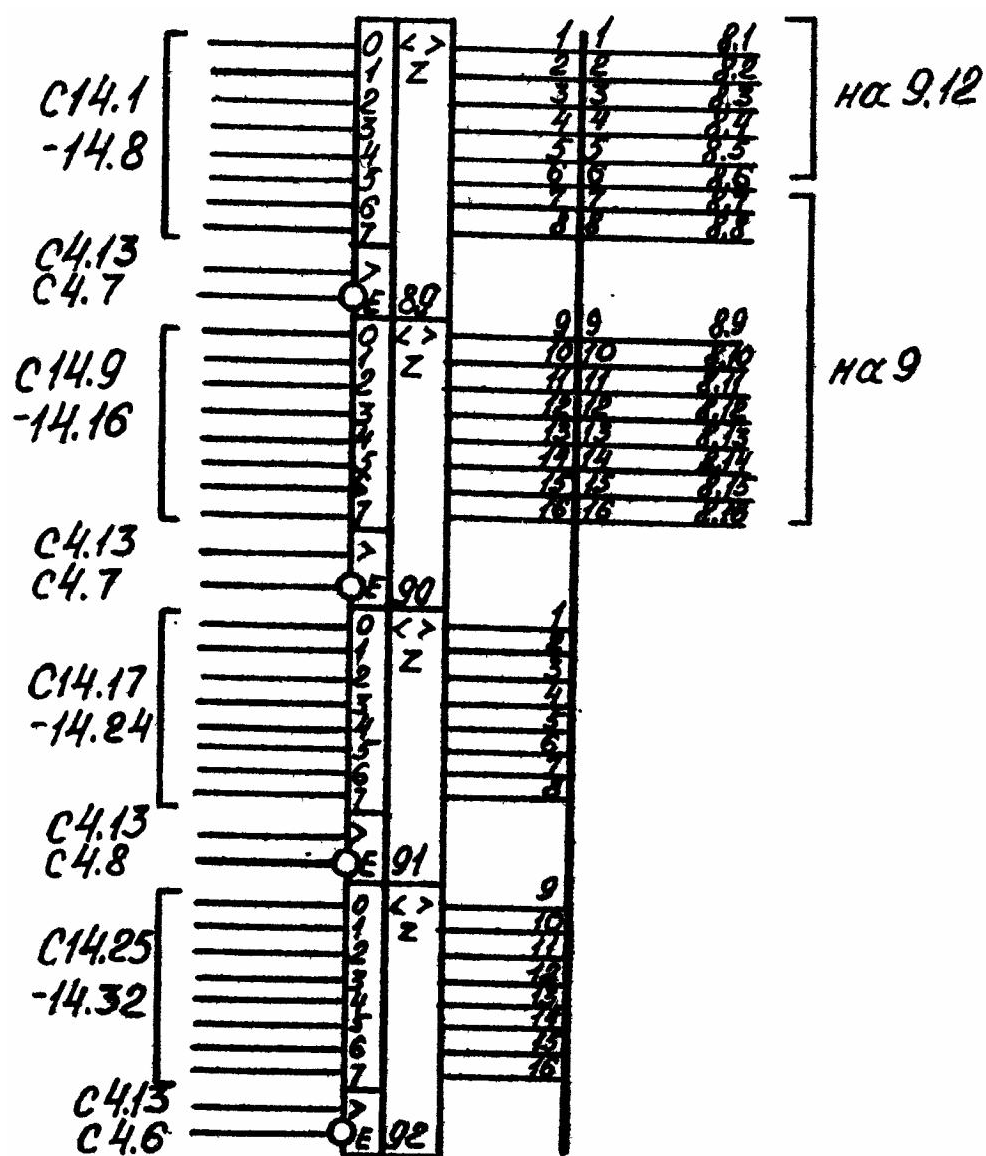
Блок 4 управления

Фиг. 5



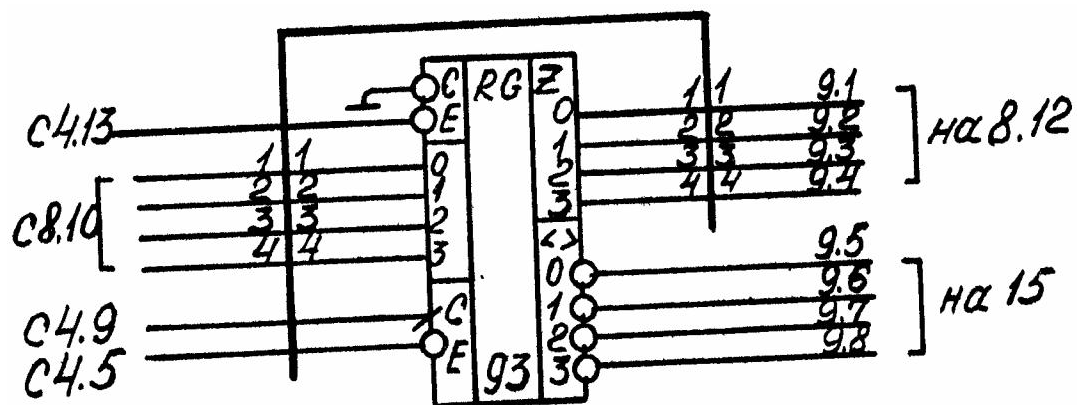
Счетчик 7

Фиг. 8

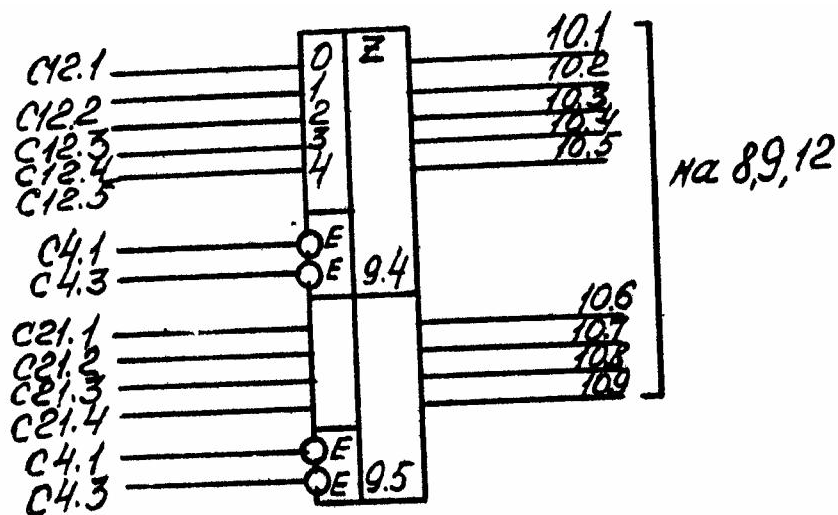


Блок 8 преобразования

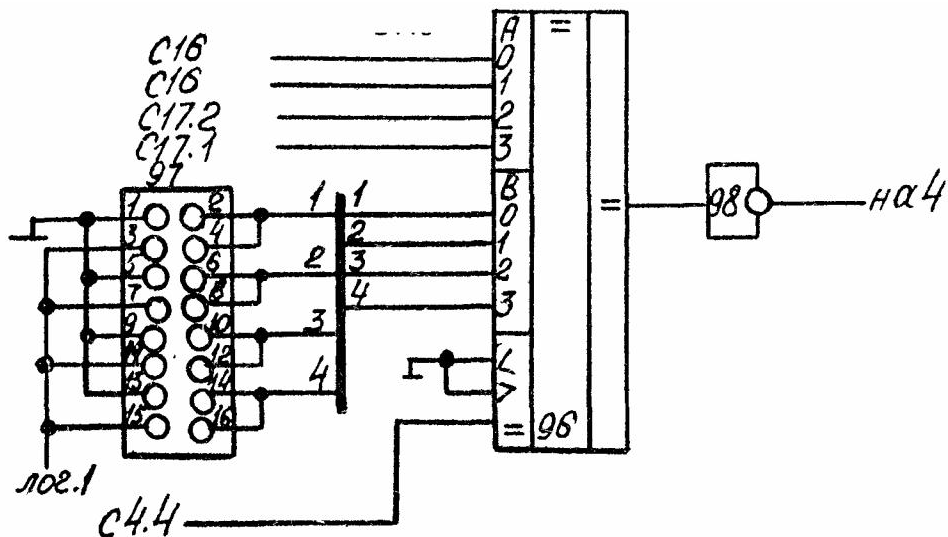
Фиг. 9



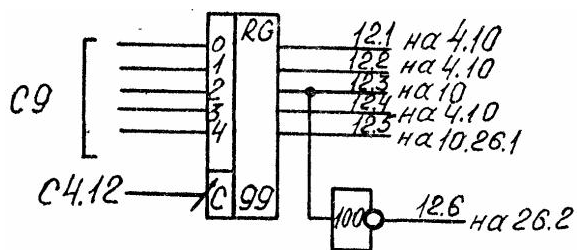
Фрагмент регистра-формирователя 9
Фиг. 10



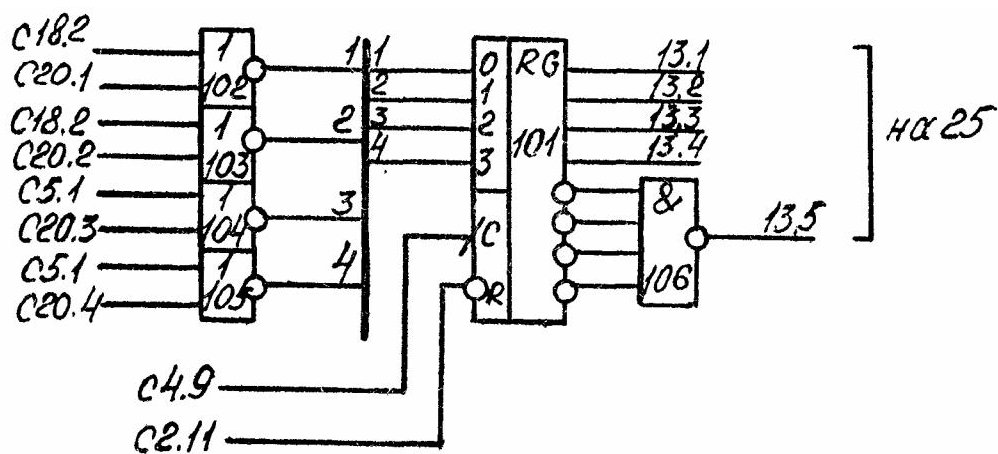
Формирователь 10 данных
Фиг. 11



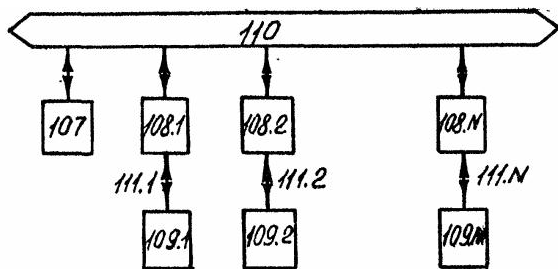
Компаратор
Фиг.12



Регистр 12 состояния
Фиг.13

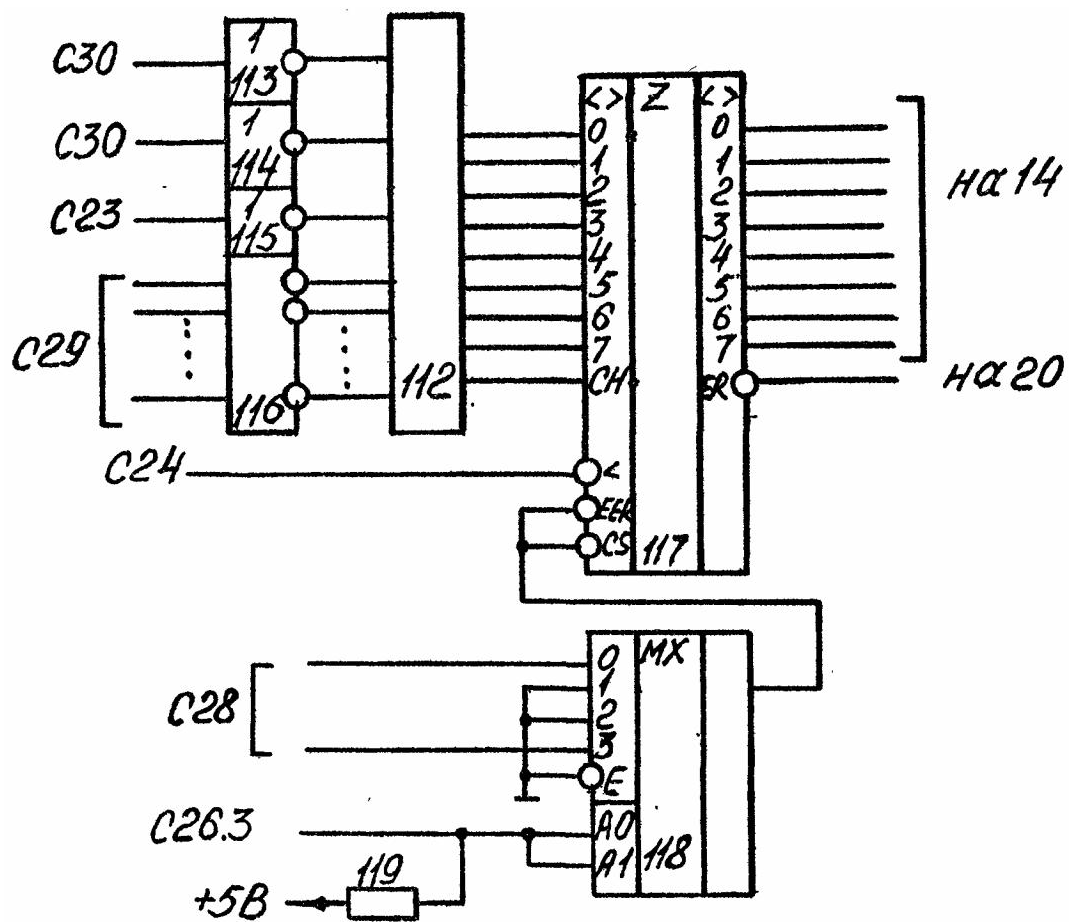


Регистр ошибок 13
Фиг.14



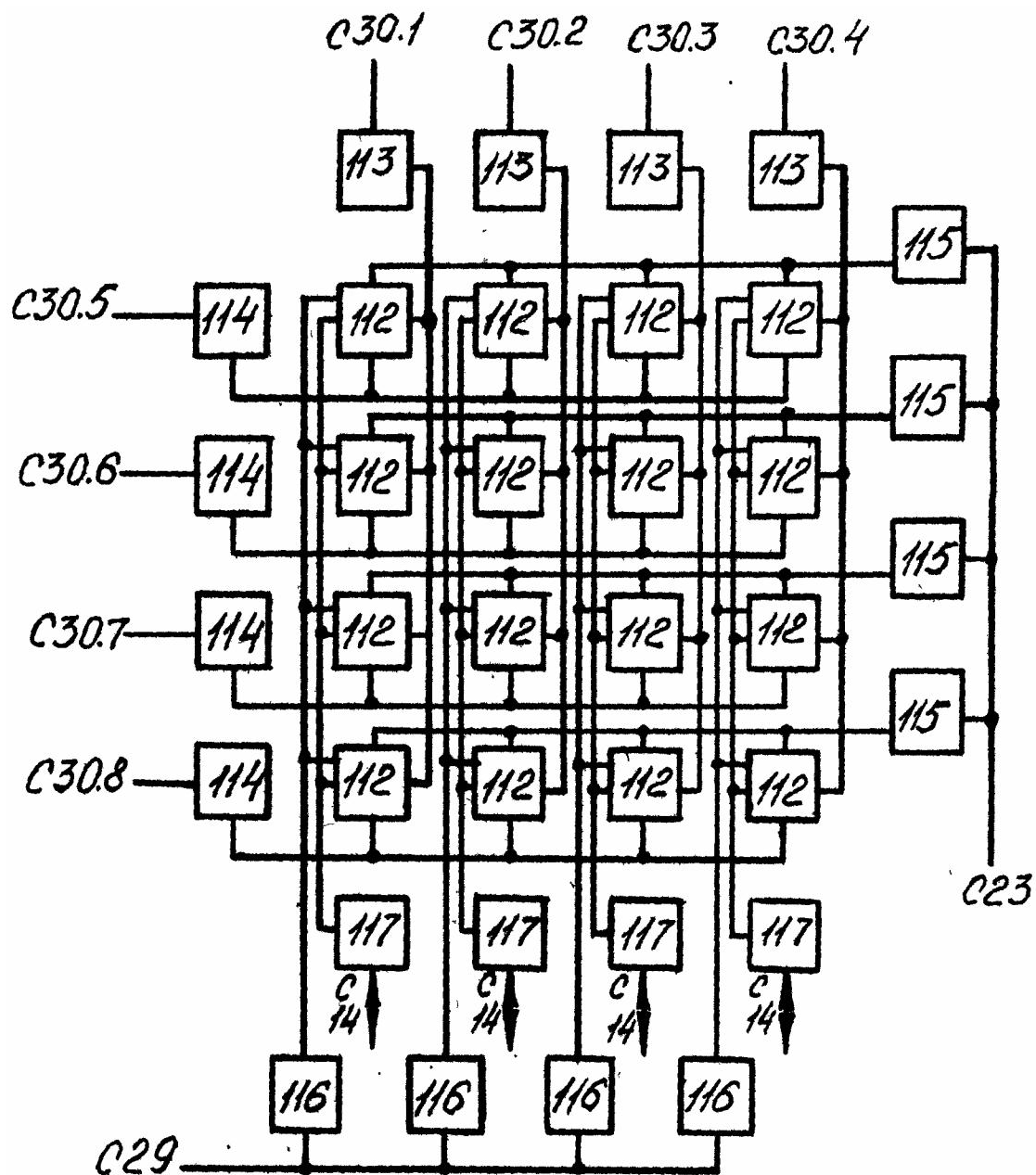
Многопостовая система

Фиг. 15



Фрагмент блока памяти 109

Фиг. 16



Структура блока памяти
Фиг. 17